

TRƯỜNG ĐẠI HỌC ĐÀ LẠT
KHOA CÔNG NGHỆ THÔNG TIN

Giáo trình

ĐIỆN TỬ CĂN BẢN

Tháng 1 - 2005

LỜI NÓI ĐẦU

Giáo trình **ĐIỆN TỬ CĂN BẢN** là tài liệu học tập dành cho sinh viên Khoa Công nghệ Thông tin.

Điện tử căn bản trình bày cấu tạo và hoạt động của các linh kiện điện tử và mạch của chúng. Đây là những kiến thức cơ sở để hiểu biết cấu trúc máy tính và các thiết bị phần cứng của kỹ thuật công nghệ thông tin. Nội dung chủ yếu của giáo trình là mô tả cấu tạo, đặc trưng của các linh kiện điện tử bán dẫn như diode, transistor, IC và các mạch ứng dụng căn bản của chúng.

Giáo trình gồm 11 chương

Chương 1: Một số khái niệm

Chương 2: Diode bán dẫn và mạch diode

Chương 3: Transistor

Chương 4: Phân cực transistor

Chương 5: Khuyếch đại transistor

Chương 6: Khuyếch đại công suất

Chương 7: Các hiệu ứng tần số của mạch khuyếch đại

Chương 8: Các linh kiện bán dẫn đặc biệt

Chương 9: Khuyếch đại thuật toán

Chương 10: Các mạch dao động

Chương 11: Nguồn nuôi

Nội dung của giáo trình rất rộng mà thời gian lại hạn chế trong 60 tiết do đó một số vấn đề bị bỏ qua. Sinh viên có thể tham khảo thêm textbook bằng tiếng Anh sau đây tại thư viện Khoa Công nghệ Thông tin.

Electronic Principles Malvino, Mc Graw-Hill, 1999

Sinh viên cũng có thể vào Website: www.alldatasheet.com để có thêm các thông tin chi tiết về số liệu kỹ thuật của các linh kiện.

Do trình độ người viết có hạn, chắc chắn giáo trình còn có nhiều thiếu sót. Rất mong được sự góp ý của bạn đọc.

Đà Lạt, tháng 1 năm 2005

Phan Văn Nghĩa

Chương I

MỘT SỐ KHÁI NIỆM

I.1 SỰ GẦN ĐÚNG

Trong cuộc sống chúng ta thường xuyên dùng sự gần đúng hay xấp xỉ. Trong kỹ thuật cũng vậy. Chúng ta thường dùng các mức gần đúng sau:

- ◆ Gần đúng lý tưởng (đôi khi gọi là gần đúng bậc 1)
- ◆ Gần đúng bậc 2
- ◆ Gần đúng bậc 3
- ◆ Mô tả chính xác

1) **Gần đúng lý tưởng.** Một đoạn dây AWG22 dài 1 inch (2.54cm) có điện trở thuần $R=0.016\Omega$, cuộn cảm $L=0.24\mu H$ và tụ $C=3.3pF$. Nếu chúng ta tính tới tất cả các ảnh hưởng của RLC thì tính toán liên quan đến dòng và thế sẽ mất nhiều thời gian và có thể phức tạp. Vì vậy trong nhiều trường hợp, để đơn giản, có thể bỏ qua RLC của đoạn dây dẫn.

Sự gần đúng lý tưởng, là mạch tương đương đơn giản nhất của thiết bị. Ví dụ, gần đúng lý tưởng của một đoạn dây nối là một vật dẫn có trở kháng $Z=0$. Sự gần đúng này là đủ cho các thiết bị điện tử thông thường. Trường hợp ngoại lệ sẽ xảy ra tại tần số cao. Khi đó phải xét đến cảm kháng và dung kháng. Giả sử rằng 1 inch dây nối có $L=0.24\mu H$ và $C=3.3pF$ thì tại tần số $f=10MHz$ cảm kháng và dung kháng tương đương của chúng là 15.1Ω và $4.82K\Omega$. Chúng ta thường dùng gần đúng lý tưởng đối với dây nối khi tần số $f<1MHz$. Tuy nhiên không có nghĩa là chúng ta không cần để ý đến chiều dài của dây nối. Trên thực tế, cần làm cho dây nối ngắn đến mức có thể.

Trong khi tìm hỏng cho mạch hay thiết bị, một gần đúng lý tưởng là đủ dùng. Trong giáo trình này chúng ta dùng gần đúng lý tưởng cho các thiết bị bán dẫn bằng cách giản lược chúng như các mạch tương đương đơn giản. Bằng cách dùng gần đúng lý tưởng, chúng ta dễ dàng phân tích và hiểu hoạt động của các mạch bán dẫn.

2) **Gần đúng bậc 2.** Gần đúng bậc 2 thêm một hoặc nhiều thành phần vào gần đúng lý tưởng. Nếu gần đúng lý tưởng của 1 viên pin là 1.5V thì gần đúng bậc 2 của 1 viên pin là một nguồn thế 1.5V nối tiếp với 1 điện trở 10Ω . Điện trở này gọi là điện trở trong hay điện trở nguồn của viên pin. Nếu điện trở tải bé hơn 100Ω , thế trên tải có thể bé hơn 1.5V do sụt thế qua điện trở nguồn. Lúc này các tính toán cần phải kèm theo cả điện trở nguồn của pin.

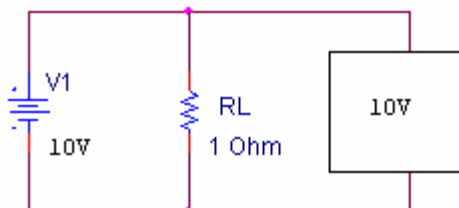
3) **Gần đúng bậc 3 và các gần đúng cao hơn.** Gần đúng bậc 3 kèm theo một số phần tử nữa vào mạch tương đương của thiết bị. Thậm chí các gần đúng cao hơn nữa cần phải làm khi phân tích mạch. Tính toán bằng tay đối với các mạch tương đương gần đúng cao hơn bậc 2 trở nên rất khó khăn. Trong trường hợp này chúng ta sẽ dùng chương trình máy tính. Ví dụ EWB (Electronics Work Bench) hoặc Pspice là các phần mềm máy tính trong đó dùng các gần đúng bậc cao để phân tích mạch.

Tóm lại, việc sử dụng gần đúng loại nào là phụ thuộc vào yêu cầu công việc mà chúng ta phải làm. Nếu chúng ta đang tìm lỗi hay sửa chữa thiết bị, gần đúng bậc 1 là đủ. Trong nhiều trường hợp gần đúng bậc 2 là lựa chọn tốt vì dễ dùng và không yêu cầu máy tính. Đối với các gần đúng cao hơn cần phải dùng máy tính và một chương trình.

I.2 NGUỒN THẾ

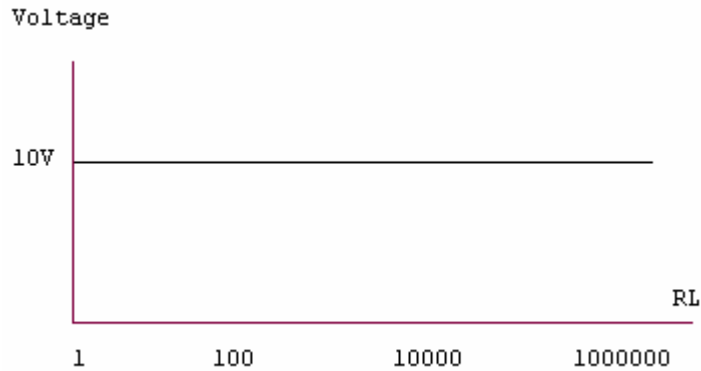
Một nguồn thế lý tưởng tạo ra một hiệu điện thế là hằng số trên tải. Ví dụ đơn giản nhất của một nguồn thế lý tưởng là một acqui hoàn hảo, một acqui mà điện trở trong của nó bằng 0.

Hình 1-1a là hình vẽ một mạch, trong đó nguồn thế $V_1=10V$ nối với điện trở tải $R_L=1\Omega$. Vôn kế chỉ 10V, đúng bằng giá trị của nguồn thế.



Hình 1-1a: Nguồn thế và tải

Hình 1-1b cho thấy giản đồ của hiệu điện thế trên tải và điện trở tải. Theo giản đồ, hiệu điện thế trên tải vẫn 10V khi điện trở tải thay đổi từ 1Ω đến $1M\Omega$. Nói một cách khác, một nguồn thế lý tưởng tạo ra một thế trên tải là hằng số bất chấp điện trở tải là lớn hay bé. Với một nguồn thế lý tưởng, chỉ có dòng tải thay đổi khi điện trở tải thay đổi.

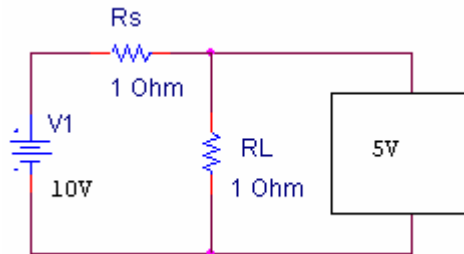


Hình 1-1b: Quan hệ giữa thế tải và trở tải

Gần đúng bậc 2 của nguồn thế.

Nguồn thế lý tưởng là thiết bị chỉ có về mặt lý thuyết, nó không tồn tại trong thực tế. Vì khi điện trở tải gần bằng 0, dòng tải sẽ gần bằng vô cùng. Không có một nguồn thế thực nào có thể tạo ra một dòng tải vô hạn vì nguồn thế thực luôn luôn có điện trở trong (điện trở nguồn). Gần đúng bậc 2 của một nguồn thế phải kèm theo điện trở trong này.

Hình 1-2a mô tả ý tưởng này. Điện trở trong 1Ω nối tiếp với bộ acqui lý tưởng. Khi đó giá trị chỉ trên Vôn kế là 5V thay vì 10V.

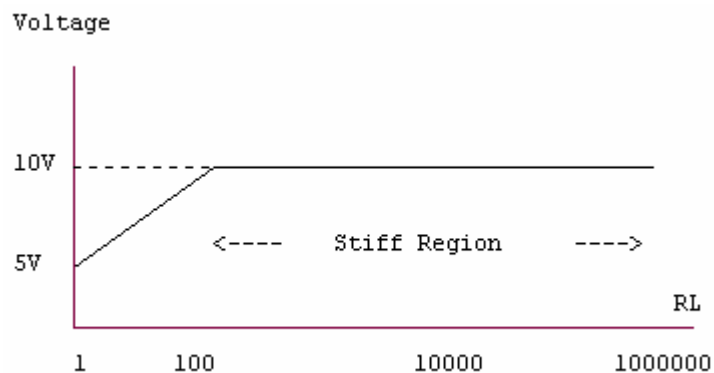


Hình 1-2a: Nguồn thế với điện trở trong

Hình 1-2b là giản đồ của thế trên tải và điện trở tải của một nguồn thế thực. Thế trên tải chỉ đạt được giá trị 10V khi điện trở tải lớn hơn điện trở nguồn nhiều lần, lớn hơn đến mức có thể bỏ qua điện trở nguồn.

Nguồn thế mạnh (Stiff Voltage Source)

Chúng ta có thể bỏ qua điện trở nguồn khi nó nhỏ hơn điện trở tải ít nhất là 100 lần. Tất cả các nguồn thế thỏa mãn điều kiện này gọi là nguồn thế mạnh.



Hình 1-2b: Thế trên tải và trở tải đối với nguồn thế thực

Một nguồn thế mạnh nếu thỏa điều kiện:

$$R_S < 0.01R_L \quad (1-1)$$

Điện trở tải bé nhất mà nguồn thế vẫn mạnh là:

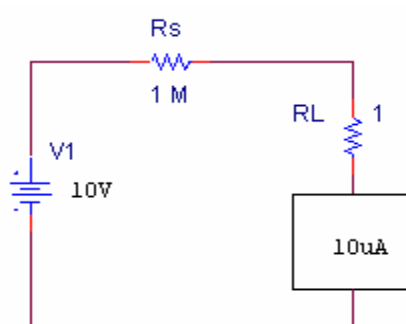
$$R_{L(\min)} = 100R_S \quad (1-2)$$

Theo (1-2) điện trở tải bé nhất phải bằng 100 lần điện trở nguồn. Trong trường hợp này, sai số tính toán do bỏ qua điện trở nguồn là 1%. Giá trị sai số này là đủ nhỏ để bỏ qua trong gần đúng bậc 2.

Lưu ý:

- Định nghĩa về nguồn thế mạnh áp dụng cho cả nguồn DC lẫn nguồn AC.
- Gần đúng bậc 2 chỉ có ý nghĩa tại tần số thấp. Tại tần số cao, các hệ số cần phải xem xét thêm là cảm kháng và dung kháng.

I.3 NGUỒN DÒNG



Hình 1-3: Nguồn dòng

Một nguồn thế DC cung cấp một thế trên tải không đổi đối với các điện trở tải khác nhau. Nguồn dòng DC tạo ra một dòng tải là hằng số đối với các điện trở khác nhau. Ví dụ một nguồn dòng lý tưởng là một acqui có điện trở trong rất lớn như hình 1-3.

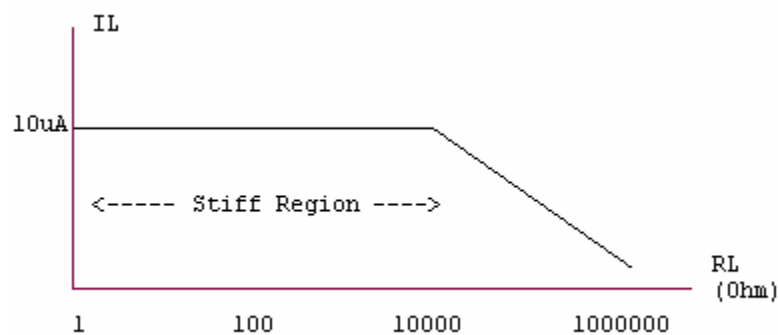
Trong mạch hình 1-3, dòng tải tính bởi:

$$I_L = V_1 / (R_s + R_L)$$

với $R_L = 1\Omega$, $R_s = 1M\Omega$, dòng tải bằng:

$$I_L = 10V / (1M + 1) = 10\mu A$$

Trong tính toán trên đây, điện trở tải ảnh hưởng không đáng kể lên dòng tải.



Hình 1-4: ảnh hưởng của điện trở tải đối với dòng tải

Hình 1-4 chỉ ra ảnh hưởng của điện trở tải đối với dòng tải. Dòng tải vẫn là $10\mu A$ trong một vùng rộng của điện trở tải. Khi điện trở tải lớn hơn $10K\Omega$ ($R_L > 1\% R_s$) thì dòng tải bắt đầu thay đổi.

Nguồn dòng mạnh.

Chúng ta có thể bỏ qua ảnh hưởng của điện trở nguồn của một nguồn dòng nếu nó lớn hơn điện trở tải ít nhất là 100 lần. Mọi nguồn dòng thỏa điều kiện này gọi là nguồn dòng mạnh.

Nguồn dòng mạnh nếu thỏa điều kiện:

$$R_s > 100R_L \quad (1-3)$$

Trong trường hợp giới hạn, điện trở tải lớn nhất mà nguồn vẫn được xem là nguồn dòng mạnh khi

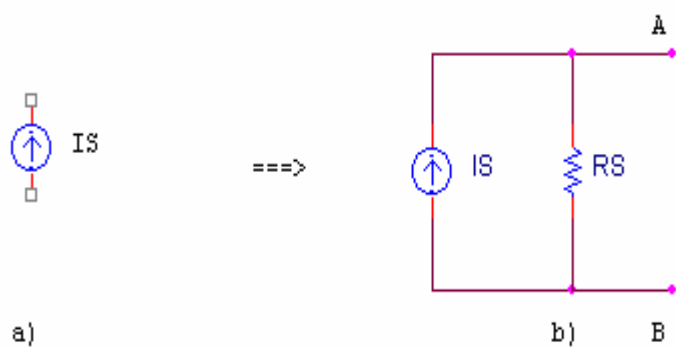
$$R_L(\max) = 0.01R_s \quad (1-4)$$

Theo (1-4) điện trở tải lớn nhất bằng 1/100 điện trở nguồn.

Hình 1-5a ký hiệu một nguồn dòng lý tưởng, trong đó thiết bị tạo ra một dòng hằng I_s với điện trở nội của nguồn R_s là vô cùng.

Hình 1-5b chỉ ra gần đúng bậc 2 của nguồn dòng. Ở đó điện trở trong R_s mắc song song với nguồn dòng lý tưởng I_s . Phần cuối của chương này sẽ

xem xét định lý Norton, khi đó chúng ta sẽ biết tại sao R_s lại mắc song song với nguồn dòng I_s .

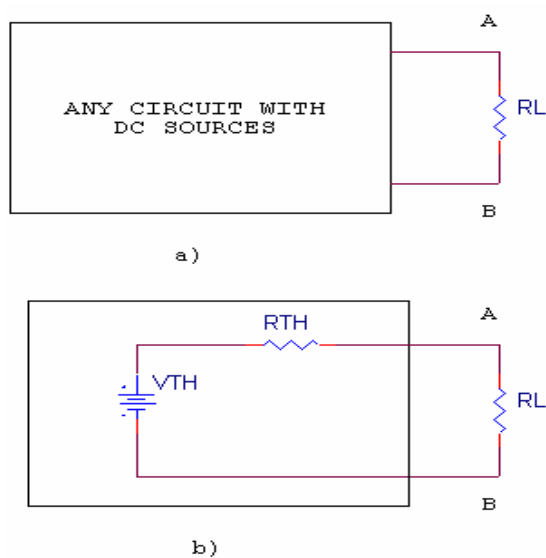


Hình 1-5: Nguồn dòng

Bảng sau cho thấy sự khác nhau giữa nguồn dòng và nguồn thế.

Đại lượng	Nguồn thế	Nguồn dòng
R_s	Rất bé	Rất lớn
R_L	$> 100 R_s$	$< 0.01 R_s$
V_L	Hằng	Phụ thuộc R_L
I_L	Phụ thuộc R_L	Hằng

I.4 ĐỊNH LÝ THEVENIN



Hình 1-6: Thế Thevenin

Định lý là một mệnh đề có thể chứng minh bằng toán học. Sau đây chúng ta xem xét một số khái niệm liên quan đến định lý Thevenin, tên một kỹ sư người Pháp.

Thế Thevenin (V_{TH}): Trên hình 1-6, thế Thevenin là thế đo được giữa 2 đầu điện trở tải (hai đầu AB) khi không có điện trở tải (điện trở tải hở mạch). Vì vậy đôi khi thế Thevenin còn gọi là thế hở mạch.

Thế Thevenin:

$$V_{TH} = V_{OC} \quad (1-5)$$

Trở Thevenin (R_{TH}): là điện trở đo được giữa 2 đầu điện trở tải khi điện trở tải hở mạch và khi tất cả các nguồn giảm tới 0.

Giảm nguồn tới 0 có ý nghĩa khác nhau đối với nguồn dòng và nguồn thế. Cụ thể như sau:

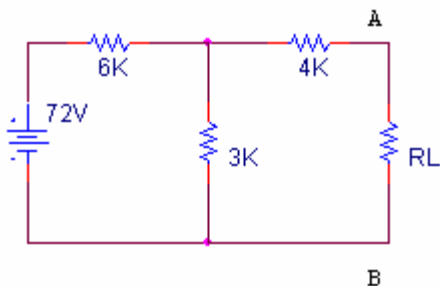
- ◆ Đối với nguồn thế: ngắn mạch
- ◆ Đối với nguồn dòng: hở mạch

Vậy định lý Thevenin đề cập đến cái gì? Theo định lý Thevenin, mọi hộp đen chứa mạch gồm nguồn DC và các điện trở tuyến tính (là điện trở không thay đổi giá trị khi thay đổi thế trên nó) như hình 1-6a có thể thay thế bằng một nguồn thế Thevenin và một điện trở Thevenin tương đương như hình 1-6b. Khi đó dòng qua tải bằng

$$I_L = V_{TH} / (R_{TH} + R_L) \quad (1-6)$$

Định lý Thevenin là một công cụ mạnh. Nó không chỉ giúp đơn giản các tính toán mà còn giúp giải thích hoạt động của các mạch mà nếu chỉ dùng các phương trình Kirchhoff thì không thể làm được.

Ví dụ: Tính thế và trở Thevenin cho mạch hình 1-7.



Hình 1-7

Để tính thế Thevenin chúng ta hở mạch điện trở tải R_L . Dễ dàng thấy rằng $V_{TH} = 24V$.

Để tính trở Thevenin cần hở mạch tải và ngắn mạch nguồn 72V. Khi đó:

$$R_{TH} = 4 + (3//6) = 6K\Omega$$

Có thể dùng Vôn kế và Ohm kế để đo thế Thevenin và trở Thevenin. Độ chính xác của các phép đo phụ thuộc vào loại máy đo được sử dụng. Ví dụ nếu sử dụng máy đo thế loại chỉ thị kim có độ nhạy $20K\Omega/V$ tại thang đo 30V thì trở kháng vào của máy đo là $600K\Omega$. Khi đó thế đo được sẽ bé hơn thế Thevenin một chút. Thường người ta dùng vôn kế có trở kháng vào vào lớn hơn trở Thevenin ít nhất là 100 lần. Khi đó sai số sẽ bé hơn 1%. Để có trở kháng vào cao, ngày nay người ta dùng vôn kế số (Digital Multimeter) với trở kháng vào cỡ $10M\Omega$.

1.5 ĐỊNH LÝ NORTON

Trên hình 1-8a, dòng Norton I_N được định nghĩa là dòng tải khi điện trở tải ngắn mạch. Vì vậy dòng Norton còn gọi là dòng ngắn mạch.

$$I_N = I_{SC} \quad (1-7)$$

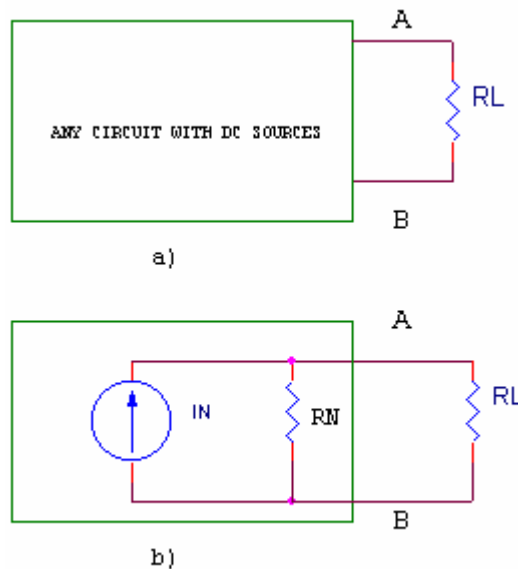
Điện trở Norton là điện trở đo giữa hai đầu điện trở tải khi hở mạch điện trở tải và tất cả các nguồn giảm tới 0.

$$R_N = R_{OC} \quad (1-8)$$

Do điện trở Thevenin cũng bằng R_{OC} , nên thể viết:

$$R_{TH} = R_N \quad (1-9)$$

nghĩa là điện trở Thevenin và điện trở Norton là bằng nhau.



Hình 1-8: Mạch Norton

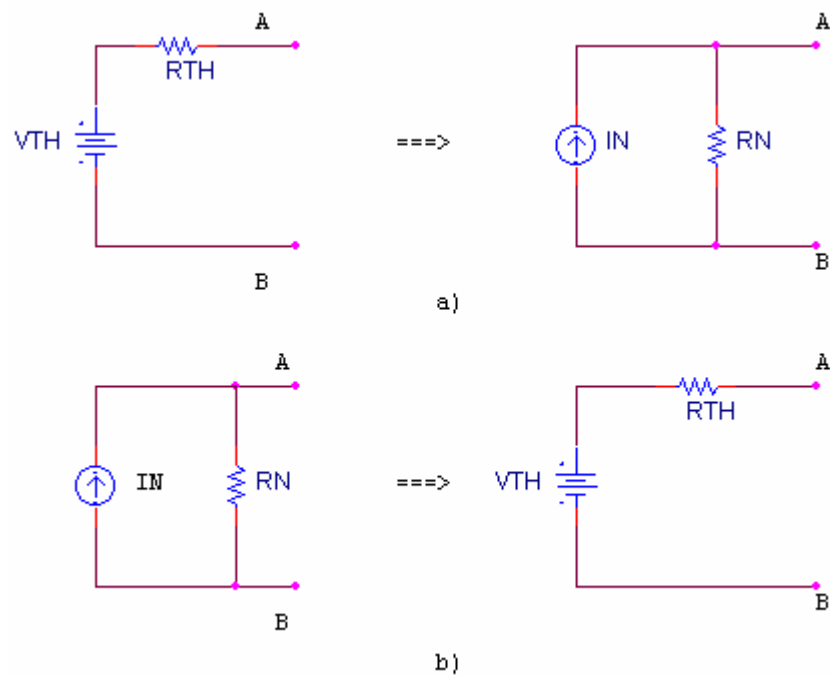
Trong hình 1-8a, hộp đen chứa mạch bất kỳ gồm nguồn DC và các điện trở tuyến tính. Định lý Norton phát biểu rằng, có thể thay thế mạch hình 1-8a bằng mạch hình 1-8b.

Dưới dạng biểu thức:

$$V_L = I_N(R_N // R_L) \quad (1-10)$$

Theo (1-10) thế trên tải bằng dòng Norton nhân với điện trở tải mắc song song với điện trở Norton.

Định lý Norton và Thevenin là tương đương. Trên thực tế, có thể biến đổi nguồn thế Thevenin thành nguồn dòng Norton và ngược lại. Hình 1-9 cho thấy các cách biến đổi.



Hình 1-9: Biến đổi Thevenin - Norton

Có thể thấy rằng trở Norton và trở Thevenin là giống nhau. Quan hệ giữa dòng Norton và thế Thevenin là

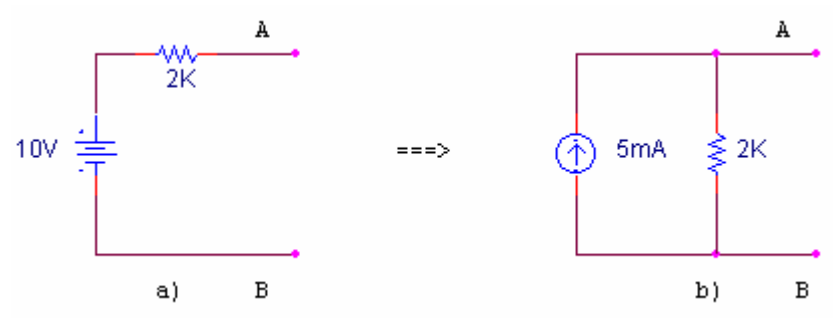
$$I_N = V_{TH} / R_{TH} \quad (1-11)$$

Ví dụ: Giả sử rằng chúng ta đã rút gọn một mạch thành mạch Thevenin như hình 1-10. Hãy biến đổi mạch này thành mạch Norton.

Lời giải: Dùng phương trình (1-11) ta có:

$$I_N = 10V/2K = 5mA$$

Hình 1-10b vẽ mạch Norton tương đương của mạch Thevenin trên hình 1-10a.



Hình 1-10

Chương II **DIODE BÁN DẪN VÀ MẠCH DIODE**

II.1 CÁC LOẠI CHẤT BÁN DẪN

Theo tính chất dẫn điện, có 3 loại vật chất:

- ◆ Chất dẫn điện
- ◆ Chất không dẫn điện (điện môi)
- ◆ Chất bán dẫn

Trong chất dẫn điện thường chỉ có 1 electron ở vùng hoá trị, trong khi đó các chất điện môi có 8 electron ở vùng hoá trị. Bán dẫn có tính chất trung gian giữa điện môi và chất dẫn điện, chúng có 4 electron ở vùng hoá trị.

Germanium (Ge) và silicon (Si) là các chất bán dẫn điển hình. Ở trạng thái tinh thể tinh khiết (không bị pha tạp), mỗi nguyên tử Ge và Si dùng 4 electron hoá trị của chúng để liên kết với 4 electron hoá trị của 4 nguyên tử khác tạo ra cấu trúc tinh thể bền vững về mặt hoá học.

Khái niệm lỗ trống trong chất bán dẫn. Ở nhiệt độ trên 0 độ tuyệt đối ($>-273^{\circ}\text{C}$) các electron trong mạng tinh thể sẽ chuyển động nhiệt. Nhiệt độ càng cao thì chuyển động nhiệt của các electron càng lớn. Chuyển động nhiệt này có thể làm cho 1 electron trong vùng hoá trị chuyển lên các quỹ đạo có năng lượng cao hơn. Lúc này electron là tự do. Nó di chuyển trong vùng dẫn. Cùng với sự tạo thành một electron tự do, sẽ xuất hiện một lỗ trống (mang điện tích dương) trong vùng hoá trị. Số electron tự do đúng bằng số lỗ trống. Lỗ trống là điểm khác biệt quan trọng nhất giữa bán dẫn và vật dẫn.

Nếu tồn tại 1 điện trường ngoài, thì trong chất bán dẫn sẽ có dòng chạy qua. Dòng này là dòng của các electron tự do và lỗ trống ngược chiều nhau. Độ dẫn điện của bán dẫn tinh khiết tăng theo nhiệt độ và có giá trị bé.

Để tăng độ dẫn điện của bán dẫn tinh khiết cần phải pha tạp (doping). Có 2 cách thường dùng:

Pha tạp loại N (negative). Để tăng số electron tự do trong bán dẫn, người ta pha tạp nguyên tử hoá trị 5 (còn gọi là chất cho, Photpho chẳng hạn) với bán dẫn tinh khiết, tạo thành bán dẫn loại N. Trong bán dẫn loại N, dễ dàng thấy rằng nguyên tử chất cho sẽ thừa 1 electron và làm cho số electron trong bán dẫn loại N chiếm đa số. Lỗ trống là phần tử thiếu số trong bán dẫn loại N.

Pha tạp loại P (positive). Người ta pha tạp nguyên tử hoá trị 3 (còn gọi là chất nhận, Nhôm chẳng hạn) vào bán dẫn tinh khiết để tạo ra chất bán dẫn

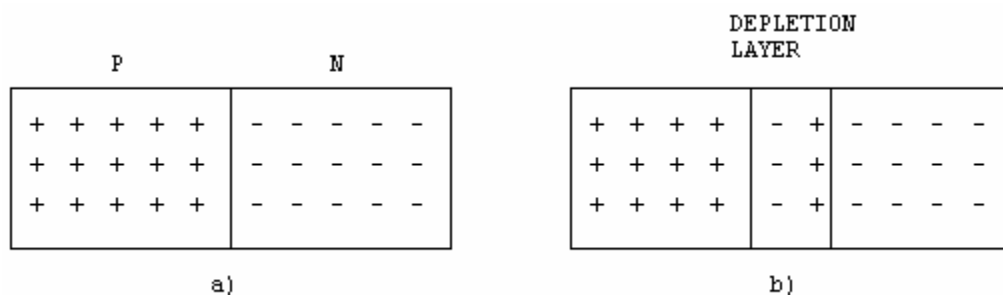
loại P. Trong bán dẫn loại P, phần tử tải điện đa số là lỗ trống, phần tử tải điện thiểu số là electron tự do.

Bán dẫn loại N và loại P có thể chế tạo từ tinh thể Ge hoặc Si. Công nghệ Ge là công nghệ của những năm 60 (thế kỷ 20). Ngày nay, hầu hết các chất bán dẫn là Si.

II.2 TIẾP XÚC PN

Giả sử có một mẫu bán dẫn Si tinh khiết. Người ta pha tạp mẫu bán dẫn sao cho phía bên trái là bán dẫn loại P, còn phía bên phải là bán dẫn loại N. Biên giới giữa bán dẫn loại P và bán dẫn loại N gọi là **tiếp xúc PN**. Tiếp xúc PN đã dẫn đến các phát minh về diode, transistor, IC (Integrated Circuits)... Việc hiểu biết tính chất của tiếp xúc PN là cơ sở để hiểu biết hoạt động của các linh kiện và thiết bị bán dẫn.

Tiếp xúc PN còn gọi là một diode bán dẫn (từ nay trở đi gọi là diode). Chúng ta hãy xem xét các tính chất của một diode khi không phân cực.



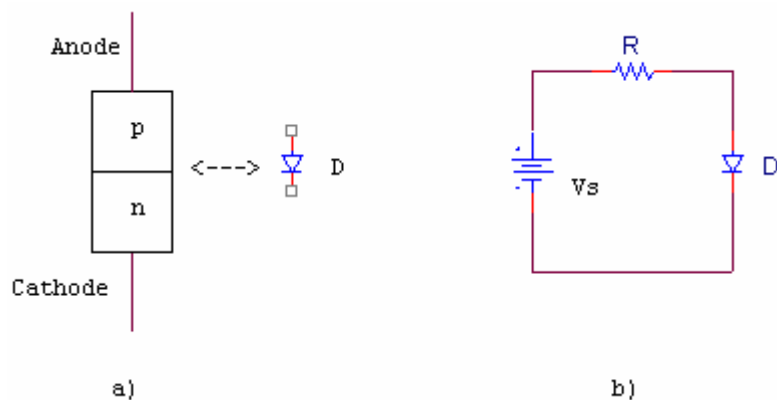
Hình 2-1: Tiếp xúc PN không phân cực

Tại lớp tiếp xúc, sẽ hình thành một vùng nghèo điện tích (depletion layer) do sự khuếch tán của electron từ N vào P sau đó các electron này tái hợp với lỗ trống làm cho số phần tử tải điện tại vùng này giảm. Sự khuếch tán cũng tạo ra một hàng rào thế năng hướng từ N sang P. Ở nhiệt độ 25⁰C, hàng rào thế năng có giá trị cỡ 0.3V đối với Ge và 0.7V đối với Si. Sự hiện diện của rào thế ngăn cản quá trình khuếch tán tiếp tục và hệ ở trạng thái dừng.

II.3 DIODE BÁN DẪN CÓ PHÂN CỰC

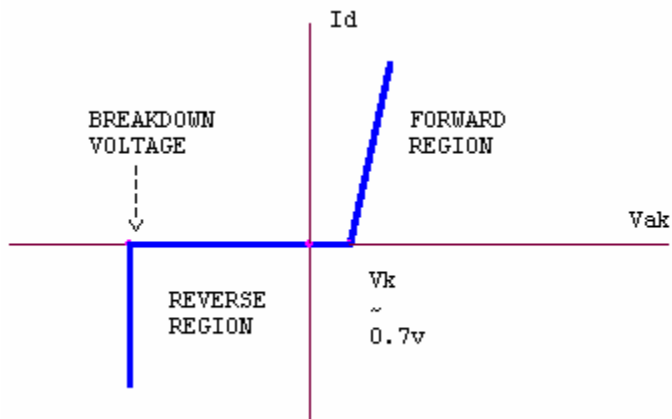
Hình 2-2a cho thấy ký hiệu của một diode. Bên bán dẫn P gọi là Anode (ký hiệu là A), bên bán dẫn N gọi là Cathode (ký hiệu là K). Trên sơ đồ người ta ký hiệu diode như một mũi tên chỉ từ P sang N hay từ Anode sang Cathode.

Hình 2-2b trình bày một mạch diode. Trong mạch này diode được phân cực thuận ($V_a > V_k$). Sự phân cực thuận làm cho các electron tự do bên bán dẫn N và lỗ trống bên bán dẫn P vượt qua mối nối tạo thành dòng điện trong diode (dòng I_{ak}).



Hình 2-2: Diode và phân cực thuận diode

Trong phòng thí nghiệm có thể setup một mạch như hình 2-2b. Bằng cách đo dòng và thế trên diode ứng với phân cực thuận và phân cực nghịch ($V_a < V_k$) có thể vẽ giản đồ quan hệ giữa dòng và thế trên diode như hình 2-3.



Hình 2-3: Giản đồ IV của diode

Theo hình 2-3, khi phân cực thuận, dòng qua diode sẽ không đáng kể cho đến khi $V_k >$ hàng rào thế năng (barrier potential). Ngược lại, khi phân cực ngược, có 1 dòng điện rất bé qua diode cho đến điện áp đặt lên diode vượt qua điện thế đánh thủng (Breakdown Voltage =BV).

Trong vùng phân cực thuận, điện thế tại đó dòng I_k bắt đầu tăng nhanh gọi là điện thế mỗi nối (knee voltage) của diode. Điện thế mỗi nối có giá trị bằng hàng rào thế năng. Khi phân tích mạch diode phân cực thuận chúng ta thường xét xem điện thế trên diode là bé hơn hay lớn hơn điện thế mỗi nối. Nếu lớn hơn, diode dễ dàng dẫn điện. Nếu bé hơn, diode không dẫn điện (dẫn điện kém). Chúng ta định nghĩa điện thế mỗi nối của diode silicon là:

$$V_k \approx 0.7V \quad (2-1)$$

Điện thế mỗi nối của diode germanium là 0.3V. Hiện nay diode germanium ít được dùng, nhưng điện thế mỗi nối của nó thấp là một ưu điểm và vì vậy một số ứng dụng vẫn dùng diode germanium.

Khi điện thế trên diode vượt qua điện thế mỗi nối thì dòng qua diode tăng nhanh và theo quy luật tuyến tính. Lúc này diode đóng vai trò như điện trở. Chúng ta gọi điện trở này là điện trở Bulk (R_B) của diode.

$$R_B = R_P + R_N \quad (2-2)$$

Trong đó R_P và R_N là điện trở tương ứng của vùng P và vùng N. Chúng phụ thuộc vào mật độ pha tạp và kích thước của các vùng này. Thông thường $R_B < 1\Omega$. Chúng ta chỉ quan tâm đến R_B của diode trong gần đúng bậc 3. Trong giáo trình này chúng ta không xem xét đến gần đúng bậc 3.

Nếu dòng điện qua diode quá lớn, sự quá nhiệt sẽ phá huỷ diode. Vì vậy trong bảng số liệu kỹ thuật (data sheet) của nhà máy sản xuất có ghi dòng cực đại của một diode. Đó là dòng điện tối đa mà diode có thể hoạt động bình thường và không làm giảm tuổi thọ cũng như các đặc trưng của nó. Dòng thuận tối đa của 1 diode thường được ghi bằng I_{max} , $I_{F(max)}$, I_o ... Ví dụ diode 1N456 có $I_{max} = 135mA$.

Có thể tính công suất tiêu tán (power dissipation) của một diode giống như tính công suất tiêu tán của một điện trở. Nó bằng tích giữa dòng và thế trên diode.

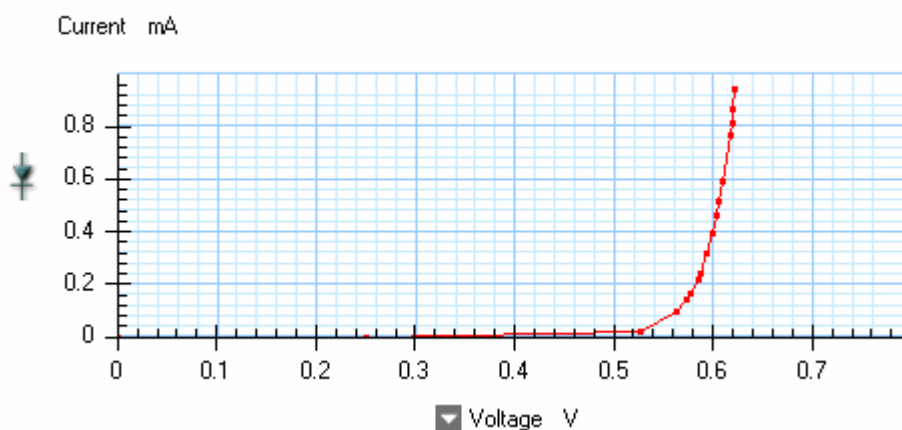
$$P_D = V_D \cdot I_D \quad (2-3)$$

Giới hạn công suất (power rating) của một diode là công suất tối đa mà diode có thể tiêu tán và không làm giảm tuổi thọ cũng như các đặc tính khác. Nếu ký hiệu giới hạn công suất là P_{max} thì

$$P_{max} = V_{max} \cdot I_{max} \quad (2-4)$$

II.4 DIODE LÝ TƯỞNG

Hình 2-4 cho thấy giản đồ dòng thế của một diode trong vùng phân cực thuận. Lưu ý rằng dòng qua diode xấp xỉ bằng 0 cho đến khi thế trên diode đạt tới giá trị hàng rào thế. Trong vùng lân cận 0.6V đến 0.7V dòng qua diode tăng. Khi thế trên diode lớn hơn 0.8V dòng qua diode tăng rất mạnh và đồ thị là đường thẳng.



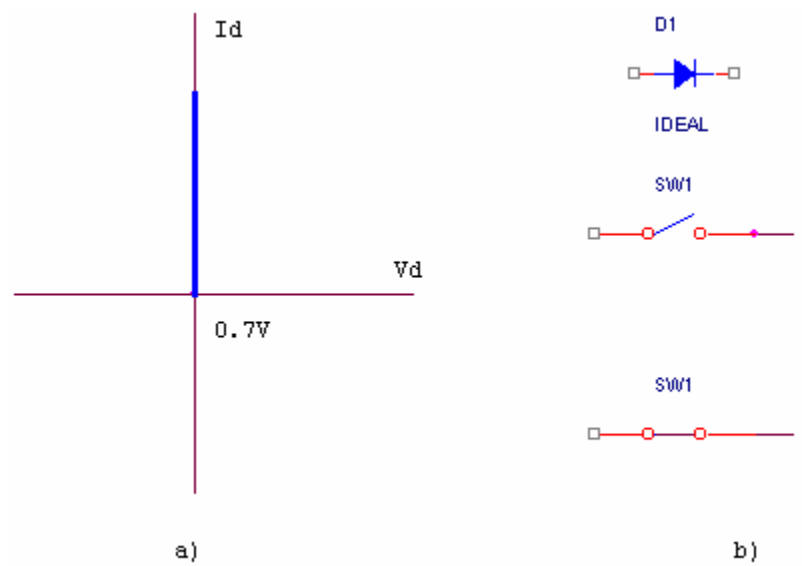
Hình 2-4: Giản đồ dòng thế của diode phân cực thuận

Tùy thuộc vào kích thước vật lý và mật độ pha tạp, các đặc trưng của diode như dòng thuận tối đa, giới hạn công suất... có thể có giá trị rất khác nhau. Mặc dù giá trị dòng và thế của các diode thì khác nhau nhưng dạng của giản đồ quan hệ giữa dòng và thế trên mọi diode tương tự nhau như hình 2-4. Tất cả các diode silicon đều có điện thế mối nối xấp xỉ 0.7V.

Trong khi phân tích mạch, hầu như chúng ta không cần sự chính xác tuyệt đối. Do đó có thể dùng gần đúng cho diode. Chúng ta hãy bắt đầu bằng gần đúng lý tưởng. Theo đó, diode như một thiết bị có tính chất sau: nó dẫn điện tốt (điện trở bằng 0) khi phân cực thuận, và hoàn toàn không dẫn điện (điện trở vô cùng) khi phân cực ngược.

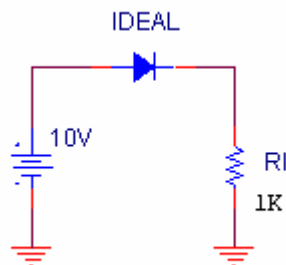
Hình 2-5a chỉ ra giản đồ dòng thế của 1 diode lý tưởng. Theo đó diode lý tưởng có điện trở bằng 0 khi phân cực thuận và có điện trở bằng vô cùng khi phân cực ngược. Nói cách khác, diode lý tưởng giống như một công tắc

(switch) như hình 2-5b. Nó đóng (close) khi phân cực thuận và hở (open) khi phân cực ngược.



Hình 2-5: Đường cong dòng thế của diode lý tưởng và mô hình

Ví dụ: Dùng mô hình diode lý tưởng tính thế trên tải và dòng tải trên sơ đồ hình 2-6.



Hình 2-6: Mạch diode lý tưởng

Do diode phân cực thuận, nó như công tắc đang đóng. Do đó toàn bộ nguồn thế 10V đặt lên trở tải. Vậy

$$V_L = 10V$$

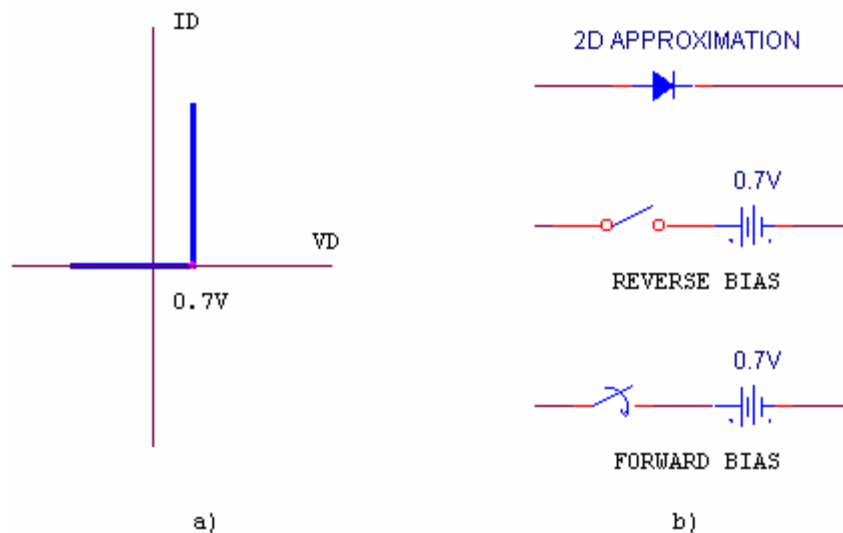
Theo định luật Ohm, dòng tải bằng:

$$I_L = 10V / 1K = 10mA$$

II.5 GẦN ĐÚNG BẬC 2 CỦA DIODE

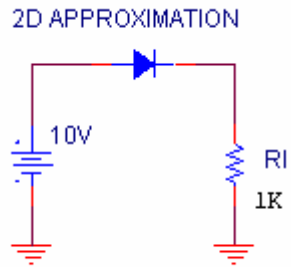
Chúng ta sẽ dùng gần đúng bậc 2 khi muốn tính chính xác hơn các giá trị dòng và thế trên diode.

Hình 2-7a chỉ ra giản đồ dòng thế của 1 diode trong gần đúng bậc 2. Theo đó, sẽ không có dòng qua diode chừng nào thế trên diode chưa vượt qua giá trị 0.7V. Hình 2-7b cho thấy mạch tương đương của diode silicon trong gần đúng bậc 2. Nó gồm một công tắc nối tiếp với một hàng rào thế 0.7V. Nếu thế Thevenin áp lên diode lớn hơn 0.7V, diode sẽ đóng (dẫn điện thuận). Khi diode đang dẫn, thế rơi trên diode là 0.7V đối với mọi giá trị của dòng thuận. Nói cách khác, nếu thế Thevenin bé hơn 0.7V, công tắc là hở và không có dòng qua diode.



Hình 2-7: Gần đúng bậc 2 của diode

Ví dụ. Dùng gần đúng bậc 2 của diode để tính dòng, thế và công suất tiêu tán trên diode cho ở mạch hình 2-8.



Hình 2-8: Mạch diode gần đúng bậc 2

Do diode phân cực thuận, nó tương đương một pin 0.7V. Điều này có nghĩa là thế trên tải bằng

$$V_L = 10V - 0.7V = 9.3V$$

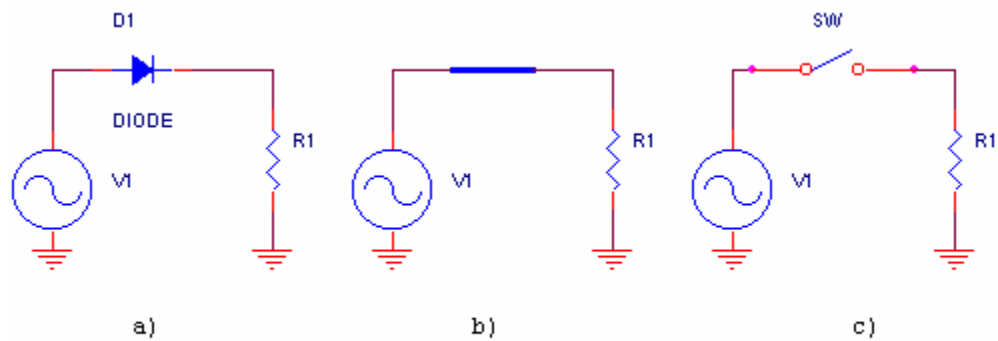
Theo định luật Ohm, dòng tải bằng

$$I_L = 9.3V / 1K = 9.3mA$$

Công suất tiêu tán trên diode bằng

$$P_D = (0.7V) \cdot (9.3mA) = 6.51mW$$

II.6 NẮN ĐIỆN NỬA CHU KỲ



Hình 2-9: Mạch nắn điện dùng diode

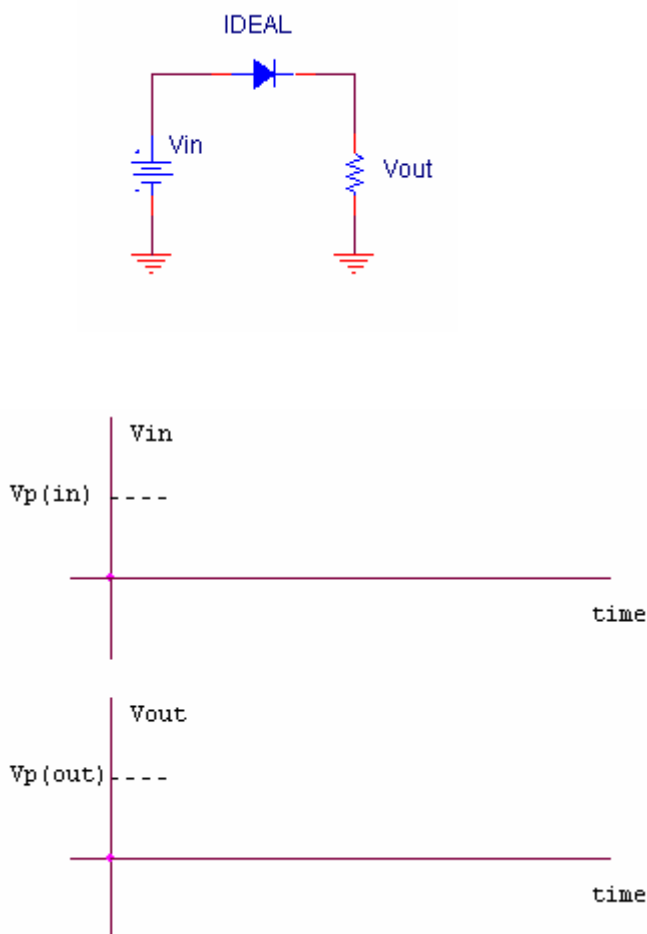
Hình 2-9a chỉ ra mạch nắn điện nửa chu kỳ. Nguồn ac tạo ra một điện áp xoay chiều. Giả sử rằng diode là lý tưởng. Ở nửa chu kỳ dương của nguồn thế, diode phân cực thuận. Diode sẽ như một công tắc đang đóng như hình 2-9b. Tín hiệu nửa chu kỳ dương của nguồn thế sẽ xuất hiện trên điện trở tải.

Vào nửa chu kỳ âm của nguồn thế, diode như công tắc hở mạch, trên tải sẽ không có 1 điện thế nào (hình 2-9c).

Dạng sóng lý tưởng.

Mạch nắn điện nửa sóng như hình 2-10a sẽ chỉ làm cho diode dẫn trong nửa chu kỳ dương và không dẫn trong nửa chu kỳ âm của nguồn ac.

Hình 2-10b là giản đồ dạng sóng lối vào. Nó là một sóng sin có giá trị tức thời là v_{in} và giá trị đỉnh là $V_p(in)$. Do đó trên tải sẽ thu được tín hiệu dạng nửa sóng. Điều này cũng có nghĩa là dòng qua điện trở tải là dòng một chiều.



Hình 2-10: Dạng sóng của mạch nắn $\frac{1}{2}$ chu kỳ

Tín hiệu lối ra nửa sóng như hình 2-10c là điện thế dc kiểu xung. Nó tăng từ 0 đến cực đại, rồi lại giảm về 0, sau đó tiếp tục bằng 0 trong nửa chu kỳ âm. Để có được nguồn dc dùng cho các thiết bị điện tử, cần phải lọc dạng tín hiệu nửa sóng này.

Giá trị của thế lối ra lý tưởng là:

$$V_p(\text{out}) = V_p(\text{in}) \quad (2-5)$$

Giá trị dc của tín hiệu nửa sóng.

Giá trị dc của 1 tín hiệu là giá trị trung bình của tín hiệu đó. Nếu đo tín hiệu bằng vôn kế dc thì số chỉ chính là giá trị trung bình của tín hiệu.

Giá trị dc của một tín hiệu nửa sóng bằng:

$$V_{dc} = V_p / \pi = 0.318 V_p \quad (2-6)$$

Theo (2-6) nếu giá trị đỉnh của 1 tín hiệu nửa sóng là 100V thì giá trị dc hay trung bình của nó là 31.8V.

Tần số tín hiệu lối ra của mạch nắn nửa chu kỳ bằng tần số của nguồn ac lối vào.

$$f_{\text{out}} = f_{\text{in}} \quad (2-7)$$

Có thể thấy rằng dòng qua diode bằng dòng qua tải.

$$I_{\text{diode}} = I_{dc}$$

Gần đúng bậc 2.

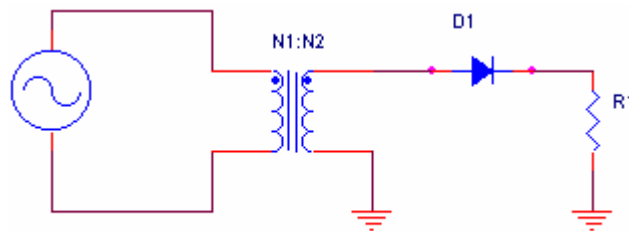
Trong gần đúng bậc 2, thế trên tải nhỏ hơn thế của nguồn vào một lượng 0.7V như công thức sau:

$$V_p(\text{out}) = V_p(\text{in}) - 0.7V \quad (2-84)$$

II.7 BIẾN THẾ

Tại Việt nam, nhà điện cung cấp điện áp lưới (Line Voltage) danh định 220V, tần số 50Hz. Điện áp thực mà chúng ta nhận được có thể thay đổi từ 200V đến 240V phụ thuộc vào thời điểm trong ngày, vị trí và nhiều yếu tố khác. Điện áp 220V là quá cao đối với các mạch điện trong các thiết bị điện tử. Đó là lý do tại sao phải dùng một biến thế hạ thế trong hầu hết các thiết bị điện tử. Biến thế giảm điện áp lưới từ 220V xuống các giá trị bé hơn và an toàn hơn để dùng với diode, transistor và các thiết bị bán dẫn khác.

Hình 2-11 cho thấy một biến thế. Điện áp lưới đặt trực tiếp vào cuộn sơ cấp của biến thế. Gọi N_1/N_2 là tỷ số giữa cuộn sơ cấp và cuộn thứ cấp. Để biến thế là hạ thế thì $N_1 > N_2$.



Hình 2-11: Biến thế

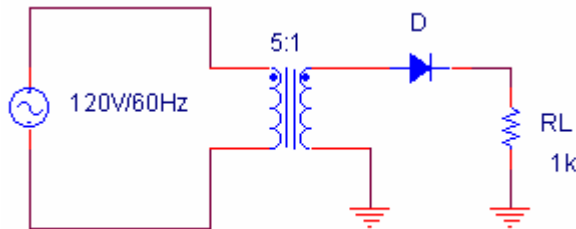
Dấu chấm pha. Để biểu thị quan hệ về pha trên các cuộn dây của biến thế người ta dùng dấu chấm pha. Các đầu dây có dấu chấm sẽ có cùng pha.

Quan hệ giữa thế và số vòng trên 2 cuộn của biến thế là:

$$V_2/V_1 = N_2/N_1 \quad (2-9)$$

Có thể dùng công thức (2-9) cho giá trị đỉnh, giá trị hiệu dụng và giá trị tức thời.

Ví dụ: Tính thế tải cực đại và thế tải dc cho mạch hình 2-12.



Hình 2-12: Biến thế và mạch nắn 1/2 chu kỳ

Giải: Tỷ số biến thế là 5:1. Do đó thế trên cuộn thứ cấp là:

$$V_2 = 120/5 = 24V$$

Điện thế đỉnh trên cuộn thứ cấp bằng:

$$V_p = 24/0.707 = 34V$$

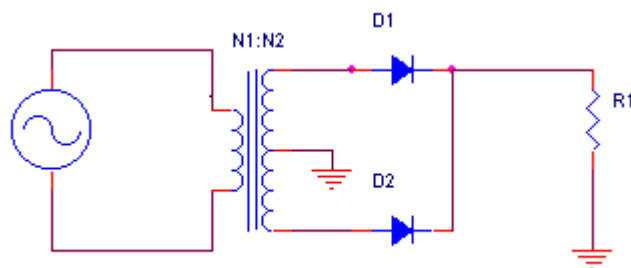
Với diode lý tưởng, thế đỉnh trên tải bằng 34V.

Thế dc trên tải bằng:

$$V_{dc} = V_p/\pi = 34/\pi = 10.8V$$

Nếu dùng xấp xỉ bậc 2 cho diode, thế đỉnh trên tải và thế dc trên tải tương ứng bằng 33.3V và 10.6V

II.8 NẮN CẢ CHU KỲ



Hình 2-13: Mạch nắn cả chu kỳ

Hình 2-13 là một mạch nắn điện toàn sóng (cả chu kỳ). Cuộn thứ cấp của biến thế có điểm giữa được nối đất. Mạch nắn toàn sóng tương đương 2 mạch nắn nửa sóng ghép lại. Vì biến thế có điểm giữa, mỗi mạch nắn có điện thế vào chỉ bằng $\frac{1}{2}$ điện thế cuộn thứ cấp. Diode D1 dẫn trong nửa chu kỳ dương trong khi đó D2 dẫn trong nửa chu kỳ âm. Trong cả 2 nửa chu kỳ, điện thế trên tải có cùng cực tính, dòng tải vì vậy là dòng có hướng. Chúng ta sẽ phân tích một số đặc điểm của tín hiệu lối ra toàn sóng sau đây.

Giá trị dc hay trung bình.

Do tín hiệu lối ra toàn sóng gồm 2 lần tín hiệu nửa sóng nên giá trị dc cho bởi:

$$V_{dc} = 2V_p / \pi = 0.63V_p \quad (2-10)$$

Theo (2-6) giá trị trung bình bằng 63% giá trị đỉnh. Ví dụ, nếu điện thế đỉnh là 10V thì giá trị trung bình lối ra là 6.3V.

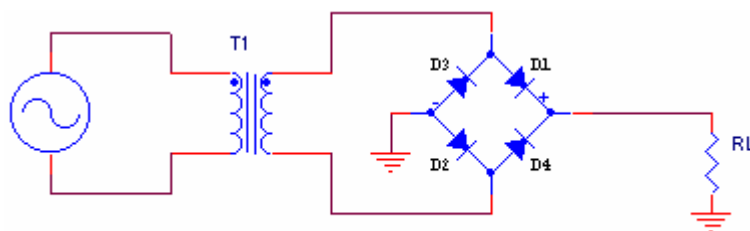
Tần số của tín hiệu lối ra toàn sóng là gấp đôi tần số nguồn ac lối vào.

$$f(\text{out}) = 2f(\text{in}) \quad (2-11)$$

Dòng qua mỗi diode bằng một nửa dòng tải:

$$I_{\text{diode}} = I_{dc} / 2$$

II.9 NẮN CẦU



Hình 2-14: Mạch nắn cầu

Hình 2-14 cho thấy một mạch nắn cầu. Mạch nắn cầu tương tự mạch nắn toàn sóng vì nó tạo ra điện thế lối ra toàn sóng. Mạch dùng 4 diode. D1 và D2 dẫn trong nửa chu kỳ dương. D3 và D4 dẫn trong nửa chu kỳ âm.

Mạch nắn cầu tương đương với hai mạch nửa sóng nối lại với nhau. Trong cả hai nửa chu kỳ, thế trên tải có cùng cực tính và dòng tải là dòng một

hướng. Mạch này biến đổi thế ac ở đầu vào thành thế dc dạng xung (nhấp nhô) ở lối ra.

Giá trị trung bình và tần số tín hiệu lối ra.

Bởi vì mạch nắn cầu tạo ra tín hiệu toàn sóng nên phương trình tính giá trị dc hay trung bình cho thế ra là:

$$V_{dc}=2V_p/\pi=0.63V_p$$

và tần số tín hiệu lối ra bằng

$$f(\text{out})=2 f(\text{in})$$

Dòng qua diode trong mạch nắn cầu bằng một nửa dòng tải

$$I_{\text{diode}}=1/2 I_{dc}$$

Gần đúng bậc 2 cho thấy rằng thế ra đỉnh bằng thế vào đỉnh trừ đi 2 lần thế rơi trên diode:

$$V_p(\text{out})=V_p(\text{in})-1.4V \quad (2-12)$$

II.10 CÁC BỘ LỌC

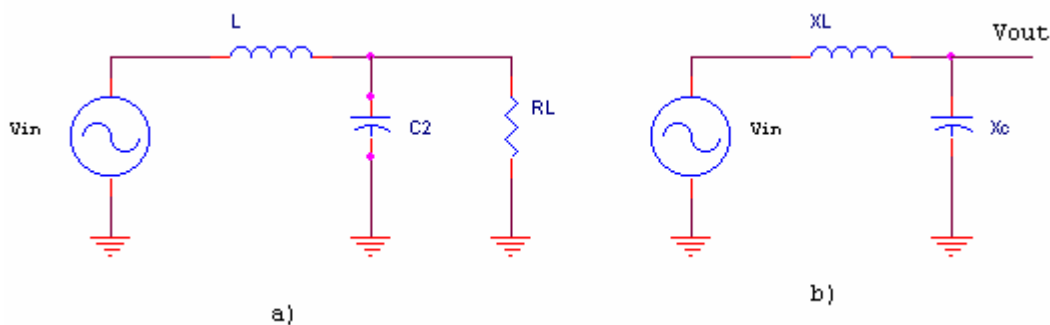
Lối ra của các mạch nắn là thế dc dạng xung (nhấp nhô). Nói cách khác, thế trên tải gồm thành phần dc và ac. Có thể lọc bỏ thành phần ac bằng các mạch lọc (filter).

Có 2 loại mạch lọc được dùng phổ biến là:

- Mạch lọc LC
- Mạch lọc RC

a) Mạch lọc LC

Hình 2-15a cho thấy mạch lọc dùng cuộn L và tụ C.



Hình 2-15

Nguồn ac tạo ra dòng trên cuộn dây, tụ điện và điện trở. Dòng ac trên các linh kiện này phụ thuộc vào cảm kháng của L, dung kháng của C và R.

Cuộn L có trở kháng

$$X_L = 2\pi fL$$

Tụ C có dung kháng bằng

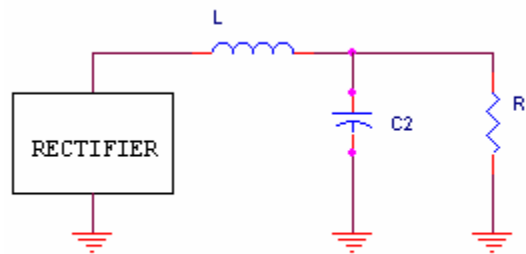
$$X_C = 1/2\pi fC$$

Mạch lọc LC được gọi là thiết kế tốt nếu tại tần số tín hiệu vào, giá trị của X_C nhỏ hơn R_L nhiều. Khi điều kiện này được thỏa mãn có thể bỏ qua R_L như mạch hình 2-15b. Mặt khác người ta cũng thiết kế sao cho tại tần số tín hiệu X_L lớn hơn X_C nhiều. Rõ ràng rằng khi đó thế xoay chiều trên tải sẽ rất bé và có thể xem bằng 0.

$$V_{out} = (X_C/X_L)V_{in} \quad (2-13)$$

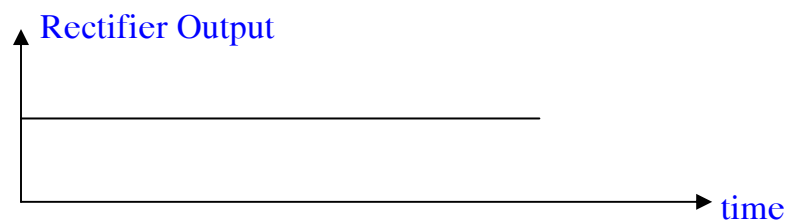
Ví dụ: tại tần số tín hiệu $X_C = 100\Omega$ và $X_L = 10K\Omega$ thì thế ra chỉ bằng 1/100 thế vào. Hay mạch lọc đã giảm thế xoay chiều 100 lần.

Lọc lõi ra của các mạch nắn



Hình 2-16

Hình 2-16 chỉ ra mạch lọc nằm giữa mạch nắn và tải. Mạch nắn có thể là nửa sóng, toàn sóng hay nắn cầu. Để phân tích tác dụng của mạch lọc, chúng ta dùng nguyên lý chồng chất. Theo đó có thể xem rằng lõi ra của mạch nắn có 2 thành phần: thành phần dc và thành phần ac như hình 2-17.



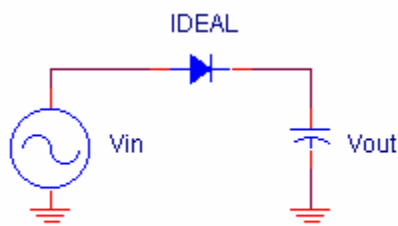
Hình 2-17

Như vậy, do tác dụng của bộ lọc thành phần ac trên tải rất bé có thể bỏ qua. Chỉ còn lại thành phần dc. Ở tần số dc, trở kháng của L rất bé, chỉ còn lại điện trở R_s của L mắc nối tiếp với tải R_L . Nếu như R_s rất bé so với R_L thì toàn bộ thế DC được đặt lên tải.

Nhược điểm của mạch lọc LC là do L có điện trở nội và làm giảm đáng kể thành phần dc nếu mạch yêu cầu dòng tải lớn. Tuy nhiên trong các bộ nguồn ổn áp kiểu xung dùng cho máy tính và các thiết bị điện tử khác, bộ lọc LC vẫn được dùng vì ở tần số cao ($f=20\text{KHz}$) có thể thiết kế các cuộn cảm nhỏ mà vẫn đảm bảo hệ số lọc thành phần ac rất cao. Trong các mạch có dòng tải bé, người ta có thể thay thế mạch lọc LC bằng mạch lọc RC.

b) Mạch lọc RC

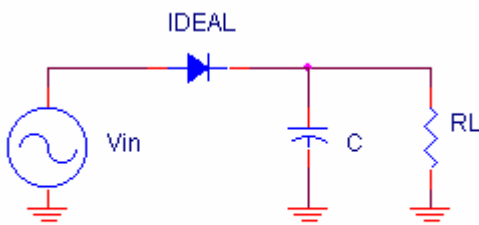
Hình 2-18 cho thấy mạch gồm tụ C, diode và nguồn ac.



Hình 2-18

Ban đầu tụ C không tích điện. Tại $\frac{1}{4}$ chu kỳ đầu tiên, diode được phân cực thuận và dẫn, tụ C được nạp qua D. Thế cực đại trên tụ C bằng với thế nguồn vào thời điểm cuối $\frac{1}{4}$ chu kỳ đầu tiên. Sau khi đạt đến giá trị đỉnh V_p , thế vào bắt đầu giảm, nhưng thế trên C vẫn giữ nguyên hằng số và bằng V_p . Lưu ý rằng mạch này không có tải.

Ảnh hưởng của điện trở tải.



Hình 2-19: Mạch lọc có tải

Chúng ta nối song song với mạch lọc một trở tải R_L như hình 2-19. Khi đó diode D vẫn nạp điện cho tụ ở $\frac{1}{4}$ chu kỳ đầu tiên. Trong thời gian còn lại của chu kỳ, tụ C phóng qua R với hằng số thời gian $R_L C$. Nếu thỏa mãn điều kiện $R_L C > T$ (chu kỳ tín hiệu ac) thì thế trên tải dường như vẫn là hằng số, mặc dù có một chút xoay chiều trên tải mà chúng ta gọi là thế gợn sóng (ripple voltage).

Công thức tính giá trị đỉnh-đỉnh của thế gợn sóng là:

$$V_R = I / fC \quad (2-14)$$

Trong đó I là dòng tải, f là tần số gợn sóng. Nếu dòng tải bằng 0 thì thế gợn sóng $V_R=0$.

Ví dụ, nếu dòng tải $I=10\text{mA}$, tụ $C=20\mu\text{F}$ và mạch nắn cầu ($f=100\text{Hz}$) thì $V_R = 10\text{mA}/(100.20\mu\text{F}) = 0.5\text{V}_{pp}$

II.11 DIODE ZENER

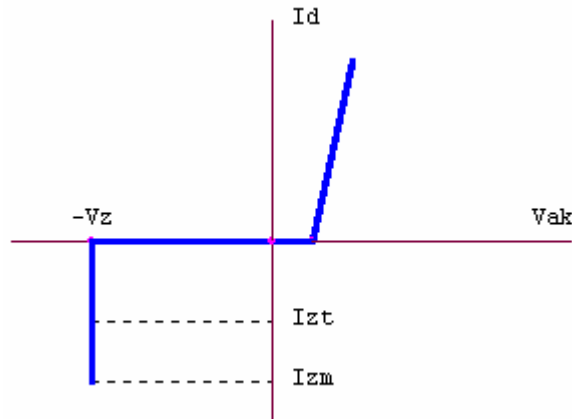
Các diode tín hiệu bé và nắn điện chỉ hoạt động ở vùng phân cực thuận mà không hoạt động ở vùng đánh thủng vì điều này sẽ làm hỏng chúng. Trong phần này chúng ta sẽ xem xét diode Zener, một diode silicon được chế tạo để hoạt động ở vùng đánh thủng. Diode zener là thành phần chính của mạch ổn áp. Đó là mạch giữ điện áp ra gần như là hằng số bất chấp sự thay đổi của thế vào và trở tải.



Hình 2-20: Diode Zener

Giải đồ IV của diode Zener.

Hình 2-20 cho thấy hình vẽ của một diode Zener, ký hiệu là V_z . Bằng cách thay đổi mật độ pha tạp, nhà máy có thể tạo ra các Zener có điện áp đánh thủng từ 2V đến 1000V. Các diode này có thể hoạt động ở 3 vùng: phân cực thuận, đánh thủng và dòng rò.



Hình 2-21: Giải đồ IV của diode Zener

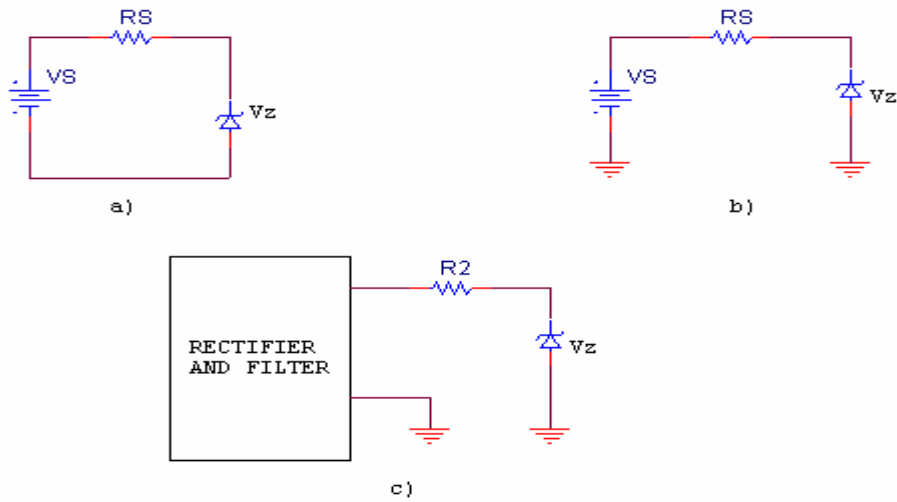
Hình 2-21 là giải đồ IV của 1 diode Zener. Trong vùng phân cực thuận, khi thế trên diode lớn hơn 0.7V nó dẫn điện như một diode silicon loại thường. Trong vùng rò, chỉ có một dòng rò rất nhỏ qua diode. Đặc tuyến của vùng đánh thủng gần như thẳng đứng. Khi diode Zener bị đánh thủng, V_Z gần như hằng số. Trong bảng số liệu của nhà sản xuất người ta thường ghi V_Z tại dòng test I_{ZT} nào đó. Hình 2-21 cũng cho biết dòng Zener tối đa I_{ZM} . Trong thiết kế mạch diode Zener phải đảm bảo diode Zener hoạt động ở dòng đánh thủng nhỏ hơn I_{ZM} .

Điện trở Zener.

Điện trở nội của diode gọi là điện trở Zener. Điện trở Zener có giá trị rất bé. Điện trở này phản ánh sự kiện dòng Zener tăng thì thế Zener tăng. Tuy nhiên sự tăng này rất ít, cỡ vài phần của Vôn. Đặc tuyến vùng đánh thủng càng dốc thì điện trở Zener càng bé. Trong các phân tích của chúng ta, điện trở Zener bị bỏ qua.

Ổn áp Zener.

Diode Zener đôi khi được gọi là diode ổn áp vì nó có đặc tính giữ điện áp giữa anode và cathode (V_Z) là hằng số bất chấp sự thay đổi của dòng qua diode. Để sử dụng tính chất này của Zener cần phải phân cực ngược nó như hình 2-22a. Mặt khác V_s phải lớn hơn điện áp đánh thủng V_Z . Một điện trở nối tiếp R_s được sử dụng để hạn chế dòng qua Zener, không cho phép nó vượt quá giá trị giới hạn tối đa.



Hình 2-22: Ổn áp dùng Zener

Hình 2-22b cho thấy một cách vẽ khác của hình 2-22a, trong đó mạch có điểm nối đất (Ground). Khi đó để đo hiệu điện thế giữa các điểm, có thể đo thế của chúng so với đất rồi tính ra hiệu điện thế giữa các điểm cần đo.

Hình 2-22c cho thấy hình vẽ lối ra của một bộ nguồn nối tới điện trở R_S và Zener. Mạch này gọi là mạch ổn áp Zener hay mạch Zener.

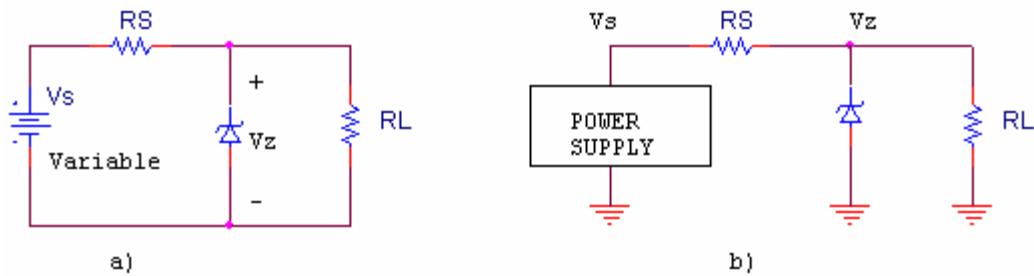
Dòng chảy qua R_S bằng:

$$I_S = (V_S - V_Z) / R_S \quad (2-15)$$

I_S cũng chính là dòng chảy qua Zener. Phải chọn R_S sao cho $I_S < I_{ZM}$

Gần đúng lý tưởng của Zener là một pin, hay một nguồn thế có giá trị bằng V_Z .

II.12 ỔN ÁP ZENER CÓ TẢI



Hình 2-23: Ổn áp Zener có tải

Hình 2-23a chỉ ra một mạch ổn áp Zener có tải. Hình 2-23b chỉ ra một mạch như thế và có điểm nối đất. Vì Zener hoạt động ở vùng đánh thủng, do đó nó giữ điện áp trên tải là hằng số bất chấp sự thay đổi của thế vào và dòng tải.

Giả sử diode Zener không nối vào mạch hình 2-23b. Khi đó thế Thevenin trên tải R_L là:

$$V_{TH} = V_s \cdot (R_L / (R_s + R_L)) \quad (2-16)$$

Thế Thevenin phải lớn hơn V_Z , nếu không sự đánh thủng sẽ không xảy ra.

Trên mạch hình 2-23, dòng qua R_s bằng:

$$I_s = (V_s - V_Z) / R_s \quad (2-17)$$

Thế trên tải bằng thế Zener

$$V_L = V_Z \quad (2-18)$$

Dòng tải bằng:

$$I_L = V_L / R_L \quad (2-19)$$

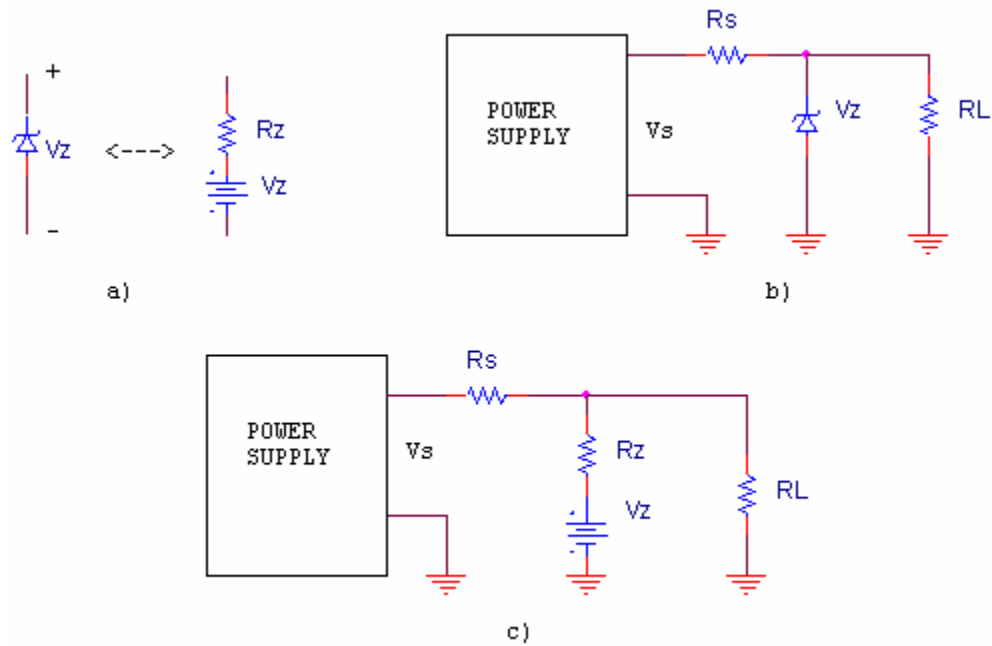
Dòng Zener. Theo định luật Kirchhoff, ta có:

$$I_s = I_L + I_Z \quad (2-20)$$

hay dòng qua Zener bằng:

$$I_Z = I_s - I_L \quad (2-21)$$

II.13 GẦN ĐÚNG BẬC 2 CỦA DIODE ZENER



Hình 2-24

Hình 2-24a cho thấy gần đúng bậc 2 của diode Zener. Khi đó Zener như một nguồn thế lý tưởng V_Z nối tiếp với trở Zener R_Z . Tổng điện thế trên Zener bằng thế đánh thủng V_Z cộng với sụt thế qua điện trở Zener. Vậy ảnh hưởng của trở Zener lên thế lối ra như thế nào? Chúng ta hãy xét sơ đồ hình 2-24b và 2-24c.

Theo hình 2-24c, thế tải bằng:

$$V_L = V_Z + I_Z R_Z$$

Sự thay đổi của thế trên tải so với trường hợp lý tưởng là:

$$\Delta V = I_Z R_Z \quad (2-22)$$

Thường ΔV nhỏ, cỡ vài phần của 1 Vôn.

Điện trở Zener cũng ảnh hưởng đến thế nhấp nhô trên tải. Mạch tương đương khi xét đến R_Z cho trên hình 2-24c.

Thành phần xoay chiều của thế ra bằng:

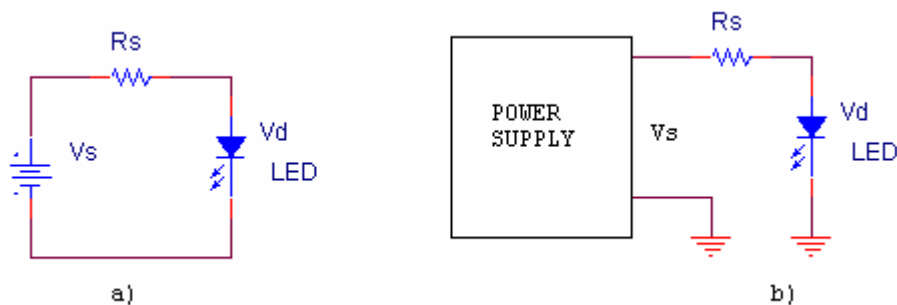
$$V_{R(out)} = V_{R(in)} R_Z / (R_Z + R_S)$$

$$= R_Z V_{R(in)} / R_S \quad (2-23)$$

II.14 CÁC THIẾT BỊ OPTOELECTRONICS

Optoelectronics là công nghệ kết hợp điện tử và quang học. Lĩnh vực này bao gồm các thiết bị hoạt động dựa trên tính chất của một tiếp xúc PN. Ví dụ các LED, photodiodes và optocouplers.

a) LED (Light Emitting Diode)



Hình 2-25

Hình 2-25a vẽ một LED nối với nguồn thế qua điện trở R_S . Các mũi tên hướng ra ngoài ký hiệu cho ánh sáng phát ra từ LED. Khi phân cực thuận, các electron tự do khi qua mối nối PN bị bắt bởi lỗ trống. Những electron này chuyển từ mức có năng lượng cao về mức năng lượng thấp hơn và vì vậy giải phóng năng lượng. Đối với diode thường năng lượng này phát ra dưới dạng nhiệt. Nhưng đối với LED, năng lượng giải phóng dưới dạng các bức xạ ánh sáng. Trong nhiều ứng dụng, LED được dùng thay cho các đèn neon vì hoạt động ở điện thế thấp, tuổi thọ cao và tắt mở nhanh. Bằng cách dùng các vật liệu khác nhau, nhà máy có thể tạo ra các LED màu đỏ, lục, lơ, vàng, cam hoặc hồng ngoại (không nhìn thấy). Các LED phát ra màu thấy được thường dùng trong các bộ chỉ thị như màn hình của máy tính tay, đồng hồ. Các LED hồng ngoại dùng trong các thiết bị báo động, các ổ đĩa CD.

Dòng và thế của LED.

Điện trở R_S trên hình 2-25b nhằm hạn chế dòng qua LED không vượt qua giới hạn cho phép. Theo định luật Ohm:

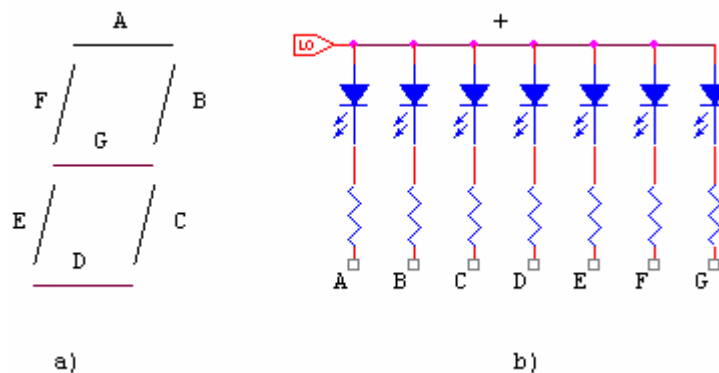
$$I_S = (V_S - V_D) / R_S \quad (2-24)$$

Hầu hết các diode thương mại có V_D từ 1.5V đến 2.5V với dòng từ 10mA đến 50mA. Giá trị chính xác của thế rơi trên LED phụ thuộc vào dòng qua LED, màu LED và một số yếu tố khác. Trừ khi được chú thích, chúng ta sẽ dùng $V_D=2V$ để phân tích các mạch có liên quan đến LED trong giáo trình này.

Thế đánh thủng của LED rất bé, chỉ cỡ 3-5V. LED thường dùng để chỉ thị tình trạng có hay không có nguồn của thiết bị và gọi là power LED. Khi đó một diode chỉnh lưu được mắc song song ngược với LED để bảo vệ LED khỏi bị đánh thủng khi phân cực ngược.

b) Seven - Segment Display.

Hình 2-26a trình bày một bộ chỉ thị dùng đèn 7 đoạn. Nó chứa 7 đoạn LED, đánh số từ A đến G. Mỗi LED là 1 đoạn vì nó là 1 thành phần của ký tự mà nó chỉ thị. Hình 2-26b là sơ đồ của một bộ chỉ thị 7 đoạn. Các điện trở dùng để hạn chế dòng qua LED. Các LED được nối theo kiểu anode chung (cũng có đèn 7 đoạn nối cathode chung). Bằng cách nối đất một hoặc nhiều điện trở, chúng ta sẽ nhận được các số từ 0 đến 9 và các ký tự như A,b,C,d, E và F.



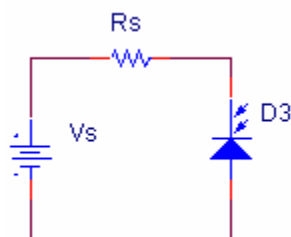
Hình 2-26: Chỉ thị 7 đoạn

c) Photodiode

Trong các phần trước chúng ta biết rằng, một thành phần trong dòng ngược của diode là dòng các hạt mang thiểu số. Các hạt mang này tồn tại vì năng lượng nhiệt có thể làm bật (dislodging) một electron hoá trị khỏi quỹ đạo của nó tạo ra một electron tự do và một lỗ trống. Thời

gian sống của các hạt mạng thiếu số này ngắn, nhưng trong khi tồn tại, chúng tạo ra dòng ngược của diode.

Khi chiếu sáng mối nối PN, năng lượng của ánh sáng (năng lượng nhiệt) có thể làm bật electron hoá trị ra khỏi quỹ đạo và tạo ra một cặp electron - lỗ trống. Photodiode là một diode được chế tạo sao cho nó nhạy với ánh sáng. Trong photodiode, một cửa sổ dẫn ánh sáng đến mối nối PN. Ánh sáng càng mạnh, số cặp electron -lỗ trống càng nhiều và do đó, dòng ngược trong photodiode càng lớn.

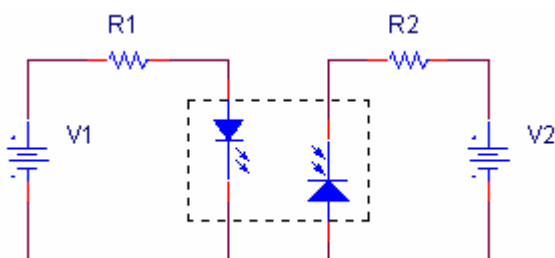


Hình 2-27: Photodiode

Hình 2-27 trình bày ký hiệu của một photodiode. Các mũi tên dùng để biểu thị cho ánh sáng tới. Photodiode thường được ứng dụng khi ghép nó với LED như phần sau đây.

d) Optocoupler

Optocoupler còn gọi là optoisolator gồm một LED và một photodiode đặt trong một vỏ nhựa với 4 chân ra, như hình 2-28.



Hình 2-28

Nguồn thế bên trái tạo ra một dòng qua LED. Ánh sáng của LED tạo ra dòng ngược trong photodiode. Nếu như thế lối vào thay đổi thì dòng qua photodiode thay đổi. Nghĩa là chúng ta đã dùng một thế (ở bên trái hình vẽ - đầu vào) để điều khiển một dòng (ở bên phải hình vẽ - đầu ra).

Ưu điểm chủ yếu của optocoupler là sự cách điện giữa đầu vào và đầu ra của hệ. Điện trở giữa đầu vào và ra của optocoupler có thể đến hàng ngàn $M\Omega$. Optocoupler có thể dùng trong các ứng dụng cao thế, ở đó thế giữa đầu vào và ra có thể khác nhau đến hàng ngàn vôn.

e) Laser diode (Light Amplification by Stimulated Emission of Radiation)

Sự chuyển ngẫu nhiên từ mức năng lượng cao về mức năng lượng thấp của các electron tự do trong LED làm cho ánh sáng phát ra từ một LED có pha thay đổi trong một vùng rộng từ 0 đến 360° . Nguồn sáng có pha thay đổi gọi là nguồn sáng không kết hợp (Incoherent).

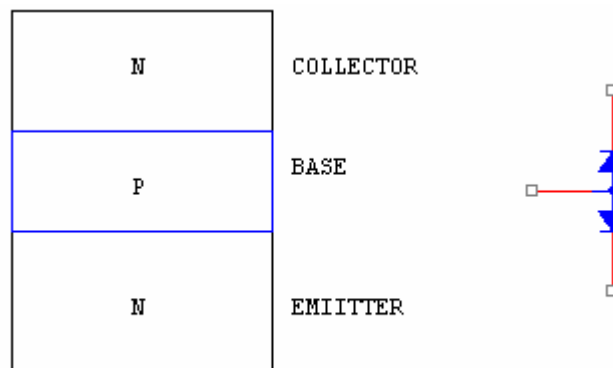
Trong diode laser thì khác. Nó có thể tạo ra một nguồn sáng kết hợp (Coherent), nghĩa là nguồn sáng mà tất cả các sóng ánh sáng đều cùng pha với nhau. Trong diode laser người ta dùng buồng cộng hưởng để kích thích các ánh sáng bức xạ tại một tần số với pha duy nhất. Đặc điểm của nguồn sáng do diode laser phát ra là đơn sắc, cùng pha và vì vậy có thể hội tụ tốt và có cường độ lớn. Các diode laser cũng được gọi là các laser bán dẫn. Chúng có thể tạo ra ánh sáng nhìn thấy cũng như không nhìn thấy (hồng ngoại). Diode laser được dùng nhiều trong các ứng dụng công nghệ thông tin và truyền thông.

Chương III

TRANSISTOR

Năm 1951 William Shockley đã phát minh ra transistor, còn gọi là transistor lưỡng cực. Transistor là một thiết bị bán dẫn mà nó có thể khuếch đại các tín hiệu điện tử (dòng hoặc thế). Sự khám phá ra transistor đã dẫn đến việc tạo ra hàng loạt các thiết bị điện tử và các mạch tích hợp mà chúng ta thường gọi là các IC (Integrated Circuits). Nhờ có IC mà ngày nay chúng ta có máy tính, truyền hình, điện thoại di động, người máy và v.v...

III.1 CẤU TẠO VÀ CÁC DÒNG ĐIỆN TRONG TRANSISTOR



Hình 3-1: Cấu tạo của transistor

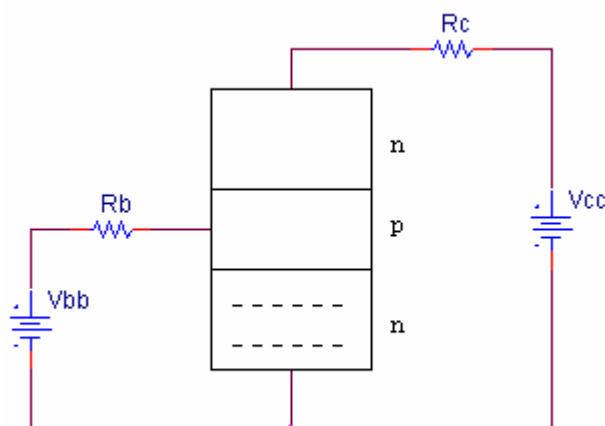
Một transistor có 3 vùng bán dẫn NPN như hình 3-1. Vùng dưới cùng là vùng Emitter (phát), vùng giữa gọi là vùng Base (gốc), vùng trên cùng gọi là vùng Collector (góp). Transistor như hình 3-1 gọi là transistor NPN.

Transistor cũng được chế tạo dưới dạng PNP. Hoạt động của transistor NPN và transistor PNP về cơ bản giống nhau. Trong chương này chúng ta sẽ chỉ phân tích transistor NPN.

Trong transistor vùng emitter được pha tạp nhiều. Vùng base pha tạp rất ít. Vùng collector pha tạp trung bình.

Transistor trong hình 3-1 gồm 2 mối nối PN: mối nối base-emitter và mối nối base-collector. Vì vậy có thể xem như transistor gồm 2 diode nối ngược nhau. Cấu hình này chỉ đúng khi transistor không phân cực. Người ta thường dùng cấu hình này khi đo thử transistor. Nếu 2 diode trong transistor còn tốt thì nhiều khả năng transistor cũng còn tốt.

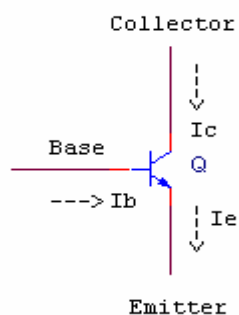
Transistor không phân cực giống như 2 diode nối ngược. Mỗi diode có một hàng rào thế cỡ 0.7V (đối với transistor Si). Khi nối transistor với nguồn ngoài, sẽ có các dòng điện qua các vùng khác nhau trong transistor.



Hình 3-2: phân cực transistor

Trong hình 3-2 dấu trừ biểu thị các electron tự do trong vùng emitter. Nguồn V_{BB} phân cực thuận diode base - emitter. Trong khi nguồn V_{CC} phân cực ngược diode base - collector. Do emitter được pha tạp mạnh, nó phát các electron vào base. Sự pha tạp ít của base có ý nghĩa là làm cho hầu hết các electron từ emitter không bị tái hợp mà sẽ đến collector. Collector có nghĩa là thu góp. Cực collector có nhiệm vụ thu các electron từ emitter.

Khi được phân cực, nếu thế V_{BB} lớn hơn hàng rào thế, các electron từ emitter sẽ vào vùng base. Về mặt lý thuyết các electron này sẽ đi theo 2 hướng. Thứ nhất là vào vùng base qua R_B để đến cực dương của nguồn V_{BB} . Thứ hai là vào collector. Do sự pha tạp của vùng base rất ít, nên hầu hết các electron di chuyển lên vùng collector. Tại đây nó bị hút về cực dương của nguồn V_{CC} qua điện trở R_C .



Hình 3-3: Ký hiệu và các dòng điện trong transistor

Hình 3-3 chỉ ra ký hiệu trên sơ đồ của một transistor.

Theo định luật Kirchhoff, ta có:

$$I_E = I_B + I_C \quad (3-1)$$

Điều này chứng tỏ rằng: Dòng cực e bằng tổng của dòng cực c và dòng cực b.

Vì dòng cực b rất bé nên có thể xem rằng

$$I_E \approx I_C \quad (3-2)$$

Người ta định nghĩa Hệ số α_{dc} của transistor như sau:

$$\alpha_{dc} = I_C / I_E \quad (3-3)$$

α lớn hơn 0.99 đối với các transistor công suất bé, còn đối với các transistor công suất α lớn hơn 0.95.

Người ta cũng định nghĩa Hệ số khuếch đại dòng một chiều

$$\beta_{dc} = I_C / I_B \quad (3-4)$$

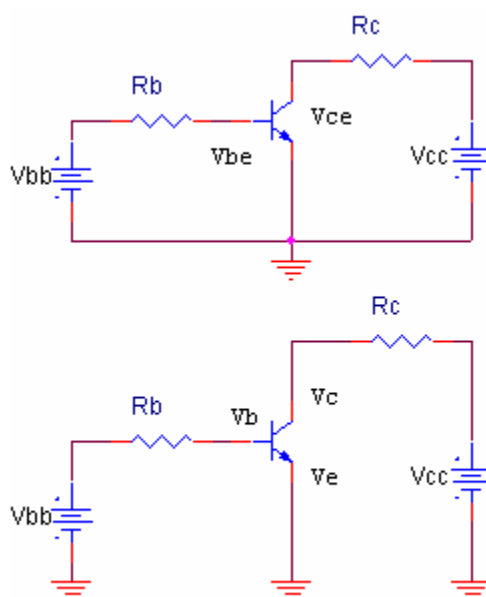
Ví dụ: một transistor có dòng $I_C = 10\text{mA}$, dòng $I_B = 40\mu\text{A}$ thì

$$\beta_{dc} = 10\text{mA} / 40\mu\text{A} = 250$$

III.2 NỐI EMITTER CHUNG

Có 3 cách nối transistor thường dùng là:

- Nối E chung (Common Emitter - CE)
- Nối C chung (Common Collector - CC)
- Nối B chung (Common Base - CB)



Hình 3-4: Nối CE

Trong hình 3-4, phần chung là emitter vì nó được nối với phần đất (Ground - GND) của 2 nguồn V_{BB} và V_{CC} . Vì vậy mạch này gọi là mạch chung emitter. Mạch có 2 vòng kín: vòng base và vòng collector.

Trong mạch vòng base, diode base - emitter được phân cực bởi nguồn V_{BB} . Điện trở R_B để hạn chế dòng base. Bằng cách thay đổi V_{BB} hoặc R_B chúng ta có thể thay đổi dòng base và vì vậy có thể thay đổi dòng collector. Nói cách khác chúng ta có thể điều khiển dòng collector bằng cách điều khiển dòng base. Điều này rất quan trọng vì chúng ta có thể dùng một dòng bé (dòng base) để điều khiển một dòng lớn (dòng collector).

Lưu ý: Các chỉ số dưới dùng trong mạch transistor có ý nghĩa như sau:

- Chúng ta dùng cùng chỉ số dưới để biểu thị nguồn nuôi. Ví dụ V_{BB} hoặc V_{CC} .
- Ngược lại chúng ta dùng chỉ số dưới khác nhau để biểu thị hiệu điện thế giữa các điểm. Ví dụ V_{CE} là hiệu điện thế giữa cực C và cực E.

Ta có:

$$V_{CE} = V_C - V_E$$

$$V_{CB} = V_C - V_B$$

$$V_{BE} = V_B - V_E$$

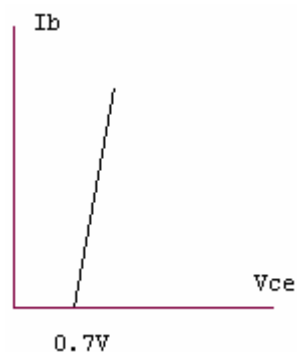
Trong cách nối CE, do $V_E = 0$ nên

$$V_{CE} = V_C$$

$$V_{BE} = V_B$$

III.3 ĐẶC TUYẾN BASE

Đặc tuyến base của một transistor giống như của một diode thường như hình vẽ 3-5. Vì vậy có thể dùng các gần đúng của diode khi phân tích mạch base của transistor.

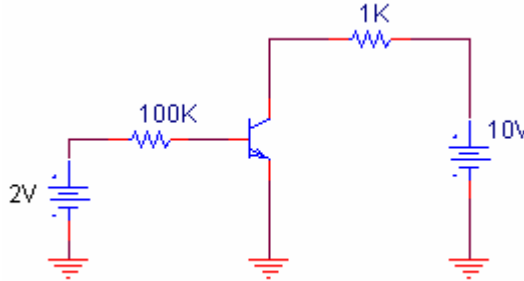


Hình 3-5: Đặc tuyến base của transistor

Áp dụng định luật Ohm cho mạch vòng base, chúng ta thu được:

$$I_B = (V_{BB} - V_{BE}) / R_B \quad (3-5)$$

Xem diode lý tưởng thì $V_{BE}=0$. Trong gần đúng bậc 2, $V_{BE}=0.7V$.



Hình 3-6

Ví dụ: Dùng gần đúng bậc 2 để tính dòng base trong hình 3-6.

Sụt thế qua R_B bằng bao nhiêu? Tính dòng collector biết $\beta_{dc}=200$.

Giải: Thế sụt qua R_B là

$$V_B = V_{BB} - V_{BE} = 2V - 0.7V = 1.3V$$

Dòng base bằng

$$I_B = (V_{BB} - V_{BE}) / R_B = (2V - 0.7V) / 100K\Omega = 13\mu A$$

Với hệ số khuếch đại $\beta_{dc}=200$, dòng collector bằng

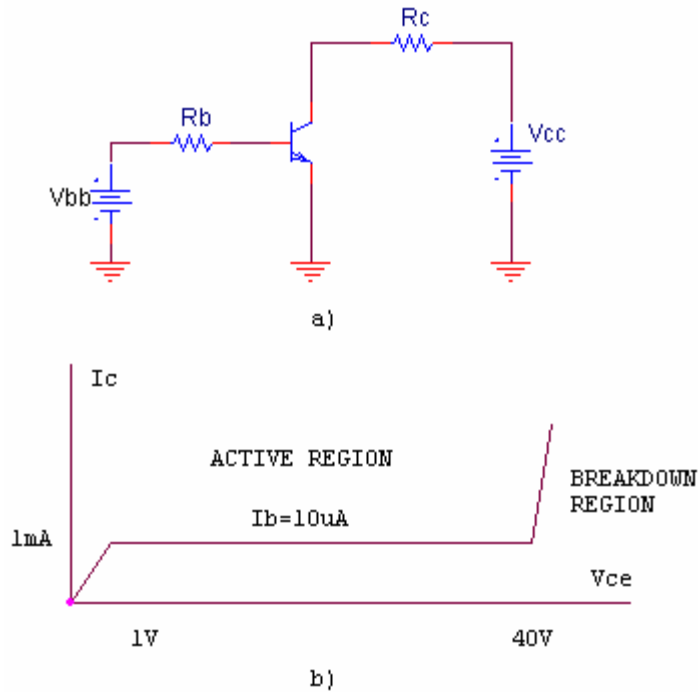
$$I_C = \beta_{dc} I_B = 200 \times 13\mu A = 2.6mA$$

III.4 ĐẶC TUYẾN COLLECTOR

Đặc tuyến collector là đường cong mô tả quan hệ giữa dòng I_C và điện áp rơi trên transistor V_{CE} .

Trên hình 3-7a, bằng cách thay đổi V_{BB} hoặc V_{CC} có thể tạo ra các thế và dòng khác nhau trên transistor. Chẳng hạn, cố định V_{BB} để $I_B=10\mu A$, thay đổi V_{CC} , đo I_C và V_{CE} tương ứng, chúng ta có thể vẽ đặc tuyến collector như hình 3-7b. Số liệu được lấy ứng với transistor 2N3904. Các transistor khác có thể có số liệu khác nhưng dạng của đường cong là tương tự.

Khi V_{CE} bằng 0 diode collector không phân cực nên dòng collector bằng 0. Khi tăng V_{CE} tăng thì dòng I_C cũng tăng. Dòng I_C đạt giá trị bão hoà 1mA khi V_{CE} lớn hơn cỡ vài phần của một vôn.



Hình 3-7

Vùng dòng hằng của transistor trên hình 3-7b liên quan đến cấu tạo của transistor. Sau khi diode collector phân cực ngược, các electron tự do phát xạ từ emitter đều bị collector thu góp. Giá trị của dòng này chỉ phụ thuộc số electron phát xạ từ emitter hay chỉ phụ thuộc mạch base.

Khi tăng V_{CE} lên quá 40V, diode CB bị đánh thủng. Khi đó dòng collector tăng vọt. Hoạt động bình thường của transistor đã bị phá hủy. Các transistor không được phép hoạt động ở chế độ này vì nó sẽ bị hỏng. Các bảng số liệu của nhà sản xuất ghi giá trị thể đánh thủng collector-emitter là $V_{CE(max)}$ hoặc BV_{CE} .

Điện áp collector và công suất.

Áp dụng định luật Kirchhoff cho mạch vòng collector, ta có

$$V_{CE} = V_{CC} - I_C R_C \quad (3-6)$$

Công suất tiêu tán trên transistor bằng

$$P_D = V_{CE} \cdot I_C \quad (3-7)$$

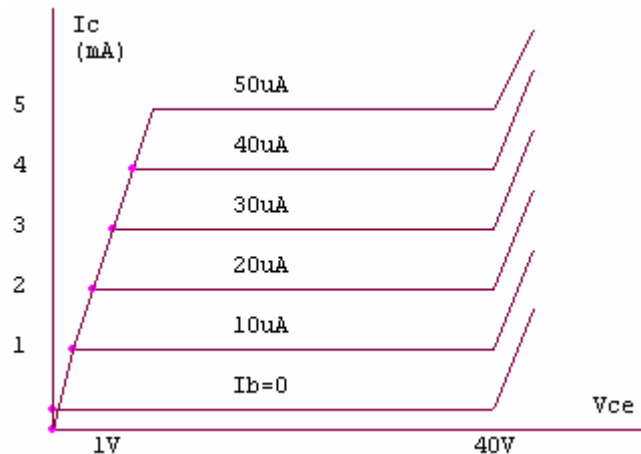
Công suất tiêu tán P_D làm cho nhiệt độ mối nối CB tăng nhanh. Công suất tiêu tán càng cao, nhiệt độ mối nối CB càng cao. Transistor sẽ hỏng nếu nhiệt độ mối nối vượt quá 150°C . Trong bảng số liệu của nhà sản xuất có ghi $P_{D(max)}$ là công suất tiêu tán tối đa. Để transistor hoạt động bình thường thì P_D tính theo (3-7) phải bé hơn $P_{D(max)}$.

Theo đường đặc tuyến collector, transistor có 3 vùng hoạt động:

- ♦ Vùng tác động (active region) còn gọi là vùng hoạt.
- ♦ Vùng đánh thủng (breakdown region).
- ♦ Vùng bão hoà (saturation region).

Vùng tác động của transistor là vùng có I_C là hằng số. Vùng đánh thủng ứng với $V_{CE} > 40V$. Vùng bão hoà của transistor là vùng có thể V_{CE} bé hơn $1V$. Người ta sử dụng transistor ở vùng tác động để khuếch đại tín hiệu.

Nếu vẽ nhiều đường đặc tuyến collector trên cùng một đồ thị chúng ta có hình vẽ 3-8.



Hình 3-8

Trên hình 3-8 có một đường cong đặc biệt. Đó là đường ở dưới cùng, ở đó $I_B=0$ nhưng vẫn có dòng I_C bé chảy qua transistor. Đó là dòng rỉ của transistor do các hạt mang thiểu số tạo ra. Miền giới hạn bởi đường cong có $I_B=0$ và trục hoành gọi là vùng ngưng dẫn của transistor.

Tóm lại, transistor có 4 vùng hoạt động: tác động, ngưng dẫn, bão hoà và đánh thủng. Vùng tác động thường ứng dụng để khuếch đại tín hiệu bé. Vùng tác động còn gọi là vùng tuyến tính vì sự thay đổi của dòng I_C (tín hiệu ra) tỷ lệ tuyến tính với sự thay đổi của dòng I_B (tín hiệu vào). Trong các thiết bị kỹ thuật số và máy tính, transistor thường hoạt động ở vùng ngưng dẫn hoặc bão hoà hay còn gọi là chế độ khoá (switching mode).

Ví dụ: Transistor trên hình 3-9 có $\beta_{dc}=300$. Tính I_B , I_C , V_{CE} và P_D .

Giải:

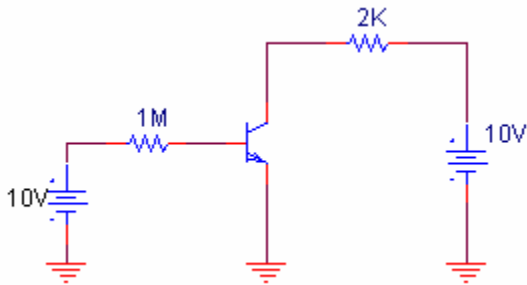
$$I_B = (V_{BB} - V_{BE}) / R_B = (10V - 0.7V) / 1M\Omega = 9.3\mu A$$

Dòng collector bằng

$$I_C = \beta_{dc} I_B = 300 \cdot (9.3\mu A) = 2.79mA$$

Thế collector bằng

$$V_{CE} = V_{CC} - I_C R_C = 10V - (2.79mA)(2K\Omega) = 4.42V$$

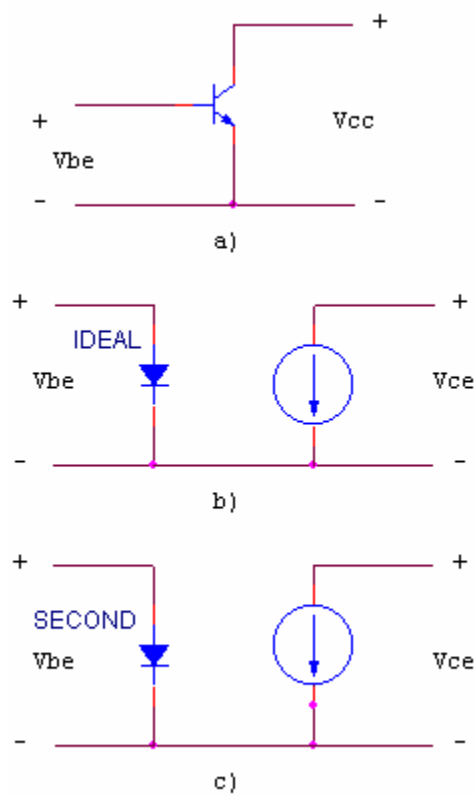


Hình 3-9

Công suất tiêu tán

$$P_D = V_{CE} \cdot I_C = (4.42V) \cdot (2.79mA) = 12.3mW$$

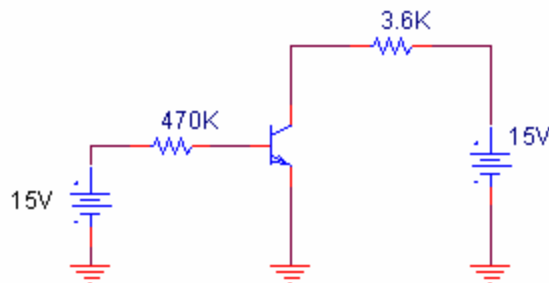
III.5 CÁC GẦN ĐÚNG CHO TRANSISTOR



Hình 3-10

Hình 3-10a vẽ sơ đồ transistor. V_{BE} là thế trên diode emitter. V_{CE} là thế giữa các cực collector và emitter. Chúng ta hãy xem xét các mạch tương đương của transistor này.

- a) **Gần đúng lý tưởng.** Hình 3-10b là mạch tương đương của một transistor trong gần đúng lý tưởng. Mô hình này thường dùng khi phân tích mạch với nguồn V_{BB} lớn. Lúc này chúng ta dùng gần đúng lý tưởng cho diode emitter khi tính dòng base.
- b) **Gần đúng bậc 2.** Hình 3-10c là mạch tương đương của một transistor trong gần đúng bậc 2. Mô hình này thường dùng khi phân tích mạch với nguồn V_{BB} bé. Lúc này chúng ta dùng xấp xỉ bậc 2 cho diode emitter khi tính dòng base. Đối với transistor Si, $V_{BE}=0.7V$. Transistor Ge có $V_{BE}=0.3V$. Trong gần đúng bậc 2, dòng base và vì vậy dòng collector khác một chút so với gần đúng lý tưởng.
- c) **Xấp xỉ cao hơn.** Điện trở nội của diode emitter trở nên quan trọng chỉ trong các ứng dụng công suất cao mà ở đó dòng rất lớn. Ảnh hưởng của điện trở nội emitter là ở chỗ thế V_{BE} có thể đến cỡ 1V khi dòng base lớn. Cũng như diode base, điện trở nội của diode collector có ảnh hưởng đáng kể trong một số ứng dụng. Cùng với điện trở nội emitter và collector, transistor có một số các hiệu ứng bậc cao khác làm cho việc tính toán bằng tay trở nên khó khăn. Vì lý do này, các tính toán sau gần đúng bậc 2 cần phải sử dụng máy tính.



Hình 3-11

Ví dụ 1: Dùng gần đúng lý tưởng tính thế V_{CE} của transistor trong mạch hình 3-11.

Transistor lý tưởng có nghĩa là $V_{BE}=0$. Do đó dòng base bằng

$$I_B = 15V / 470K\Omega = 31.9\mu A$$

Dòng collector bằng

$$I_C = 100(31.9\mu A) = 3.19mA$$

Thế collector-emitter của transistor bằng

$$V_{CE} = 15V - (3.19mA)(3.6K\Omega) = 3.52V$$

Trong các tính toán, ít khi phải tính dòng emitter. Ở đây, chúng ta thử tính dòng emitter. Nó bằng

$$I_E = I_C + I_B = 3.19mA + 31.9\mu A = 3.2mA$$

Có thể thấy rằng $I_E \approx I_C$

Ví dụ 2: Dùng gần đúng bậc 2 tính thế V_{CE} của transistor trong mạch hình 3-11.

Transistor gần đúng bậc 2 có $V_{BE} = 0.7V$, do đó dòng base bằng

$$I_B = 14.3V / 470K\Omega = 30.4\mu A$$

Dòng collector bằng

$$I_C = 100(30.4\mu A) = 3.04mA$$

Thế collector - emitter của transistor bằng

$$V_{CE} = 15V - (3.04mA)(3.6K\Omega) = 4.06V$$

Nhận xét:

Sự khác nhau của V_{CE} trong gần đúng lý tưởng và gần đúng bậc 2 là cỡ 0.5V. Tùy thuộc vào ứng dụng mà chúng ta sử dụng gần đúng hợp lý.

III.6 SỰ THAY ĐỔI CỦA HỆ SỐ KHUYẾCH ĐẠI DÒNG ĐIỆN

Hệ số khuếch đại dòng điện của transistor phụ thuộc vào 3 yếu tố:

- ◆ loại transistor
- ◆ dòng collector
- ◆ nhiệt độ

Vì vậy Bảng số liệu của transistor 2N3904 cho thấy $h_{fe_{min}} = 100$ và $h_{fe_{max}} = 300$ tại nhiệt độ $25^{\circ}C$ và dòng collector 10mA. Nếu chúng ta lắp ráp hàng ngàn mạch transistor 2N3904 chúng ta sẽ nhận được hệ số khuếch đại dòng bé nhất là 100 và lớn nhất là 300.

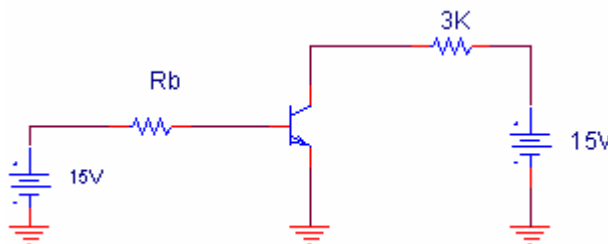
Ảnh hưởng của dòng collector và nhiệt độ đối với hệ số khuếch đại có thể thấy rõ qua bảng số liệu sau:

I_C (mA)	h_{FE} (min)	h_{FE} (max)
0.1	40	-
1	70	-
10	100	300
50	60	-
100	30	-

Rõ ràng rằng 2N3904 sẽ hoạt động tốt nhất tại dòng $I_C=10\text{mA}$.

III.7 ĐƯỜNG TẢI (LOAD LINE)

Hình 3-12 là mạch transistor nối CE. Cho các giá trị của R_B , β_{dc} chúng ta có thể tính dòng I_C và thế V_{CE} .



Hình 3-12

Sự phân cực base. Hình 3-12 là một ví dụ về mạch phân cực base mà nó có nghĩa là tạo ra một dòng base cố định. Ví dụ, nếu $R_B=1\text{M}\Omega$ thì dòng base bằng $14.3\mu\text{A}$ (gần đúng bậc 2). Dòng này luôn xấp xỉ giá trị $14.3\mu\text{A}$ khi chúng ta thay thế transistor khác và ngay cả khi nhiệt độ thay đổi.

Nếu $\beta_{dc}=100$ thì dòng collector xấp xỉ 1.43mA và thế collector - base bằng:

$$V_{CE} = V_{CC} - I_C R_C = 15\text{V} - (1.43\text{mA}) \cdot (3\text{K}\Omega) = 10.7\text{V}$$

Vậy điểm tĩnh Q (quiescent) xác định dòng và thế trên transistor là

$$I_C = 1.43\text{mA} \text{ và } V_{CE} = 10.7\text{V}$$

Phương pháp đồ thị. Chúng ta có thể tìm điểm Q bằng phương pháp đồ thị dựa trên đường tải (load line) của transistor. Đường tải là đường cong cho quan hệ I_C và V_{CE} của một transistor theo phương trình sau

$$V_{CE} = V_{CC} - I_C R_C$$

Hay

$$I_C = (V_{CC} - V_{CE}) / R_C \quad (3-8)$$

(3-8) là một phương trình tuyến tính và đồ thị của nó là một đường thẳng. Đường này gọi là đường tải vì nó phản ánh sự ảnh hưởng của R_C lên I_C và V_{CE} .

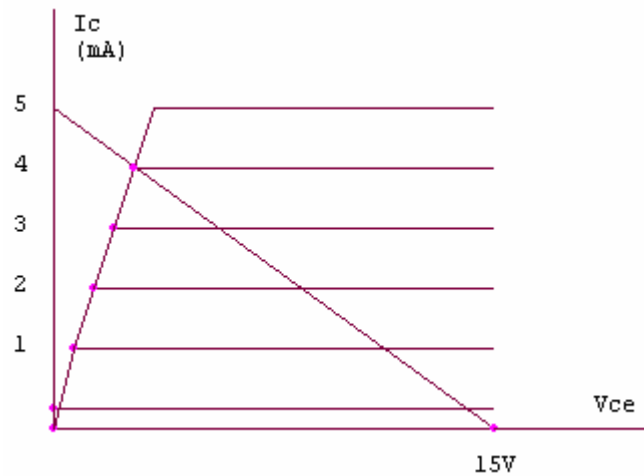
Theo (3-8), với $V_{CC}=15\text{V}$, $R_C = 3\text{K}\Omega$ đường tải cắt trục tung tại

$$I_C = V_{CC} / R_C = 15\text{V} / 3\text{K}\Omega = 5\text{mA}$$

và cắt trục hoành tại

$$V_{CE} = V_{CC} = 15\text{V}$$

Hình 3-13 cho thấy đường thẳng này.



Hình 3-13

Đường tải cho thấy điểm tĩnh Q có thể nhận những giá trị khả dĩ nào. Nói cách khác, đường tải cho biết tất cả các khả năng khả dĩ của điểm Q.

Điểm bão hoà. Khi R_B bé dòng I_C rất lớn làm cho thế V_{CE} của transistor đạt giá trị xấp xỉ 0V. Trong trường hợp này, transistor đã ở trạng thái bão hoà, nghĩa là dòng I_C đã tăng đến giá trị cực đại khả dĩ.

Điểm bão hoà là điểm mà ở đó đường tải tiệm cận với vùng bão hoà của transistor. Vì V_{CE} rất bé nên điểm bão hoà nằm gần đầu trên của đường tải. Điểm bão hoà cho thấy dòng collector đã đạt được giá trị cực đại khả dĩ đối với mạch đang xét. Ví dụ, trên mạch hình 3-14a transistor ở vào trạng thái bão hoà khi $I_C = 5\text{mA}$, lúc này V_{CE} xấp xỉ 0V.

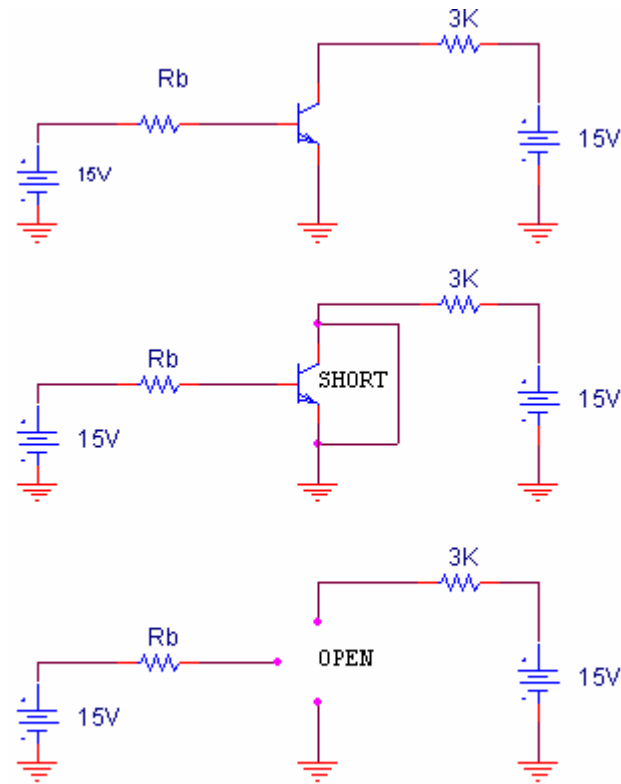
Để tìm ra dòng I_C bão hoà chúng ta hình dung ngắn mạch cực C và cực E của transistor như hình 3-14b. Vì $V_{CE} = 0\text{V}$ nên toàn bộ nguồn $V_{CC} = 15\text{V}$ được đặt lên R_C . Vậy dòng I_C bão hoà bằng 5mA.

Biểu thức tính dòng bão hoà của transistor là

$$I_{C(\text{sat})} = V_{CC} / R_E \quad (3-9)$$

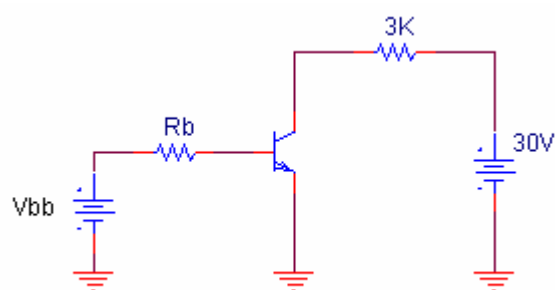
Điểm ngưng dẫn (CUTOFF POINT). Điểm ngưng dẫn là điểm mà tại đó đường tải tiệm cận với vùng ngưng dẫn của transistor. Vì dòng collector tại điểm cutoff rất bé nên điểm cutoff gần với đầu cuối phía dưới của đường tải như hình 3-13. Điểm cutoff cho thấy thế V_{CE} cực đại đối với một mạch. Để tìm điểm cutoff chúng ta hình dung transistor hở mạch giữa cực C và cực E như hình 3-14c, khi đó thế V_{CE} cực đại khả dĩ là 15V, bằng giá trị của nguồn cung cấp V_{CC} . Không có dòng I_C nên nguồn V_{CC} đặt hết lên cực C và E của transistor.

$$V_{CE(cutoff)} = V_{CC} \quad (3-10)$$



Hình 3-14: Tìm 2 điểm đầu cuối của đường tải

Ví dụ: Tính dòng bão hoà và thế cutoff cho mạch hình 3-15



Hình 3-15

$$I_{C(sat)} = V_{CC} / R_E = 30V / 3K\Omega = 10mA$$

$$V_{CE(cutoff)} = V_{CC} = 30V$$

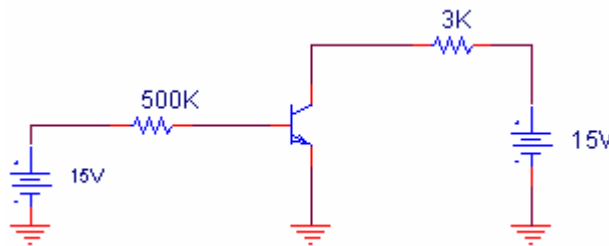
III.8 ĐIỂM LÀM VIỆC VÀ CÁC CHẾ ĐỘ CỦA TRANSISTOR

Mỗi mạch transistor có một đường tải. Cho một mạch transistor bất kỳ có thể tính dòng bão hòa và thế ngưng dẫn. Chúng chính là các điểm tương ứng trên trục tung ($I_{C(sat)}$) và trên trục hoành (V_{CC}) của đường gánh.

Hình 3-16 chỉ ra một mạch phân cực base với $R_B=500K\Omega$. Đường tải đi qua $I_{C(sat)} = 5mA$ và $V_{CC} = 15V$ (thế giữa C và E khi transistor ngưng dẫn).

Giả sử transistor là lý tưởng, dòng base bằng

$$I_B = 15V / 500K\Omega = 30\mu A.$$



Hình 3-16

Nếu hệ số khuếch đại dòng là 100 thì dòng collector bằng

$$I_C = 100 \cdot 30\mu A = 3mA$$

Thế V_{CE} của transistor bằng

$$V_{CE} = 15V - (3mA)(3K\Omega) = 6V$$

Vậy transistor trên mạch hình 3-16 có điểm làm việc Q xác định bởi hai tham số

$$I_C = 3mA \text{ và } V_{CE} = 6V$$

Gọi là điểm Q (quiescent) vì nó xác định bởi thế và dòng DC (tĩnh) của transistor. Điểm Q của transistor có thể thay đổi vì nhiều lý do. Chẳng hạn hệ số khuếch đại dòng thay đổi từ 50 đến 150 nhưng I_B không đổi và bằng $30\mu A$ thì dòng I_C thay đổi từ 1.5mA đến 4.5mA và vì vậy thế V_{CE} sẽ thay đổi từ 10.5V đến 1.5V. Nếu β_{dc} thay đổi nhiều hơn nữa, điểm Q có thể rơi vào vùng bão hòa hoặc ngưng dẫn và transistor trong mạch sẽ không còn khuếch đại tín hiệu nữa.

Rõ ràng là điểm Q của mạch phân cực base rất nhạy với sự thay đổi của β_{dc} . Người ta có thể khắc phục nhược điểm này bằng các mạch phân cực loại khác.

Có 2 chế độ làm việc của các transistor là:

- ♦ Chế độ khuếch đại

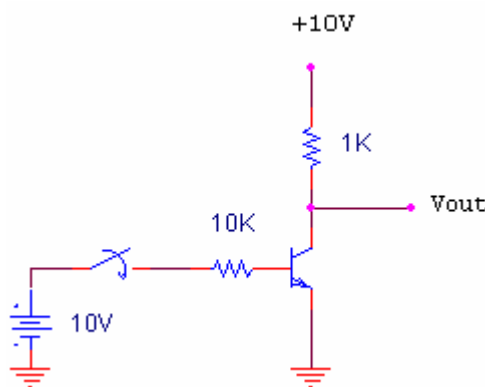
♦ Chế độ công tắc (switch)

Trong chế độ khuếch đại, điểm Q phải ở trong vùng tác động dưới mọi điều kiện. Trong chế độ switch, transistor chuyển giữa 2 trạng thái bão hoà và ngưng dẫn. Việc phân tích hoạt động của transistor ở chế độ switch sẽ được trình bày trong phần sau đây.

III.9 TRANSISTOR SWITCH

Mạch phân cực base thường được dùng trong các mạch số (digital circuits) vì chúng được thiết kế để transistor làm việc ở vùng bão hoà và ngưng dẫn. Điểm Q của các transistor trong mạch số chuyển giữa vùng bão hoà và ngưng dẫn mà không ở trong vùng khuếch đại. Trong trường hợp này sự thay đổi của Q không quan trọng.

Hình 3-17 là sơ đồ một mạch transistor làm việc ở chế độ khoá. Trong đó transistor được phân cực base ở chế độ bão hoà sâu (dòng phân cực base lớn vì vậy làm cho dòng collector lớn hơn dòng collector bão hoà).



Hình 3-17

Khi SW đóng, dòng base xấp xỉ 1mA (lớn hơn dòng base cần thiết để transistor bão hoà) và làm cho transistor bão hoà sâu. Vì vậy thế $V_{CE}=0$. Khi SW hở, không có dòng base và vì vậy $V_{CE}=V_{CC}$

Thế lối ra (V_{out}) của mạch transistor trong chế độ SW có 2 trạng thái: điện thế cao (bằng V_{CC}) và điện thế thấp (0V). Lưu ý rằng giá trị chính xác của thế lối ra trong mạch switch không quan trọng mà quan trọng là ở chỗ 2 trạng thái này phải khác nhau (phân biệt được).

Mạch khoá còn gọi là mạch 2 trạng thái tương ứng với 2 trạng thái của lối ra.

Ví dụ: nếu nguồn V_{CC} trong mạch 3-17 giảm còn 5V và dòng rò collector là 50nA. Tính thế lối ra ở 2 trạng thái biết rằng thế bão hoà của transistor là $V_{C(sat)}=0.15V$.

Khi transistor ngưng dẫn thế trên transistor bằng

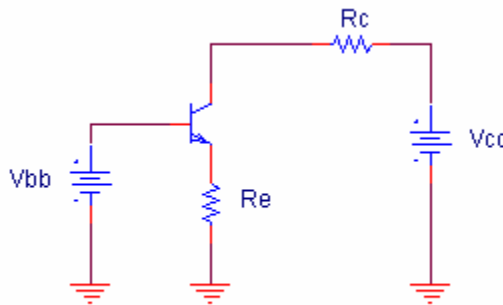
$$V_{CE}=5V - (50nA)(1K\Omega)=4.99995V$$

Khi transistor bão hoà, thế $V_{CE}=V_{CE(sat)}=0.15V$

Trừ khi là nhà thiết kế, chúng ta sẽ không quan tâm đến giá trị chính xác của thế ra trong các mạch số. Vấn đề là ở chỗ thế ra phải có 2 giá trị phân biệt (gần 5 V khi ngưng dẫn và xấp xỉ 0V khi bão hoà).

III.10 PHÂN CỰC EMITTER

Trong các mạch khuếch đại chúng ta cần mạch transistor mà điểm Q có khả năng ổn định hay không bị ảnh hưởng bởi sự thay đổi của β_{dc} .



Hình 3-18

Hình 3-18 cho thấy một mạch phân cực emitter trong đó điện trở đã được chuyển từ mạch base sang mạch emitter. Điểm Q của mạch này rất ổn định. Nó hầu như không thay đổi khi β_{dc} thay đổi từ 50 đến 150.

Nguồn V_{BB} bây giờ áp trực tiếp vào base. Thế cực E cho bởi phương trình

$$V_E = V_{BB} - V_{BE} \quad (3-11)$$

Nếu $V_{BB} > 20V_{BE}$, gần đúng lý tưởng sẽ cho kết quả chính xác. Nếu $V_{BB} < 20V_{BE}$, sẽ phải dùng gần đúng bậc 2.

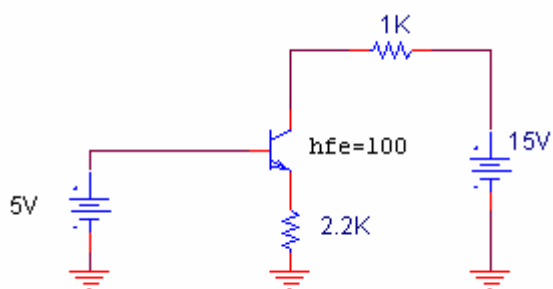
Chúng ta hãy tính các thông số của mạch phân cực emitter trên hình 3-19. Vì $V_{BB}=5V$, chúng ta sẽ dùng xấp xỉ bậc 2. Khi đó

$$V_E = 5V - 0.7V = 4.3V$$

Dòng emitter bằng

$$I_E = 4.3V / 2.2K\Omega = 1.95mA$$

Điều này cũng có nghĩa là I_C xấp xỉ 1.95mA.



Hình 3-19

Dòng I_C này sẽ tạo một sụt thế 1.95V trên R_C . Do đó thế tại C so với đất bằng:

$$V_C = 15V - 1.95V = 13.1V$$

Từ nay trở đi, chúng ta gọi thế của collector so với đất là thế collector.

Hiệu điện thế rơi trên transistor bằng

$$V_{CE} = 13.1V - 4.3V = 8.8V$$

Vậy mạch phân cực emitter trên hình 3-19 có điểm Q xác định như sau: $I_C = 1.95mA$ và $V_{CE} = 8.8V$

Chúng ta hãy xem mạch chống lại sự thay đổi của hệ số khuếch đại dòng ra sao? Quá trình tính toán để tìm ra điểm Q đã cho thấy điều đó. Thực vậy, để tìm ra điểm Q của mạch phân cực emitter chúng ta đã:

- ◆ tính thế emitter
- ◆ tính dòng emitter
- ◆ tìm thế collector
- ◆ trừ thế collector cho thế emitter để có được thế V_{CE} .

Trong quá trình tính Q chúng ta không sử dụng β_{dc} . Điều đó có nghĩa là giá trị β_{dc} không ảnh hưởng đến giá trị của Q. Trên thực tế chúng ta đã cố định thế emitter và do đó cố định dòng emitter. Vì vậy kết quả là điểm Q không thay đổi khi β_{dc} thay đổi. Một cách chính xác thì β_{dc} có ảnh hưởng tới điểm Q như phân tích sau đây.

Ảnh hưởng của hệ số khuếch đại dòng

β_{dc} có ảnh hưởng nhỏ lên dòng collector. Dưới mọi điều kiện hoạt động, các dòng trong transistor quan hệ với nhau bởi phương trình

$$I_E = I_C + I_B$$

hay

$$I_E = I_C + I_C / \beta_{dc}$$

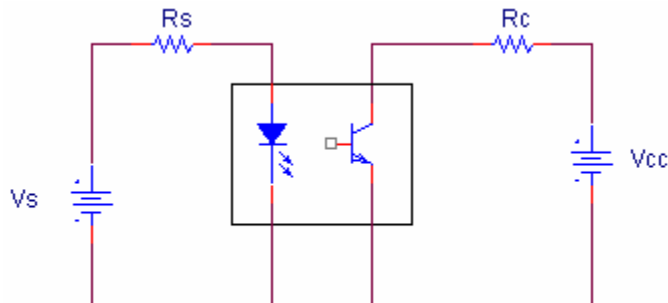
Vậy

$$I_C = (\beta_{dc} / (\beta_{dc} + 1)) I_E$$

Đại lượng $\beta_{dc} / (\beta_{dc} + 1)$ gọi là hệ số sai số. Nếu $\beta_{dc} = 100$ thì dòng I_C bằng 99% dòng I_E . Vậy khi ta nói dòng I_C bằng dòng I_E thì sai số là 1%.

III.11 PHOTOTRANSISTOR

Phototransistor giống hệt như photodiode nhưng rất nhạy. Dòng ra của phototransistor lớn hơn dòng vào β_{dc} lần.



Hình 3-20

Nhưng phototransistor có tốc độ chậm hơn photodiode. Một photodiode có dòng ra cỡ nA nhưng có thể on/off cỡ ns. Trong khi đó dòng ra của phototransistor cỡ mA nhưng tốc độ on/off cỡ μ s.

Hình 3-20 là sơ đồ một phototransistor nối với một LED. Thiết bị này gọi là Optocoupler hay còn gọi là isolator. Nó cách ly giữa đầu vào và đầu ra nhưng mọi sự thay đổi của thế vào V_s đều phản ánh ở thế ra trên collector của transistor. Thật vậy, nguồn V_s thay đổi làm cho dòng qua LED thay đổi và vì vậy lượng ánh sáng đến cực B phototransistor thay đổi. Kết quả là dòng I_C của transistor thay đổi và thế V_C thay đổi.

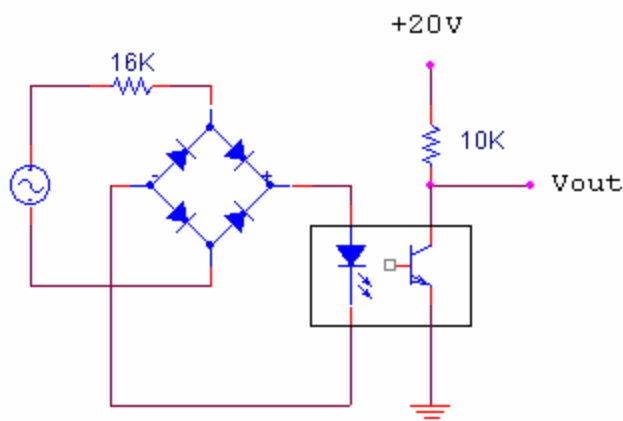
Ví dụ: Hình 3-21 là sơ đồ nhận biết thời điểm thế xoay chiều qua giá trị 0V (zero crossing) nhằm đồng bộ hoạt động của 1 số thiết bị với tần số điện lưới. Ưu điểm của sơ đồ là không cần biến thế cách ly giữa đầu vào và đầu ra. Phototransistor chính là mạch cách ly.

Bỏ qua sụt thế trên các diode nắn, dòng qua LED bằng

$$I_{LED} = 1.411(115V)/16K\Omega = 10.2mA$$

Giá trị bão hòa của dòng phototransistor là

$$I_{C(sat)} = 20V/ 10K\Omega = 2mA$$



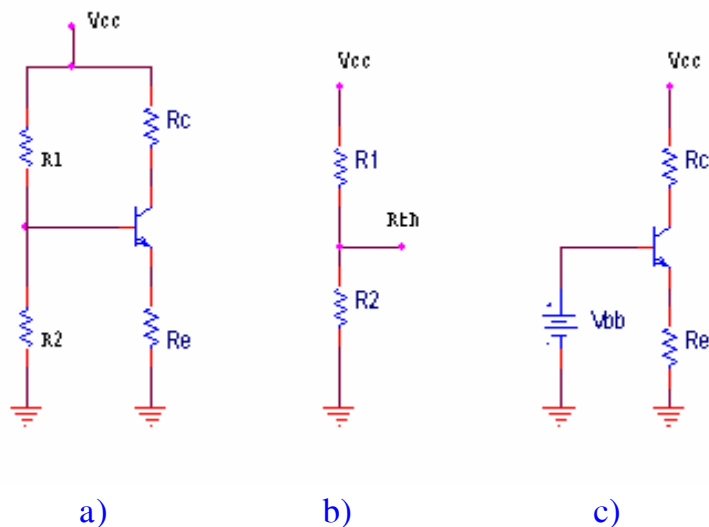
Hình 3-21

Khi xảy ra zero crossing, dòng qua LED bằng 0 và vì vậy phototransistor ngưng dẫn. Tại collector chúng ta thu được thế cao bằng nguồn cung cấp.

Chương IV **PHÂN CỰC TRANSISTOR**

IV.1 PHÂN CỰC BẰNG CẦU CHIA THẾ

Hình 4-1a là mạch phân cực transistor được dùng rất phổ biến trong các ứng dụng: phân cực bằng cầu chia thế. Mạch phân cực là cầu chia thế gồm 2 điện trở R_1 và R_2 . Vì vậy mạch gọi là mạch phân cực bằng cầu chia thế. Tiếng Anh là Voltage Divider Bias (VDB).



Hình 4-1: Phân cực VDB

Phân tích đơn giản (simplified analysis). Trong mạch VDB được thiết kế tốt dòng base nhỏ hơn dòng chảy qua cầu chia thế. Do đó dòng base ảnh hưởng không đáng kể lên cầu chia thế. Vì vậy có thể ngắt mạch base khỏi cầu chia thế để có mạch tương đương như hình 4-1b. Trong mạch này, thế ra của cầu chia thế bằng

$$V_{TH} = (R_2 V_{CC}) / (R_1 + R_2)$$

Lý tưởng thì V_{TH} chính là nguồn nuôi mạch base V_{BB} như hình 4-1c.

Phân cực bằng cầu chia thế thực chất là phân cực emitter. Nói cách khác hình 4-1c là mạch tương đương của hình 4-1a. Vậy mạch phân cực VDB tạo ra dòng emitter cố định. Do đó mạch phân cực VDB có điểm Q không phụ thuộc β_{dc} .

Có một sai số nhỏ trong cách tiếp cận đơn giản này. Chúng ta sẽ phân tích nó trong các phần sau. Điểm mấu chốt (crucial) ở đây là: trong một mạch VDB được thiết kế tốt, sai số khi sử dụng mạch tương đương hình 4-1c là rất bé. Nói cách khác, các nhà thiết kế chọn lựa có cân nhắc các giá trị linh kiện sao cho mạch hình 4-1a giống như mạch hình 4-1c.

Kết luận: Trong mạch phân cực VDB, sau khi tính V_{BB} , phần tính toán còn lại giống hệt như các bước tính cho mạch phân cực emitter ở chương 3. Ở đây chúng ta liệt kê ra các phương trình có thể dùng khi phân tích mạch VDB.

$$V_{BB} = (R_2 / (R_1 + R_2)) V_{CC} \quad (4-1)$$

$$V_E = V_{BB} - V_{BE} \quad (4-2)$$

$$I_E = V_E / R_E \quad (4-3)$$

$$I_C \approx I_E \quad (4-4)$$

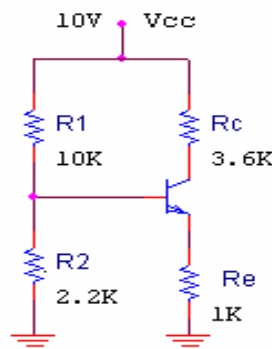
$$V_C = V_{CC} - I_C R_C \quad (4-5)$$

$$V_{CE} = V_C - V_E \quad (4-6)$$

Các bước phải làm là:

- Tính thế V_{BB} của cầu chia thế
- Trừ 0.7V để có thế emitter
- Chia cho điện trở emitter để có dòng emitter
- Giả sử dòng collector xấp xỉ dòng emitter
- Tính thế collector so với đất bằng cách trừ V_{CC} cho sụt thế trên R_C
- Tính thế V_{CE} bằng cách trừ V_C cho V_E

Ví dụ: Tính V_{CE} cho mạch hình 4-2.



Hình 4-2

Cầu chia thế tạo ra thế không tải bằng

$$V_{BB} = (2.2K\Omega / (10K\Omega + 2.2K\Omega)) 10V = 1.8V$$

$$V_E = 1.8V - 0.7V = 1.1V$$

Dòng emitter bằng

$$I_E = 1.1V / 1K\Omega = 1.1mA$$

Vì dòng collector xấp xỉ dòng emitter nên thế collector so với đất bằng
 $V_C = 10V - (1.1mA)(3.6K\Omega) = 6.04V$
 Hiệu thế giữa collector và emitter bằng
 $V_{CE} = 6.04V - 1.1V = 4.94V$

IV.2 PHÂN TÍCH CHÍNH XÁC MẠCH VDB

Chúng ta bắt đầu phần này bằng định nghĩa mạch VDB được thiết kế tốt. Đó là mạch mà trong đó cầu chia thế tỏ ra mạnh (stiff) đối với trở kháng vào của mạch base.

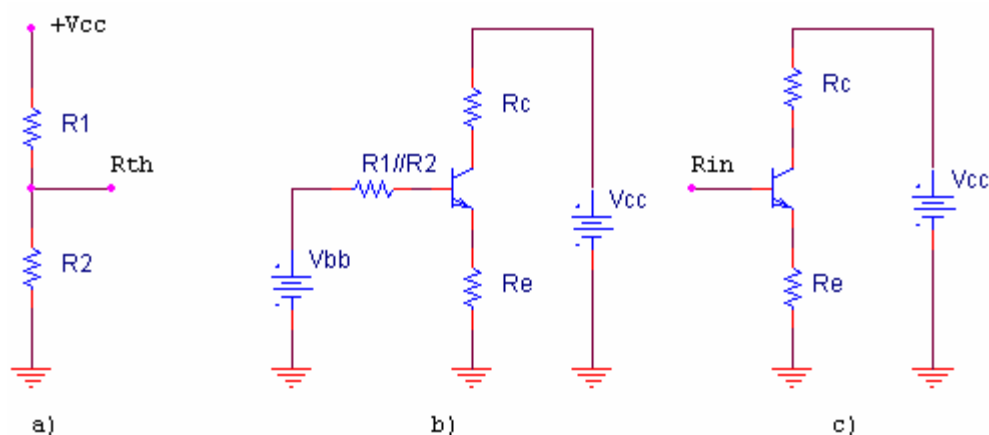
Điện trở nguồn. Trong chương 1 chúng ta đã nói đến nguồn thế mạnh như sau:

Nguồn thế mạnh có $R_S < 0.01R_L$. Nếu thỏa điều kiện này thì thế trên tải chỉ khác giá trị lý tưởng 1%.

Bây giờ chúng ta mở rộng ý tưởng này cho cầu chia thế.

Trước hết tính trở Thevenin của cầu chia thế trên hình 4-3a. Nó bằng

$$R_{TH} = R_1 // R_2$$



Hình 4-3

Do có R_{TH} nên các phân tích chính xác hơn cho mạch VDB phải tính đến R_{TH} như hình 4-3b. Dòng chảy qua điện trở R_{TH} làm giảm thế V_{BB} .

Vậy thế base giảm bao nhiêu so với giá trị lý tưởng? Theo hình 4-3c, nhìn từ cực base chúng ta thấy một điện trở vào R_{IN} . Để cầu chia thế mạnh đối với base thì theo quy tắc 100:1 chúng ta có

$$R_1 // R_2 < 0.01R_{IN} \quad (4-7)$$

Một mạch VDB được gọi là thiết kế tốt nếu thỏa mãn (4-7)

Cầu chia thế mạnh

Nếu transistor trên mạch hình 4-3c có $\beta_{dc} = 100$ thì dòng collector lớn hơn dòng base 100 lần hay dòng emitter cũng lớn hơn dòng base 100 lần. Nhìn từ phía base, trở emitter 100 lần lớn hơn. Tổng quát, khi nhìn từ base điện trở emitter lớn hơn β_{dc} lần.

$$R_{IN} = \beta_{dc} R_E \quad (4-8)$$

Phương trình (4-7) có thể viết lại như sau

$$R1/R2 < 0.01 \beta_{dc} R_E \quad (4-9)$$

Khi có thể, các nhà thiết kế chọn các giá trị của mạch theo qui tắc 100:1 bởi vì nó tạo ra mạch có điểm Q siêu ổn định.

Cầu chia thế yếu (firm)

Đôi khi thiết kế cầu chia thế mạnh tạo ra kết quả là các điện trở R1 và R2 quá bé do đó gây ra một số hệ quả khác. Trong trường hợp này các nhà thiết kế phải thỏa hiệp bằng quy tắc cầu chia thế yếu như sau:

Cầu chia thế yếu nếu thỏa điều kiện

$$R1/R2 < 0.1 \beta_{dc} R_E \quad (4-10)$$

Mọi cầu chia thế thỏa mãn qui tắc 10:1 là cầu chia thế yếu. Trong trường hợp xấu nhất, dùng cầu chia thế yếu có thể làm dòng collector giảm 10% so với giá trị cầu chia thế mạnh. Điều này là chấp nhận được trong nhiều ứng dụng bởi vì mạch VDB vẫn có điểm Q đủ ổn định.

Xấp xỉ gần hơn

Để tính chính xác giá trị của dòng I_E có thể dùng phương trình sau:

$$I_E = (V_{BB} - V_{BE}) / (R_E + (R1/R2)/\beta_{dc}) \quad (4-11)$$

Phương trình (4-11) cho giá trị I_E chính xác hơn. Nhưng (4-11) khá phức tạp. Vì vậy khi có yêu cầu tính toán chính xác mạch VDB người ta dùng EWB.

Ví dụ: Cầu chia thế trên hình 4-4 có là cầu chia thế mạnh? Tính giá trị chính xác của I_E dùng (4-11).

Cầu chia thế mạnh nếu thỏa điều kiện

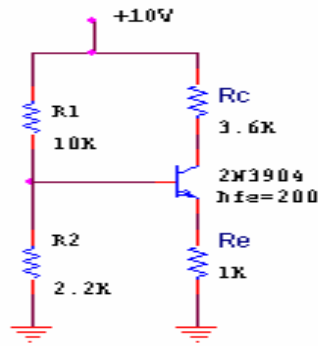
$$R1/R2 < 0.01 \beta_{dc} R_E$$

Trên hình 4-4, điện trở Thevenin của cầu chia thế bằng

$$R1/R2 = 10K\Omega / 2.2K\Omega = 4.545$$

Điện trở vào của base bằng

$$R_{IN} = \beta_{dc} R_E = 200(1K\Omega) = 200K\Omega$$



Hình 4-4

Điện trở Thevenin của cầu là $1.8K\Omega$ nhỏ hơn $2K\Omega$ (1% của R_{IN}) do đó cầu chia thế là mạnh.

Theo (4-11), dòng I_E bằng

$$I_E = (1.8V - 0.7V) / (1K\Omega + 1.8K\Omega / 200) = 1.09mA$$

Giá trị này gần với 1.1mA là giá trị tính bằng phân tích đơn giản.

Vậy khi cầu chia thế là mạnh thì chúng ta không dùng công thức (4-11) để tính I_E . Từ nay về sau các tính toán của chúng ta đối với mạch VDB là theo phân tích đơn giản.

IV.3 ĐƯỜNG TẢI VDB VÀ ĐIỂM Q

Trên hình 4-5, vì cầu chia thế là mạnh nên thế emitter giữ giá trị 1.1V trong các phân tích sau đây.

Điểm Q

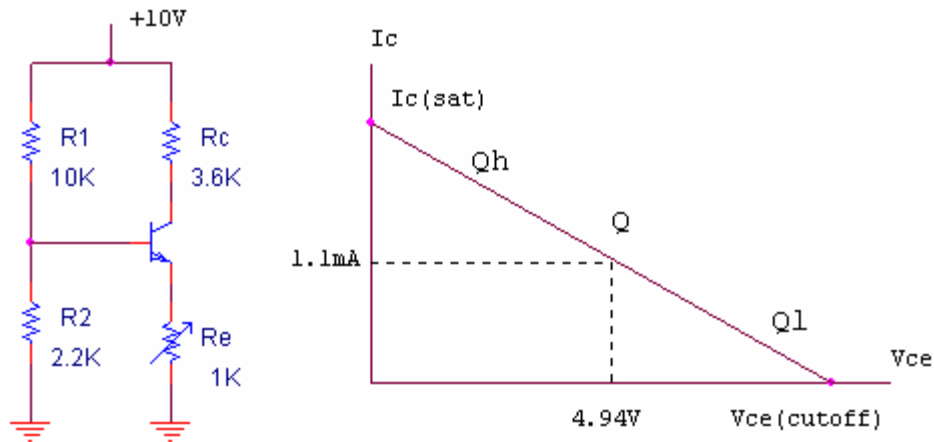
Điểm Q đã được tính trong bài IV-1. Nó có dòng $I_C = 1.1mA$ và $V_{CE} = 4.94V$. Điểm Q như thế được vẽ trên hình 4-5. Do phân cực VDB là biến thế của phân cực emitter nên điểm Q không phụ thuộc β_{dc} . Để thay đổi điểm Q trên hình 4-5 có thể thay đổi R_E .

Ví dụ, nếu R_E thay đổi đến $2.2K\Omega$ thì dòng I_E và thế V_C thay đổi như sau

$$I_E = 1.1V / 2.2K\Omega = 0.5mA$$

$$V_C = 10V - (0.5mA)(3.6K\Omega) = 8.2V$$

$$V_{CE} = 8.2V - 1.1V = 7.1V$$



Hình 4-5

Điểm Q mới là Q_L (0.5mA, 7.1V)

Ngược lại nếu giảm R_E còn 510Ω thì dòng emitter và thế collector mới là:

$$I_E = 1.1V / 510\Omega = 2.15mA$$

$$V_C = 10V - (2.15mA)(3.6K\Omega) = 2.26V$$

$$V_{CE} = 2.26V - 1.1V = 1.16V$$

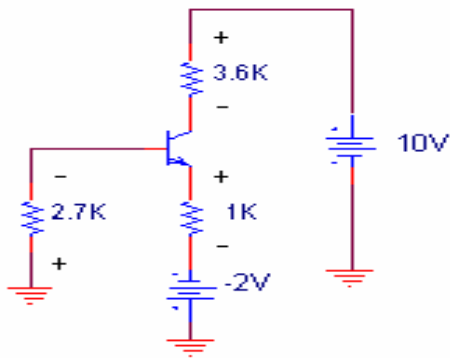
Trong trường hợp này điểm Q mới là Q_H (2.15mA, 1.16V)

Điểm Q ở giữa đường tải.

Các giá trị V_{CC} , R_1 , R_2 , R_C đều có ảnh hưởng đến điểm Q. Trong thiết kế thường người ta chọn các giá trị này theo yêu cầu cho trước. Khi đó nếu R_E thay đổi sẽ làm cho Q dịch chuyển trên đường tải. Nếu R_E quá lớn điểm Q sẽ dịch đến vùng ngưng dẫn. Nếu R_E quá bé điểm Q sẽ dịch đến vùng bão hòa. Để đạt được sự ổn định, điểm Q thường được chọn ở giữa đường tải cho mạch khuếch đại.

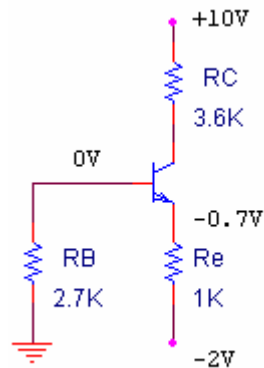
IV.4 PHÂN CỰC EMITTER DÙNG 2 NGUỒN NUÔI

Một số thiết bị điện tử có bộ nguồn 2 cực tính: nguồn dương và nguồn âm. Ví dụ, mạch hình 4-6 chỉ ra một transistor có 2 nguồn nuôi: +10V và -2V. Nguồn âm -2V phân cực thuận cho diode emitter. Nguồn dương +10V phân cực ngược cho diode collector. Mạch phân cực này là mạch phân cực emitter. Do đó nó có tên là mạch phân cực emitter 2 nguồn nuôi (Two Supply Emitter Bias = TSEB).



Hình 4-6

Trong các mạch TSEB thiết kế đúng, dòng base rất bé vì vậy thế base xấp xỉ 0V như hình 4-7.



Hình 4-7

Hiệu thế giữa 2 đầu R_E là

$$R_E = -0.7V - (-2V) = +1.3V$$

Dòng I_E bằng

$$I_E = 1.3V / 1K\Omega = 1.3mA$$

Dòng I_C xấp xỉ I_E chảy qua R_C do đó thế tại cực C của transistor bằng

$$V_C = 10V - (1.3mA)(3.6K\Omega) = 5.32V$$

$$\text{Thế } V_{CE} = V_C - V_E = 5.32V - (-0.7V) = 6.02V$$

Tóm lại, khi một mạch TSEB thiết kế tốt, nó tương đương với mạch phân cực VDB và nếu thỏa mãn qui tắc 100:1 tức là

$$R_B < 0.01\beta_{dc}R_E \quad (4-12)$$

Khi đó có thể dùng các phương trình sau để phân tích mạch TSEB

$$V_B = 0V \quad (4-13)$$

$$I_E = (V_{EE} - 0.7V)/R_E \quad (4-14)$$

$$V_C = V_{CC} - I_C R_C \quad (4-15)$$

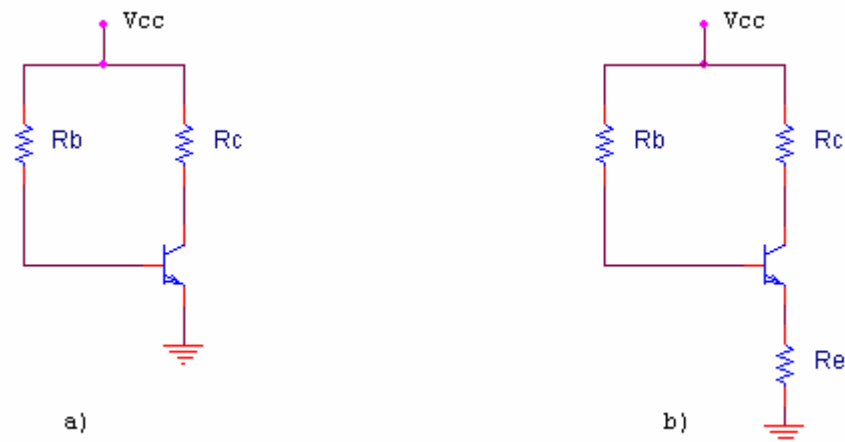
$$V_{CE} = V_C + 0.7V \quad (4-16)$$

IV.5 CÁC PHÂN CỰC KHÁC

Trong phần này chúng ta xem xét một số kiểu phân cực khác. Việc phân tích chi tiết các kiểu phân cực này là không cần thiết vì chúng ít được dùng trong các thiết kế mới.

a) Phân cực phản hồi emitter

Nhược điểm chính của phân cực base trên hình 4-8a là Q thay đổi theo β_{dc} . Để khắc phục người ta dùng mạch phân cực phản hồi emitter như hình 4-8b. Ý tưởng chính là đưa vào điện trở emitter để chống lại sự trôi của Q khi β_{dc} thay đổi. Cụ thể là khi I_C tăng làm cho V_E tăng $\rightarrow V_B$ tăng $\rightarrow I_B$ giảm $\rightarrow I_C$ giảm. Sự phản hồi này là phản hồi âm (negative feedback). Gọi là phản hồi vì sự thay đổi thế emitter được phản hồi trở lại thế base. Mặc khác, phản hồi là âm vì sau quá trình phản hồi, dòng I_C thay đổi ngược lại với sự thay đổi ban đầu. Vậy phản hồi âm tạo ra sự ổn định.



Hình 4-8: Phân cực phản hồi emitter

Sau đây là các phương trình dùng cho mạch phân cực phản hồi emitter.

$$I_E = (V_{CC} - V_{BE}) / (R_E + R_B / \beta_{dc}) \quad (4-17)$$

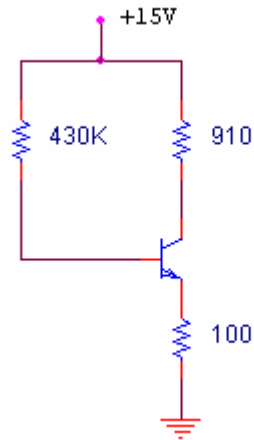
$$V_E = R_E I_E \quad (4-18)$$

$$V_B = V_E + 0.7V \quad (4-19)$$

$$V_C = V_{CC} - R_C I_C \quad (4-20)$$

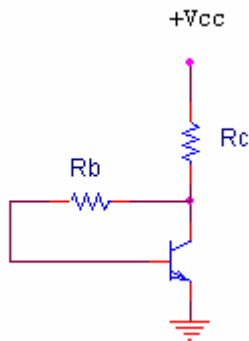
Ý định của phân cực phản hồi emitter là loại bỏ β_{dc} khỏi phương trình (4-17) bằng cách chọn $R_E > R_B / \beta_{dc}$. Nếu điều kiện này thỏa thì (4-17) không phụ thuộc β_{dc} .

Hình 4-9 là một mạch phân cực phản hồi emitter cụ thể. Trên thực tế phân cực này không tốt hơn phân cực base.



Hình 4-9

b) Phân cực phản hồi collector



Hình 4-10: Phân cực phản hồi collector

Hình 4-10 chỉ ra mạch phân cực phản hồi collector, còn gọi là mạch tự phân cực. Ý tưởng cơ bản là cố ổn định điểm Q bằng cách phản hồi một điện thế về base để bù lại sự thay đổi của dòng collector. Ví dụ I_C tăng $\rightarrow V_C$ giảm $\rightarrow V_B$ giảm $\rightarrow I_B$ giảm $\rightarrow I_C$ giảm.

Sau đây là các phương trình dùng cho mạch phân cực phản hồi collector

$$I_E = (V_{CC} - V_{BE}) / (R_C + R_B / \beta_{dc}) \quad (4-21)$$

$$V_B = 0.7V \quad (4-22)$$

$$V_C = V_{CC} - I_C R_C \quad (4-23)$$

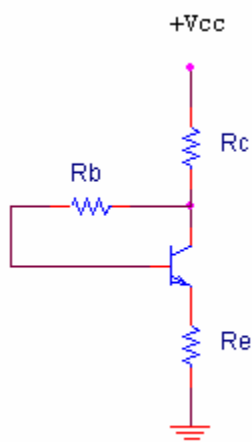
Điểm Q nằm giữa đường tải nếu chọn

$$R_B = \beta_{dc} R_C \quad (4-24)$$

Mạch phân cực phản hồi collector có tác dụng ổn định điểm Q tốt hơn phân cực phản hồi emitter. Mặc dù vẫn có sự trôi của Q theo β_{dc} nhưng mạch phân cực này thường được dùng vì sự đơn giản.

c) Phân cực phản hồi collector và emitter

Phân cực phản hồi emitter và phản hồi collector là nhằm ổn định điểm Q. Mặc dù ý tưởng là tốt nhưng sự phản hồi lại không đủ để ổn định Q theo β_{dc} . Hình 4-11 là một mạch phân cực trong đó sử dụng cả 2 loại phản hồi: phản hồi emitter và phản hồi collector nhằm cải thiện độ ổn định của Q.



Hình 4-11

Sau đây là các phương trình dùng cho mạch phân cực phản hồi emitter - collector.

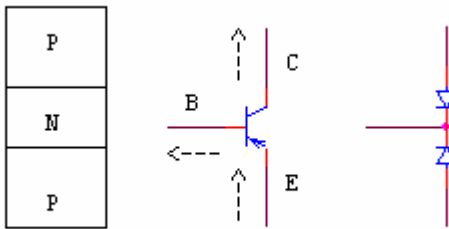
$$I_E = (V_{CC} - V_{BE}) / (R_C + R_B / \beta_{dc}) \quad (4-25)$$

$$V_E = R_E I_E \quad (4-26)$$

$$V_B = V_E + 0.7V \quad (4-27)$$

$$V_C = V_{CC} - R_C I_C \quad (4-28)$$

IV.6 TRANSISTOR PNP

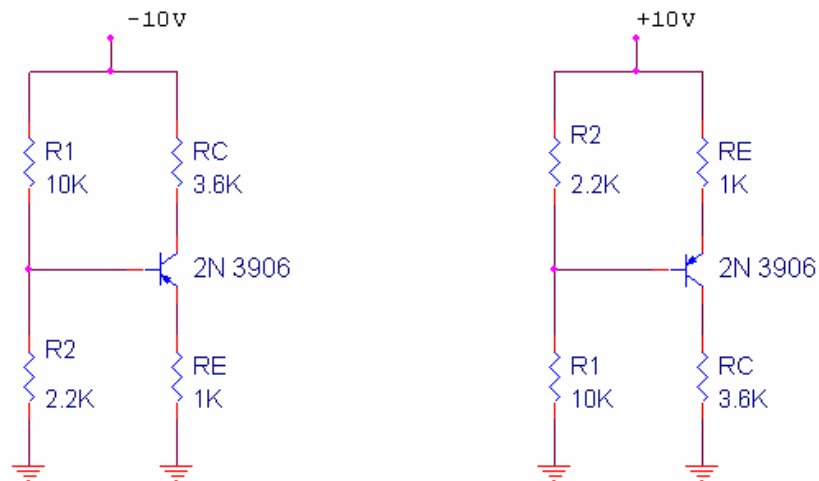


Hình 4-12: Transistor PNP

Hình 4-12 chỉ ra cấu trúc , ký hiệu và mô hình tương đương của transistor PNP. Cũng giống như transistor NPN, tổng dòng trong transistor tuân theo định luật Kirchhoff.

Mạch cho transistor PNP (xem hình 4-13) hoàn toàn giống mạch cho transistor NPN. Chỉ có 2 điều khác biệt:

- Transistor là loại PNP
- Nguồn âm



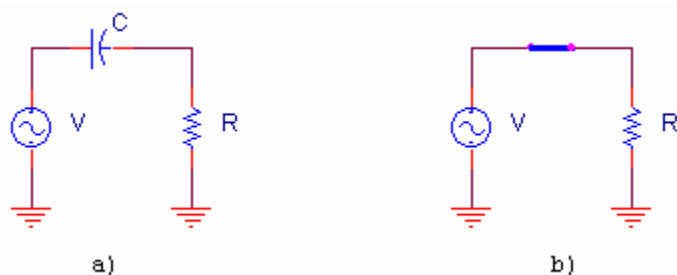
Hình 4-13: Mạch transistor PNP

Chương V **CÁC CHẾ ĐỘ AC CỦA TRANSISTOR**

V.1 KHUYẾCH ĐẠI PHÂN CỰC BASE

Trong phần này chúng ta sẽ phân tích mạch khuếch đại phân cực base. Mặc dù mạch khuếch đại base không phổ biến trong các sản phẩm điện tử nhưng các ý tưởng cơ bản của nó được dùng nhiều trong các mạch khuếch đại phức hợp khác.

TU NỐI



Hình 5-1

Hình 5-1a là một nguồn thế ac được nối tới đầu vào của một mạch RC. Cấu hình này là mạch tương đương ở đầu vào của nhiều mạch khuếch đại. Vì trở kháng của tụ tỷ lệ nghịch với tần số nên tụ C ngăn cản hoàn toàn thành phần dc của nguồn và chỉ truyền thành phần ac. Ở tần số đủ cao thì trở kháng của tụ bé do đó hầu hết thành phần ac của nguồn xuất hiện trên R . Trong trường hợp này tụ C gọi là tụ nối vì nó nối hoặc chuyển tín hiệu ac đến R . Vai trò của tụ C là cho phép truyền thành phần ac từ nguồn đến mạch khuếch đại mà không làm thay đổi điểm Q của mạch.

Để cho một tụ C có thể xem là tụ nối thì tại tần số tín hiệu thấp nhất, trở kháng của tụ phải bé hơn nhiều so với R . Người ta định nghĩa

Tụ nối tốt nếu thỏa điều kiện:

$$X_C < 0.1R \quad (5-1)$$

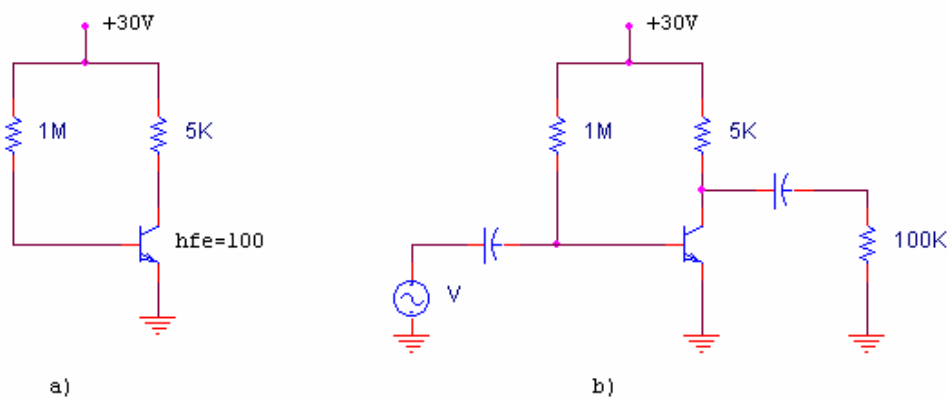
Nghĩa là trở kháng của tụ C phải bé hơn 10 lần R tại tần số hoạt động thấp nhất.

Khi thỏa mãn qui tắc 10:1, hình 5-1a có thể thay bằng hình 5-1b. Nói cách khác đối với các mạch thỏa qui tắc 10:1 có thể thay thế tất cả các tụ nối C bằng một ngắn mạch đối với thành phần ac.

Mặt khác nguồn dc có tần số bằng 0 nên trở kháng của C đối với thành phần dc là vô cùng. Bởi vậy, chúng ta sẽ dùng gần đúng sau cho tụ C:

- ◆ Đối với thành phần dc tụ C xem như hở mạch
- ◆ Đối với thành phần ac tụ C xem như nối tắt

CHẾ ĐỘ DC



Hình 5-2

Chúng ta hãy xét mạch phân cực base trên hình 5-2a. Thế dc tại base là 0.7V, trong gần đúng bậc 1, dòng I_B bằng:

$$I_B = 30\mu A$$

Với hệ số khuếch đại dòng 100 thì dòng I_C bằng

$$I_C = 3mA$$

Thế collector bằng

$$V_C = 30V - (3mA)(5K\Omega) = 15V$$

Điểm Q có tọa độ 3mA và 15V.

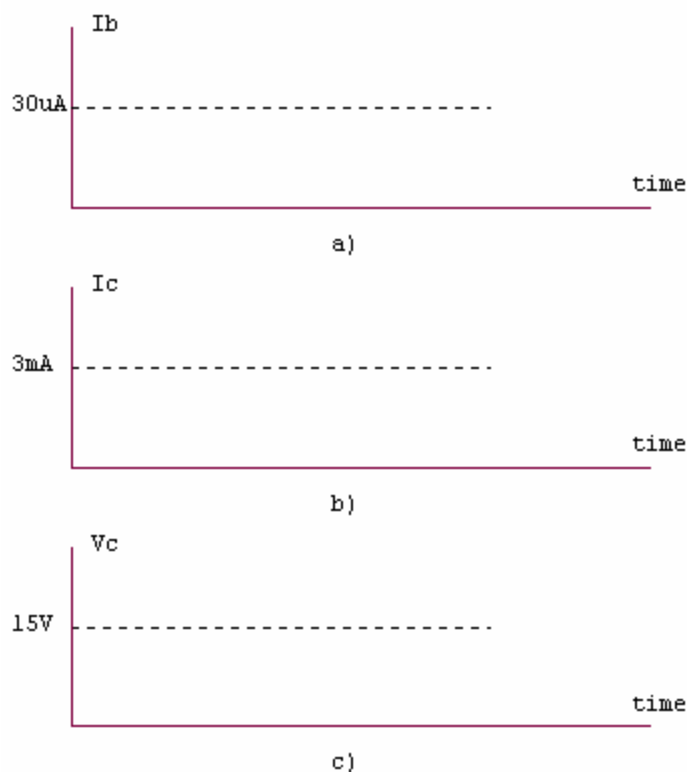
MẠCH KHUYẾT ĐẠI

Hình 5-2b cho thấy một mạch khuếch đại transistor phân cực base. Các tụ nối được dùng ở đầu vào và đầu ra nhằm cách ly thành phần dc của mạch với nguồn ac vào và với tải R_L . Mục đích chính là không cho nguồn ac và trở tải R_L thay đổi điểm Q.

Trên hình 5-2b, nguồn thế ac có giá trị $100\mu V$. Do tụ nối ngắn mạch đối với thành phần ac nên toàn bộ thành phần ac của nguồn thế vào xuất hiện tại base. Thế ac này sẽ tạo ra dòng base xoay chiều mà nó cộng thêm vào với dòng base một chiều do phân cực. Nói cách khác, dòng base tổng cộng bao gồm dòng dc và ac.

Hình 5-3a mô tả tình hình này. Thành phần ac được cộng với thành phần dc. Trong nửa chu kỳ dương, dòng base ac cộng với dòng $30\mu\text{A}$ của dòng base dc. Trong nửa chu kỳ âm dòng base bị trừ đi. Sự thay đổi của dòng base làm cho dòng I_C cũng thay đổi theo cùng qui luật nhưng lớn hơn β_{dc} lần. Hình 5-3b cho thấy thành phần dc của dòng collector là 3mA . Sự chồng chất của dòng collector dc và ac tạo ra tín hiệu như hình 5-3c.

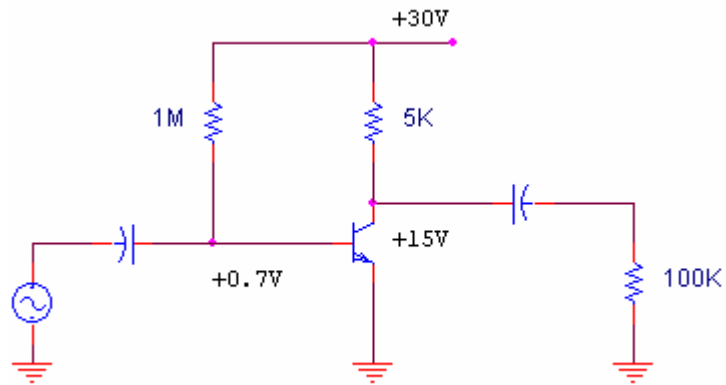
Do điện trở tải R_C , thế tại collector của transistor có dạng như nguồn thế đầu vào nhưng ngược pha như hình 5-3c.



Hình 5-3

DẠNG SÓNG

Hình 5-4 là mạch khuếch đại phân cực base và dạng sóng (wave form) của nó. Nguồn thế ac là một hiệu thế điều hoà có biên độ bé. Nó được nối tới base, tại đây nó chồng chất với thành phần dc 0.7V . Sự biến đổi của thế base tạo ra sự biến đổi dòng base, dòng collector và vì vậy cả thế collector. Kết quả thế collector là một thế dạng sin có thành phần dc là 15V . Do tác dụng của tụ nối, trên tải R_L chỉ có thành phần ac.



Hình 5-4

HỆ SỐ KHUYẾT ĐẠI THỂ

Hệ số khuyết đại thể của một mạch khuyết đại là tỷ số thế ac lối ra chia cho thế ac lối vào.

$$A = V_{\text{out}} / V_{\text{in}} \quad (5-2)$$

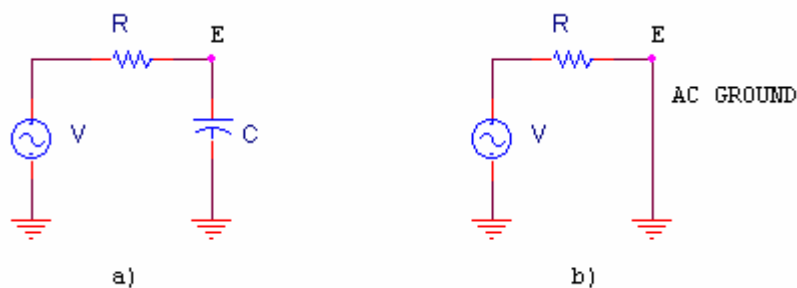
Ví dụ, nếu thế trên tải là 50mV trong khi thế vào là 100μV thì

$$A = 50\text{mV} / 100\mu\text{V} = 500$$

A=500 có nghĩa là thế ra lớn hơn thế vào 500 lần.

V.2 KHUYẾT ĐẠI PHÂN CỰC EMITTER

TỤ THÔNG DẪN



Hình 5-5

Tụ thông dẫn tương tự tụ nối bởi vì nó hành xử như là hở mạch đối với thành phần dc và ngắn mạch đối với thành phần ac. Nhưng tụ thông dẫn không dùng để nối tín hiệu giữa 2 điểm mà nó dùng để tạo ra một đất ac.

Hình 5-5a cho thấy một nguồn thế ac được nối tới một điện trở và một tụ. Ở tần số cao, trở kháng của tụ rất bé vì vậy toàn bộ nguồn thế ac coi như

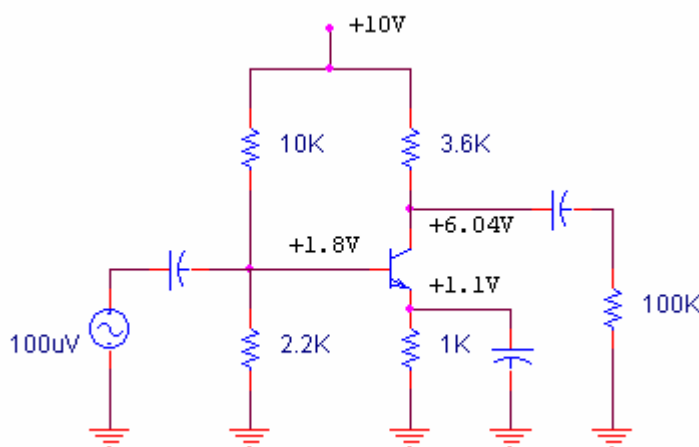
được đặt trên R. Nói cách khác, điểm E là được nối đất về mặt ac. Trong trường hợp này tụ C gọi là tụ thông dẫn vì nó cho phép nối điểm E với đất về mặt ac. Tụ thông dẫn cho phép chúng ta nối một điểm nào đó với GND mà không làm thay đổi Q.

Điều kiện để một tụ được xem là thông dẫn tốt là

$$X_C < 0.1R \quad (5-3)$$

Khi (5-3) thỏa thì mạch hình 5-5a có thể thay bằng mạch hình 5-5b.

KHUYẾCH ĐẠI VDB



Hình 5-6

Hình 5-6 cho thấy một mạch khuếch đại VDB. Để tính thế và dòng DC, chúng ta tưởng tượng rằng tất cả các tụ đều hở mạch. Khi đó mạch tương đương như mạch phân cực VDB. Giá trị dc hay giá trị tĩnh cho mạch này như sau:

$$V_B = 1.8V$$

$$V_E = 1.1V$$

$$V_C = 6.04V$$

$$I_C = 1.1mA$$

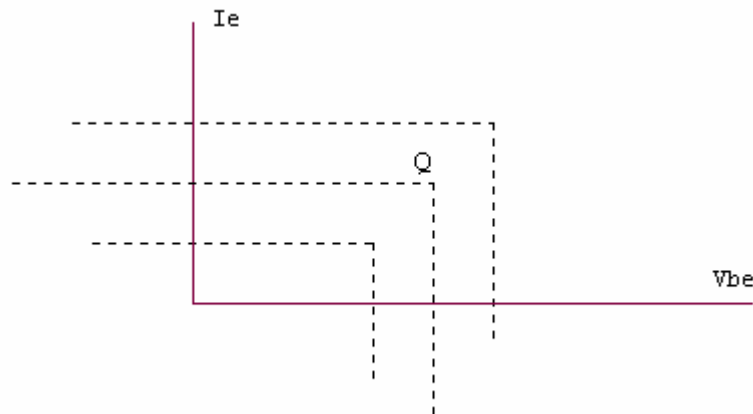
Như đã phân tích trên đây, chúng ta dùng các tụ nối để nối thế nguồn với base, nối thế collector với tải. Chúng ta cũng dùng tụ thông dẫn giữa emitter và đất. Ý nghĩa của tụ này là ở chỗ: Nó làm tăng hệ số khuếch đại thế của transistor so với khi không có tụ (các phần sau sẽ phân tích rõ hơn).

Trong hình 5-6, nguồn thế ac là $100\mu V$. Nó được đưa vào base. Do tụ thông dẫn C_E toàn bộ thế này được đặt lên diode base emitter. Tại collector chúng ta thu được thế base nhưng đã được khuếch đại.

DẠNG SÓNG VDB

Trên hình 5-6, nguồn thế ac đầu vào là điều hoà và thành phần dc bằng 0. Thế base là chồng chất của thế ac lối vào và thành phần dc 1.8V. Thế ac ở collector là thế đầu vào đã được khuếch đại đảo pha chồng chất với thành phần dc bằng 6.04V. Thế trên tải giống như thế collector với thành phần dc bằng 0.

V.3 CHẾ ĐỘ TÍN HIỆU BÉ



Hình 5-7

Hình 5-7 chỉ ra giản đồ dòng thế của diode base emitter. Khi nguồn thế ac được nối tới cực base của transistor, một thế ac sẽ xuất hiện trên diode base. Điều này tạo ra sự biến thiên tuần hoàn trên V_{BE} như hình 5-7.

ĐIỂM LÀM VIỆC TỨC THỜI.

Khi thế vào thay đổi, điểm làm việc tức thời di chuyển từ vị trí Q ban đầu lên phía trên hoặc xuống phía dưới. Thế base emitter tổng cộng gồm thế ac và thành phần dc. Biên độ của thế ac quy định biên độ thay đổi của Q. Thế base ac lớn tạo ra sự biến động lớn của Q, thế base bé tạo ra sự biến động bé của Q.

SỰ SÁI DẠNG

Thế base tạo ra dòng emitter cùng tần số như hình 5-7. Nếu nguồn thế base ac là điều hoà, dòng emitter cũng điều hoà. Nhưng dòng emitter không là

điều hoà lý tưởng vì quan hệ dòng emitter thế base không hoàn toàn là đường thẳng. Điều này tạo ra sự sai dạng (méo) tín hiệu mà chúng ta không mong muốn trong các hệ thống Hi-Fi (High Fidelity).

Để giảm thiểu sự sai dạng người ta dùng các cách sau:

- ♦ Giữ thế base bé. Khi đó quan hệ base- emitter của transistor là tuyến tính.
- ♦ Qui tắc 10:1.

Tổng dòng emitter bằng

$$I_E = I_{EQ} + i_e$$

Trong đó I_{EQ} là dòng emitter phân cực còn i_e là dòng emitter ac. Để giảm thiểu sự sai dạng, giá trị đỉnh của dòng i_e phải bé hơn dòng emitter tĩnh 10 lần theo qui tắc 10:1 sau đây.

$$\text{Tín hiệu bé: } i_{ep} < 0.1 I_{EQ} \quad (5-4)$$

Các bộ khuếch đại thỏa điều kiện (5-4) là bộ khuếch đại tín hiệu bé. Chúng thường được dùng trong các mạch tiền khuếch đại của các mạch xử lý tín hiệu.

V.4 HỆ SỐ BETA AC VÀ ĐIỆN TRỞ AC CỦA DIODE EMITTER

Hệ số khuếch đại mà chúng ta sử dụng từ trước đến nay là hệ số khuếch đại dòng một chiều.

$$\beta_{dc} = I_C / I_B \quad (5-5)$$

β_{dc} phụ thuộc vị trí điểm Q do sự cong của đặc tuyến I_C , I_B .

Người ta định nghĩa hệ số beta xoay chiều là

$$\beta = i_c / i_b \quad (5-6)$$

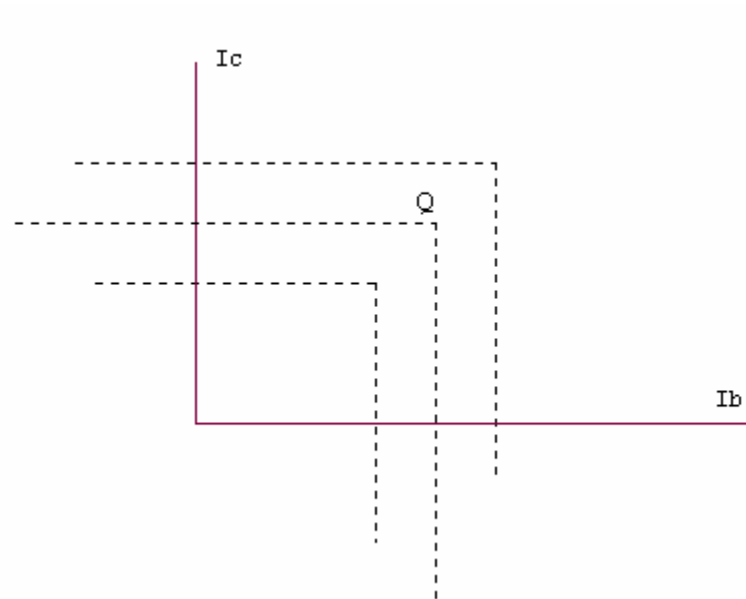
Theo (5-6), hệ số khuếch đại dòng ac bằng tỷ số giữa dòng collector ac chia cho dòng base ac.

Trên hình 5-8, tín hiệu ac thay đổi quanh điểm Q, do đó giá trị của β_{dc} và β có khác nhau.

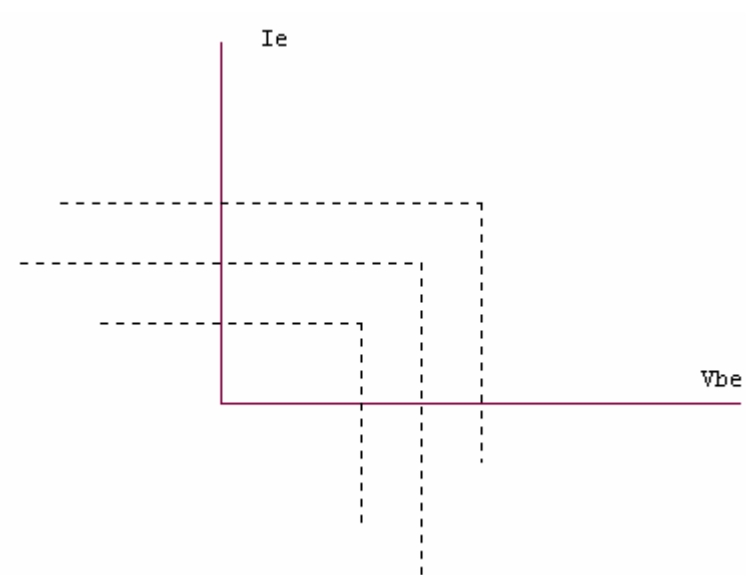
Về mặt đồ thị, β chính là độ dốc của đường cong I_C , I_B tại điểm Q.

Trong bảng số liệu của nhà sản xuất, β_{dc} được ký hiệu là h_{FE} còn β được ký hiệu là h_{fe} .

Chúng ta lưu ý rằng các ký hiệu về dòng và thế, nếu viết hoa là dc, còn viết thường là ac.



Hình 5-8



Hình 5-9

Hình 5-9 cho thấy quan hệ dòng thế của diode emitter.

Ta có:

$$I_E = I_{EQ} + i_c$$

$$V_{BE} = V_{BEQ} + v_{be}$$

ĐIỆN TRỞ AC CỦA DIODE EMITTER

Trên hình 5-9 sự thay đổi điều hòa của V_{BE} tạo ra sự thay đổi điều hoà của I_E . Giá trị đỉnh – đỉnh của i_c phụ thuộc điểm Q. Do quan hệ dòng thế emitter là đường cong nên với v_{be} cố định, dòng i_c lớn hơn nếu điểm phân cực Q nằm ở phía cao hơn. Nói cách khác, điện trở ac của emitter giảm khi dòng emitter dc tăng.

Điện trở emitter ac được định nghĩa như sau:

$$r'_e = v_{be} / i_c \quad (5-7)$$

Theo vật lý chất rắn, điện trở ac của emitter có thể tính qua công thức đơn giản sau:

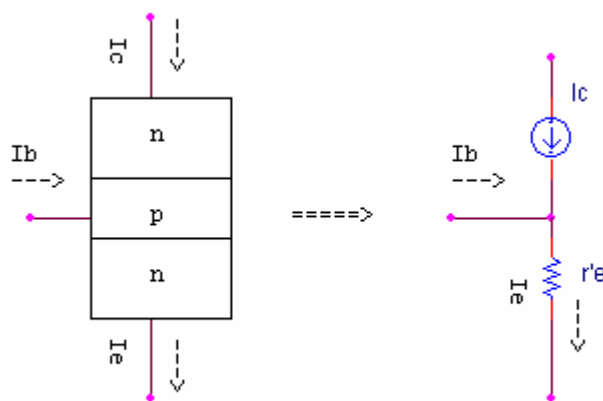
$$r'_e = 25\text{mV} / I_E \quad (5-8)$$

Sau này sẽ thấy, giá trị của r'_e có ảnh hưởng đến hệ số khuếch đại thế của mạch transistor.

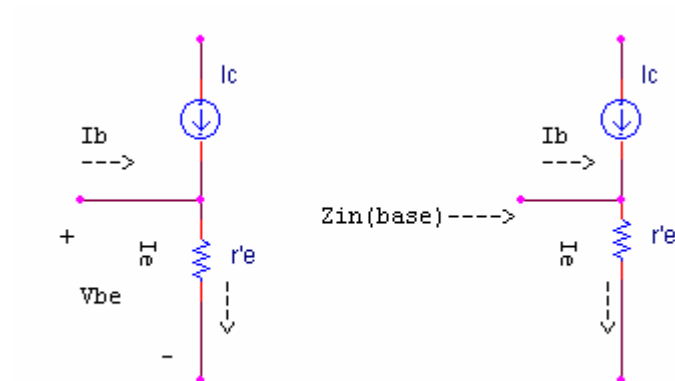
V.5 HAI MÔ HÌNH CỦA TRANSISTOR

Để mô tả hoạt động của mạch khuếch đại transistor ở chế độ ac, cần một mạch tương đương cho transistor. Nói cách khác chúng ta cần một mô hình cho transistor mà nó mô phỏng được hoạt động của transistor khi có tín hiệu ac.

Một trong những mô hình transistor sớm nhất do Ebers Moll đề xuất là mô hình trên hình vẽ 5-10. Mô hình này còn gọi là mô hình chữ T.



Hình 5-10: Mô hình chữ T của transistor



Hình 5-11

Theo mô hình chữ T, khi một thế ac xuất hiện ở lối vào bộ khuếch đại thì một thế ac xuất hiện trên diode base emitter như hình 5-11. Thế này tạo ra dòng base ac. Nói cách khác nguồn thế ac vào đã được tải trên trở kháng vào của base. Nhìn vào base của transistor, ta thấy một trở kháng vào $Z_{in(base)}$. Tại tần số thấp, trở kháng này bằng:

$$Z_{in(base)} = V_{be} / i_b \quad (5-9)$$

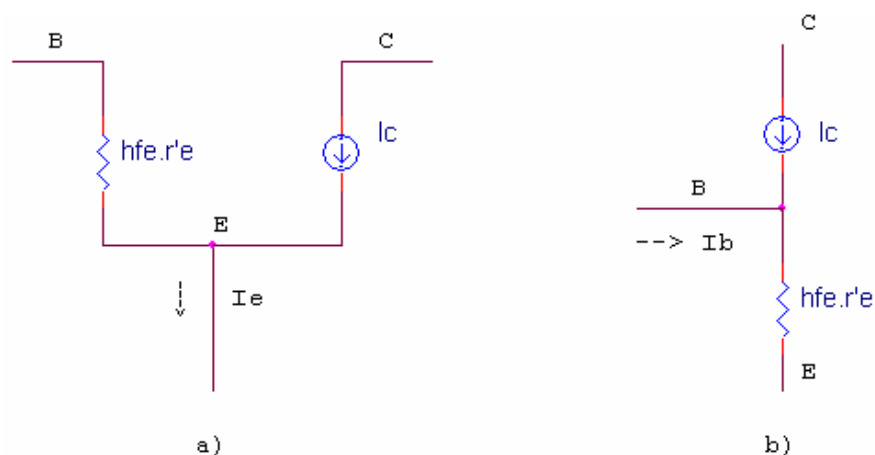
Áp dụng định luật Ohm cho diode emitter, có thể viết

$$V_{be} = i_e \cdot r'_e$$

$$Z_{in(base)} = i_e \cdot r'_e / i_b$$

Vì $i_e \approx i_c$ nên

$$Z_{in(base)} = \beta r'_e \quad (5-10)$$



Hình 5-12: Mô hình chữ π của transistor

Một mô hình khác của transistor cũng được sử dụng, đó là mô hình chữ π . Hình 5-12a cho thấy sơ đồ mô hình π của transistor. So với mô hình chữ T (hình 5-12b) mô hình chữ π dễ dùng hơn. Chúng ta có thể dùng một trong hai mô hình, mô hình chữ T hoặc mô hình chữ π , khi phân tích mạch transistor ở chế độ ac.

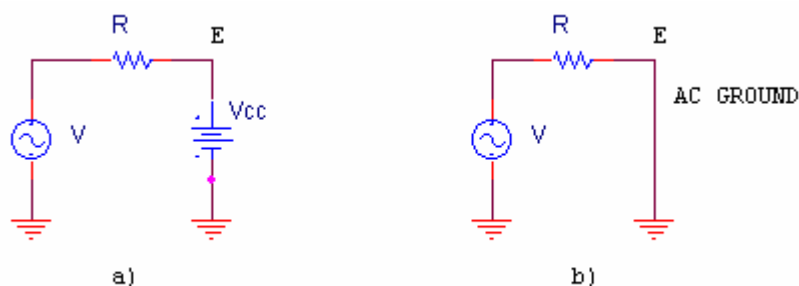
V.6 PHÂN TÍCH MỘT KHUYẾT ĐẠI DÙNG TRANSISTOR

Phân tích một mạch khuếch đại là phức tạp vì cả thành phần ac lẫn dc đều tồn tại trong mạch. Chúng ta có thể phân tích chế độ dc và phân tích chế độ ac một cách riêng rẽ. Hoạt động thực của mạch là chồng chất của 2 chế độ dc và ac.

MẠCH TƯƠNG ĐƯƠNG DC

Trong phân tích dc chúng ta tính dòng và thế dc của mạch. Để làm việc này chúng ta tưởng tượng hở mạch đối với tất cả các tụ. Mạch còn lại là mạch tương đương dc. Trong phân tích dc, quan trọng nhất là tính I_E vì nó liên quan đến r'_e trong phân tích ac.

ẢNH HƯỞNG CỦA NGUỒN DC



Hình 5-13

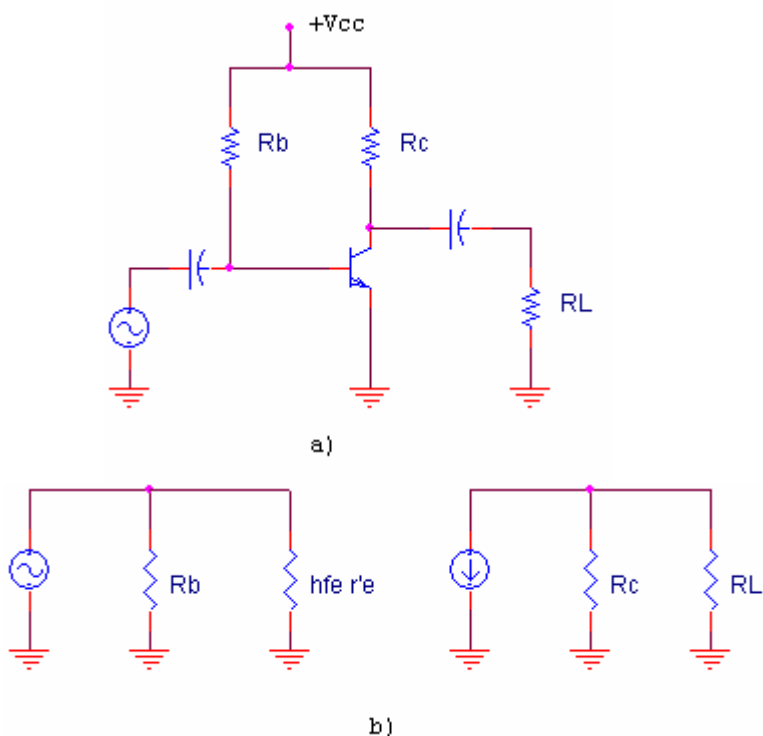
Hình 5-13a là sơ đồ mạch gồm có cả nguồn ac và dc. Đối với tín hiệu ac, nguồn dc là ngắn mạch. Điều này là đúng vì trở nội của nguồn dc bé do đó nó không gây sụt thế ac nào. Vậy khi phân tích ac chúng ta ngắn mạch tất cả các nguồn dc.

MẠCH TƯƠNG ĐƯƠNG AC

Sau khi phân tích dc, chúng ta sẽ bắt đầu phân tích ac bằng cách ngắn mạch tất cả các tụ và nguồn dc. Transistor có thể thay thế bằng mô hình T hay

mô hình π . Sau đây chúng ta sẽ dẫn ra các mạch tương đương ac của các mạch khuếch đại phân cực base và phân cực VDB.

a) MẠCH KHUYẾCH ĐẠI PHÂN CỰC BASE

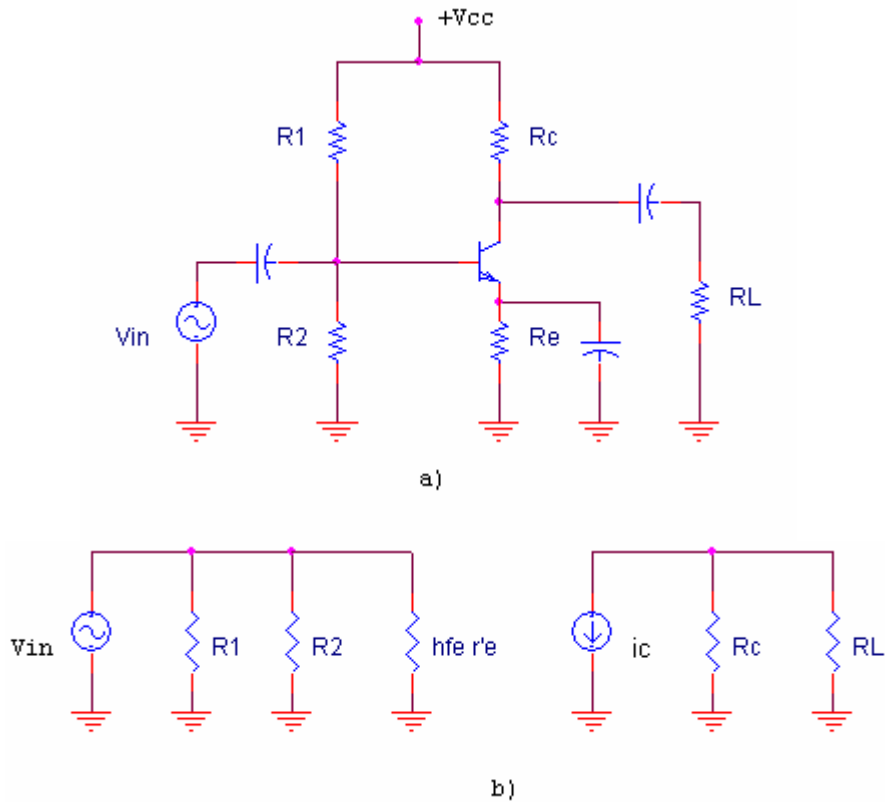


Hình 5-14

Hình 5-14a là một mạch khuếch đại phân cực base. Để có mạch tương đương ac, chúng ta ngắt mạch tất cả các tụ. Điểm có nhãn V_{cc} cũng được nối đất về mặt ac. Hình 5-14b cho thấy mạch tương đương ac. Transistor đã được thay thế bởi mô hình π . Trong mạch base, thế ac lối vào đặt trên R_b song song với $\beta r'_e$. Trong mạch collector, nguồn dòng i_c chảy qua R_c và R_L mắc song song.

b) MẠCH KHUYẾCH ĐẠI VDB

Hình 5-15a là một mạch khuếch đại VDB. Hình 5-15b cho thấy mạch tương đương ac. Transistor đã được thay thế bởi mô hình π . Trong mạch base, thế ac lối vào đặt trên R_1 song song với $\beta r'_e$ và với R_2 . Trong mạch collector, nguồn dòng i_c chảy qua R_c và R_L mắc song song.



Hình 5-15

c) MẠCH KHUYẾCH ĐẠI CE

Các mạch khuếch đại trên hình 5-14, hình 5-15 là các ví dụ về mạch khuếch đại chung emitter (common emitter = CE). Mạch khuếch đại này gọi là mạch khuếch đại chung emitter vì emitter được nối GND về mặt ac.

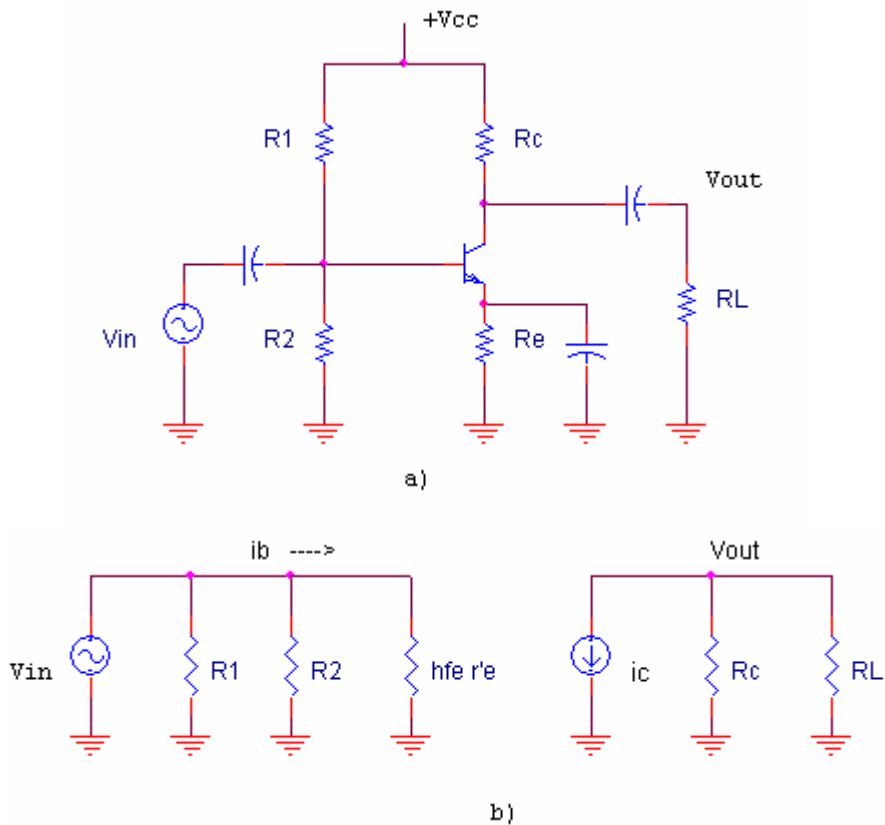
Trong mạch khuếch đại chung emitter tín hiệu cần khuếch đại được đưa đến cực base, tín hiệu đã được khuếch đại xuất hiện ở collector.

Có 2 kiểu mạch khuếch đại transistor khác là mạch khuếch đại chung base (CB) và mạch khuếch đại chung collector (CC). Chúng được dùng trong một số ứng dụng nhưng không phổ biến bằng mạch khuếch đại CE.

Tóm lại, để có được mạch tương đương về mặt ac, chúng ta phải làm mấy việc chủ yếu sau:

- ◆ Ngắt mạch tất cả các tụ
- ◆ Tưởng tượng tất cả các nguồn dc là GND xoay chiều
- ◆ Thay thế transistor bằng mô hình T hoặc mô hình π
- ◆ Vẽ mạch tương đương ac

V.7 HỆ SỐ KHUYẾCH ĐẠI THỂ



Hình 5-16

Hình 5-16a cho thấy một mạch khuếch đại VDB. Hệ số khuếch đại điện thế của mạch được định nghĩa là tỷ số giữa thế ac lối ra và thế ac lối vào. Phần này sẽ dẫn ra biểu thức cho hệ số khuếch đại thể.

Hình 5-16b là sơ đồ tương đương ac của mạch hình 5-16a theo mô hình π . Dòng base chảy qua trở kháng vào của mạch base, do đó có thể viết:

$$v_{in} = i_b \beta r'_e$$

Trên collector, dòng i_c chảy qua $R_C // R_L$ do đó

$$v_{out} = i_c (R_C // R_L)$$

Hệ số khuếch đại thể bằng:

$$A = v_{out} / v_{in} = (R_C // R_L) / r'_e \quad (5-11)$$

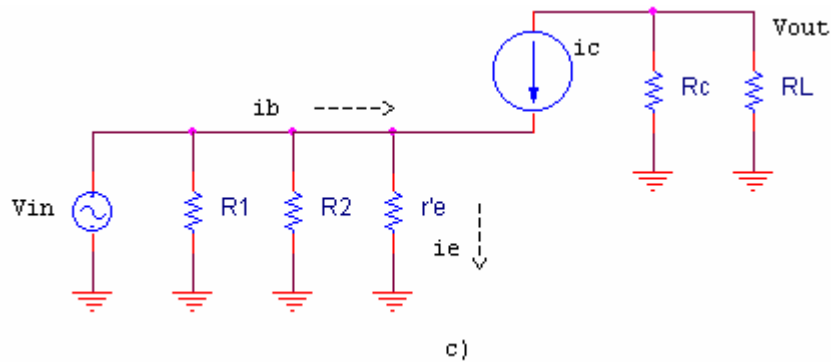
Điện trở collector ac. Trở tải ac nhìn từ collector là $R_C // R_L$. Nếu chúng ta đặt

$$r_c = R_C // R_L \quad (5-12)$$

thì (5-11) trở thành

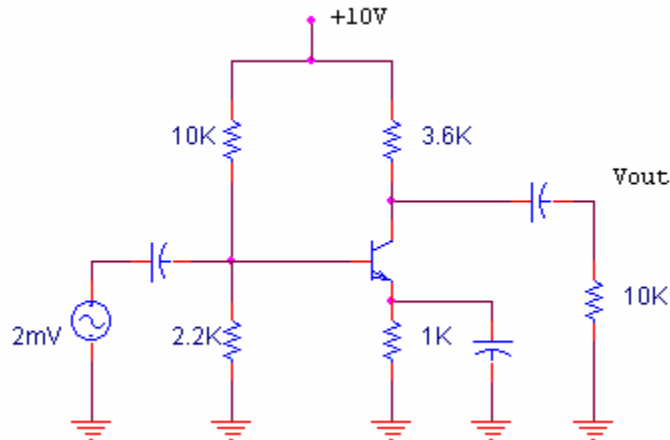
$$A = r_c / r'_e \quad (5-13)$$

Theo (5-13) hệ số khuếch đại thế bằng điện trở ac collector chia cho điện trở ac của diode emitter.



Hình 5-16

Có thể thấy rằng từ mạch tương đương 5-16c chúng ta cũng sẽ thu được kết quả tương tự.



Hình 5-17

Ví dụ: Cho mạch hình 5-17. Tính A và thế trên tải R_L .

Giải: Trở collector ac bằng

$$r_c = R_C / R_L = (3.6K / 10K) = 2.65K$$

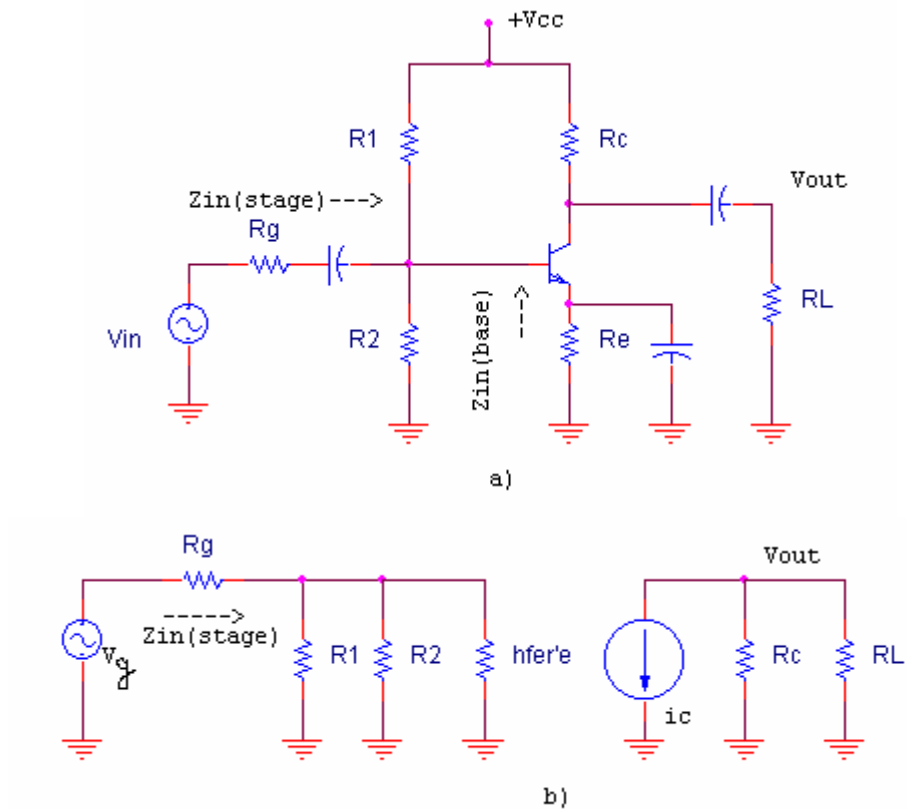
Giả sử transistor có $r'_e = 22.7\Omega$, ta có

$$A = r_c / r'_e = 2.65K / 22.7 = 117$$

Thế trên tải bằng

$$V_{out} = A V_{in} = 117 \cdot (2mV) = 234mV$$

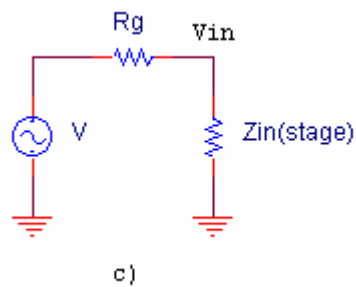
V.8 ẢNH HƯỞNG CỦA TRỞ KHÁNG VÀO



Hình 5-18

Cho đến lúc này chúng ta vẫn giả sử nguồn thế ac vào là lý tưởng với trở kháng nội bằng 0. Trong phần này chúng ta sẽ xem xét ảnh hưởng của trở kháng nội của các nguồn thế thực (là các nguồn thế có trở kháng nội khác không).

Trên hình 5-18a, một nguồn thế ac ký hiệu là v_{in} có trở kháng nội R_g . Khi đó có một sụt thế ac ngang qua R_g . Điều này làm cho thế base bé hơn giá trị lý tưởng.



Hình 5-18

Trở kháng vào của mạch ký hiệu là $Z_{in(stage)}$ bằng

$$Z_{in(stage)} = R_1 // R_2 // \beta r'_e$$

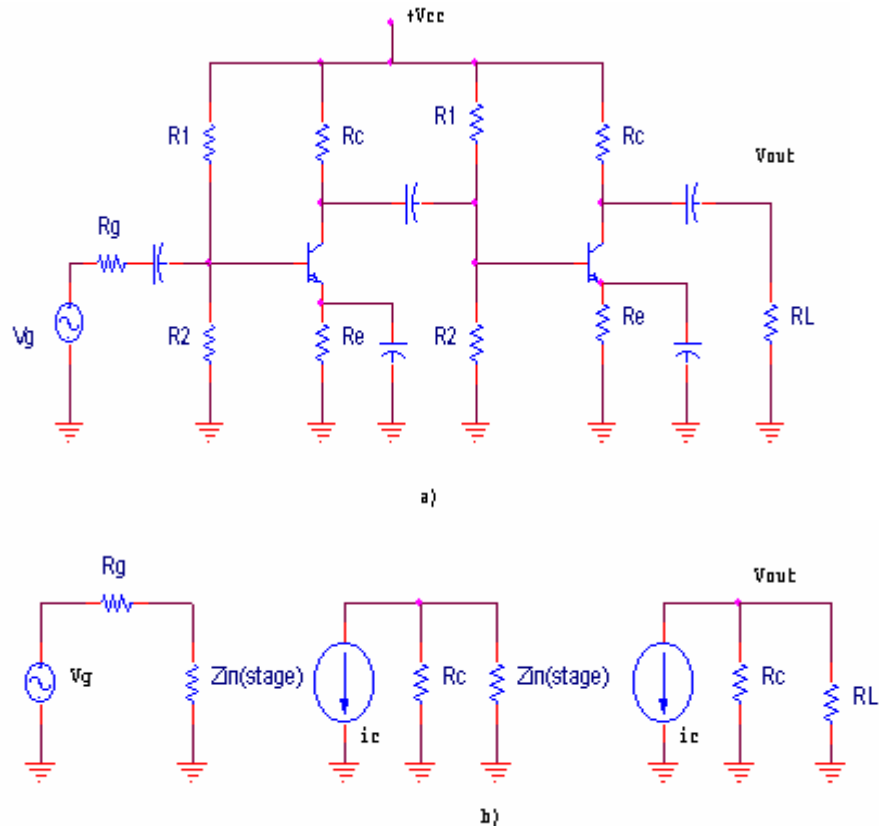
$$V_{in} = Z_{in(stage)} V_g / (R_g + Z_{in(stage)}) \quad (5-14)$$

Phương trình (5-14) có giá trị đối với mọi mạch khuếch đại. Lưu ý rằng nguồn v_g là mạnh nếu $R_g < 0.01 Z_{in(stage)}$

Phương trình (5-14) cũng cho thấy rằng do R_g mà thế vào mạch khuếch đại bé hơn thế của nguồn cần khuếch đại.

V.9 KHUYẾCH ĐẠI NHIỀU TẦNG

Để thu được hệ số khuếch đại lớn, chúng ta nối hai hoặc nhiều tầng khuếch đại với nhau. Điều này có nghĩa là lối ra của tầng thứ nhất là lối vào của tầng thứ hai và cứ thế tiếp tục...



Hình 5-19

Hình 5-19a cho thấy một mạch khuếch đại gồm 2 tầng. Tín hiệu ra của tầng thứ nhất (đảo pha so với tín hiệu vào) được đưa vào tầng thứ hai. Trên tải R_L chúng ta thu được tín hiệu cùng pha với tín hiệu lối vào nhưng đã được khuếch đại nhiều lần.

Hình 5-19b cho thấy mạch tương đương ac. Trở kháng collector ac của tầng thứ nhất là

$$r_c = R_C // z_{in(stage)}$$

Hệ số khuếch đại của tầng thứ nhất bằng

$$A_1 = (R_C // z_{in(stage)}) / r'_e$$

Hệ số khuếch đại của tầng thứ hai bằng

$$A_2 = (R_C // R_L) / r'_e$$

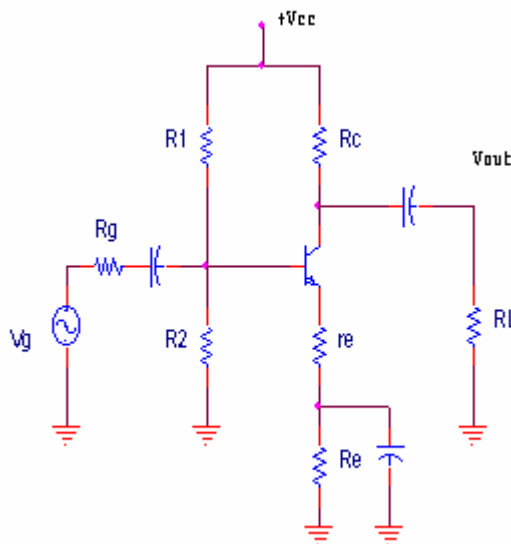
Hệ số khuếch đại của toàn mạch bằng

$$A = A_1 A_2 \quad (5-15)$$

V.10 KHUYẾCH ĐẠI CE CẢI TIẾN

Hệ số khuếch đại thế A của mạch khuếch đại CE phụ thuộc vào dòng tĩnh, sự thay đổi của nhiệt độ và bản thân transistor.

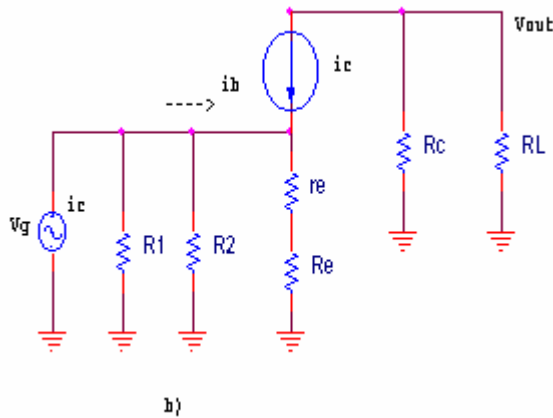
Một phương pháp nhằm ổn định hệ số A là chèn một điện trở r_e trong mạch emitter như hình vẽ 5-20a.



Hình 5-20a

Lưu ý rằng r_c không có tụ mắc song song. Khi dòng i_c chảy qua mạch emitter sẽ tạo ra một thế ac trên r_c . Điều này tạo ra sự phản hồi âm để ổn định hệ số A. Chẳng hạn, nếu dòng collector ac tăng do nhiệt độ tăng thì thế trên r_c cũng sẽ tăng. Điều này làm giảm v_{be} và do đó giảm $i_b \rightarrow$ giảm i_c . Quá trình này diễn ra theo chiều hướng ngược lại với sự tăng của dòng collector mà chúng ta gọi là sự phản hồi âm.

Hình 5-20b là sơ đồ tương đương của mạch hình 5-20a theo mô hình T.



Hình 5-20

Thế vào bằng

$$v_{in} = i_c(r_c + r'_c)$$

Hệ số khuếch đại thế A trong trường hợp này bằng

$$A = i_c r_c / i_c (r_c + r'_c)$$

Xem rằng $i_c \approx i_c$ thì

$$A = r_c / (r_c + r'_c) \quad (5-16)$$

Nếu $r_c \gg r'_c$ thì (5-16) trở thành

$$A = r_c / r_c \quad (5-17)$$

Đây là ví dụ về mạch khuếch đại CE cải tiến. Giá trị r_c lớn đã loại bỏ ảnh hưởng của r'_c và làm cho A không phụ thuộc r'_c .

Trở kháng vào của mạch khuếch đại CE cải tiến là

$$Z_{in(base)} = v_{in} / i_b \quad (5-18)$$

trong đó $v_{in} = i_c(r_c + r'_c)$

do $i_c \approx i_c$ chúng ta nhận được

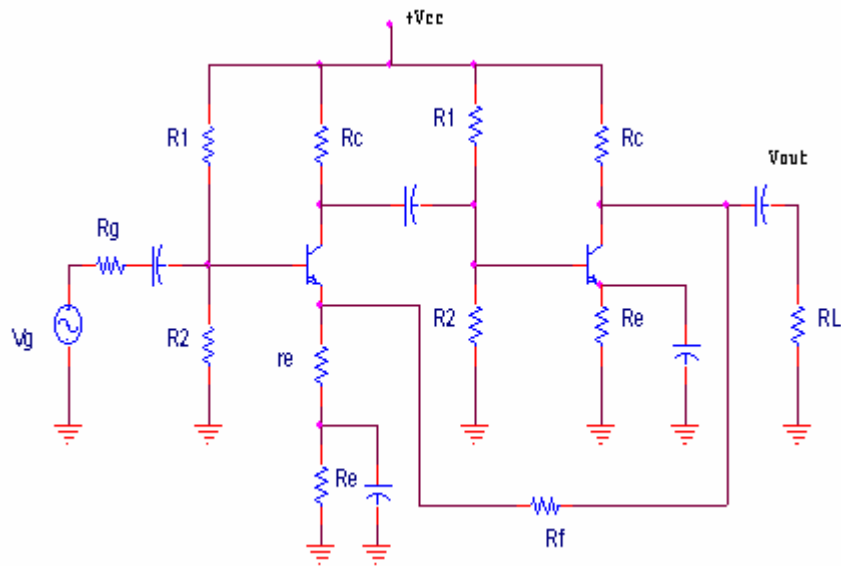
$$Z_{in(base)} = v_{in} / i_b = \beta (r_c + r'_c) \quad (5-19)$$

Nhận xét: mạch khuếch đại CE cải tiến có 3 ưu điểm:

- ◆ Hệ số A ổn định
- ◆ Tăng trở kháng vào
- ◆ Giảm sai dạng khi tín hiệu lớn (do A không phụ thuộc r'_c)

V.11 PHẢN HỒI HAI TẦNG

Mạch khuếch đại CE cải tiến là ví dụ về khuếch đại phản hồi 1 tầng. Mục đích của mạch khuếch đại CE cải tiến là ổn định hệ số A, tăng trở kháng vào và giảm sai dạng khi tín hiệu lớn. Mạch khuếch đại phản hồi qua 2 tầng có đặc trưng tốt hơn.



Hình 5-21

Hình 5-21 là mạch khuếch đại phản hồi 2 tầng. Tầng thứ nhất là mạch khuếch đại CE cải tiến. Tầng thứ hai là mạch khuếch đại CE thông thường. Tín hiệu lối ra của tầng khuếch đại thứ hai được phản hồi qua điện trở R_f (feedback) tới emitter của tầng thứ nhất. Do cầu chia thế, thế tại emitter của tầng thứ nhất so với đất bằng:

$$v_e = (r_e v_{out}) / (R_f + r_e)$$

Ý tưởng chính ở đây là: Giả sử do sự tăng nhiệt độ làm thế ra tăng. Vì một phần của thế ra được phản hồi lại emitter transistor thứ nhất nên làm giảm v_{be} của transistor thứ nhất. Kết quả là thế lối ra của transistor thứ nhất và vì vậy thế lối ra của transistor thứ hai cũng giảm theo. Ngược lại, nếu thế ra giảm thì sau quá trình phản hồi thế lối ra sẽ tăng. Mọi thay đổi trên lối ra đều bị phản hồi về lối vào và làm cho thế lối ra chỉ có thể thay đổi trong phạm vi nhất định.

Dễ dàng thấy rằng hệ số khuếch đại của mạch phản hồi qua 2 tầng này bằng

$$A = R_f / r_e + 1 \quad (5-20)$$

Thường $R_f / r_e \gg 1$ nên (5-20) trở thành

$$A = R_f / r_e \quad (5-21)$$

Ý nghĩa của (5-21) là ở chỗ: hệ số A chỉ phụ thuộc các điện trở trong mạng phản hồi R_f và r_e mà không phụ thuộc các yếu tố khác.

Chương VI **KHUYẾCH ĐẠI CÔNG SUẤT**

VI.1 THUẬT NGỮ BỘ KHUYẾCH ĐẠI

Có nhiều cách khác nhau để phân loại một mạch khuếch đại. Chẳng hạn có thể phân loại theo chế độ hoạt động, phân loại theo kiểu nối giữa các tầng, phân loại theo dải tần số, mức tín hiệu...

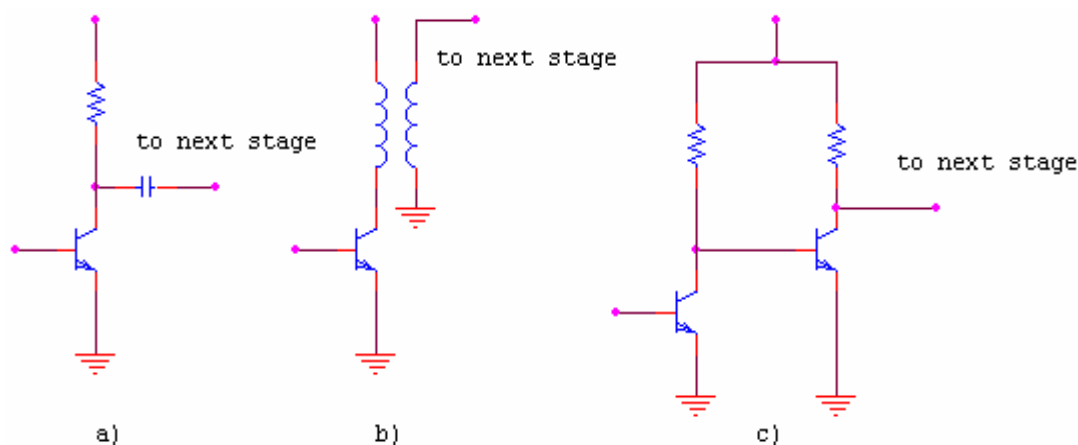
PHÂN LOẠI THEO CHẾ ĐỘ HOẠT ĐỘNG

Chế độ A (hạng A). Trong chế độ này, transistor hoạt động trong vùng tác động. Trong chế độ A, các nhà thiết kế chọn điểm Q ở giữa đường tải. Theo cách này tín hiệu có thể có biên độ tối đa mà không bị méo do transistor bão hoà hoặc ngưng dẫn.

Chế độ B (hạng B). Trong chế độ này, transistor được phân cực sao cho điểm Q nằm ở biên giới vùng tác động và vùng ngưng dẫn. Transistor chỉ dẫn ở nửa chu kỳ dương của nguồn ac. Điều này làm giảm nhiệt hao phí trên transistor công suất.

Chế độ C (hạng C). Trong chế độ này, transistor được phân cực sao cho điểm Q nằm sâu trong vùng ngưng dẫn. Transistor chỉ dẫn ở một phần của nửa chu kỳ dương của nguồn ac. Kết quả là tại collector chúng ta chỉ nhận được một xung ngắn.

PHÂN LOẠI THEO KIỂU NỐI TẦNG



Hình 6-1

Hình 6-1a là sơ đồ nối tầng bằng tụ. Tụ nối truyền tín hiệu đã được khuếch đại đến tầng tiếp theo. Hình 6-1b là sơ đồ nối tầng bằng biến thế. Thế ac được ghép qua biến thế và truyền đến tầng tiếp theo.

Trong hai cách nối trên đây, thành phần dc được cách ly hoàn toàn giữa các tầng khuếch đại. Hình 6-1c là sơ đồ nối tầng trực tiếp. Trong đó collector của transistor thứ nhất được nối trực tiếp đến base của transistor thứ hai. Trong cách nối trực tiếp, cả thành phần ac lẫn thành phần dc đều được nối. Tín hiệu dc được ghép từ tầng thứ nhất sang tầng thứ hai mà không bị mất mát. Khuếch đại ghép trực tiếp còn gọi là khuếch đại dc.

PHÂN LOẠI THEO MIỀN TẦN SỐ

Một cách khác để phân loại mạch khuếch đại là dùng tần số. Ví dụ, khuếch đại âm tần (audio amplifier) chỉ các mạch khuếch đại trong vùng tần số từ 20Hz đến 20KHz. Khuếch đại cao tần (Radio Frequency) để chỉ các bộ khuếch đại có tần số trên 20KHz. Chẳng hạn khuếch đại RF trong các radio AM khuếch đại các tín hiệu từ 535KHz đến 1605KHz. Khuếch đại RF trong các radio FM khuếch đại các tín hiệu từ 88MHz đến 108MHz.

Theo tần số người ta cũng phân loại khuếch đại band hẹp và khuếch đại band rộng. Khuếch đại band hẹp chỉ khuếch đại tín hiệu trong một vùng tần số, chẳng hạn từ 450 KHz đến 460KHz. Khuếch đại band rộng khuếch đại tín hiệu trong một vùng tần số rộng chẳng hạn từ 0 đến 1MHz. Khuếch đại band hẹp còn gọi là khuếch đại RF cộng hưởng. Tải của mạch khuếch đại là mạch cộng hưởng LC. Nó thường dùng trong các mạch chọn kênh trong radio hoặc TV.

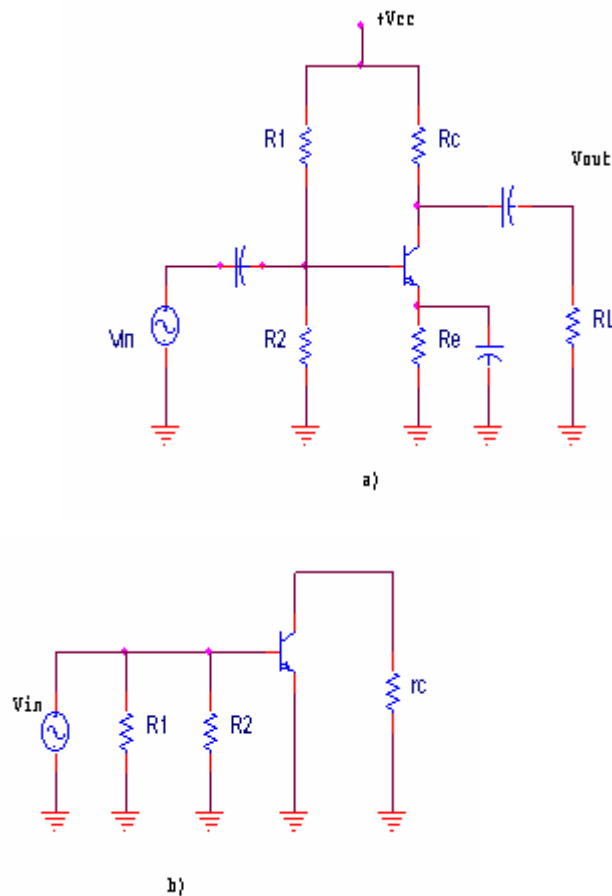
PHÂN LOẠI THEO MỨC TÍN HIỆU

Chúng ta đã xem xét hoạt động của transistor ở chế độ tín hiệu bé. Trong đó dòng collector khi có tín hiệu ac chỉ bằng 1/10 biên độ dòng collector tĩnh. Trong chế độ tín hiệu lớn, biên độ đỉnh – đỉnh của tín hiệu có thể chiếm hết biên độ đường tải. Trong các hệ thống xử lý âm thanh, tín hiệu bé từ đầu CD được dùng như tín hiệu vào của bộ tiền khuếch đại. Tiền khuếch đại là mạch khuếch đại tín hiệu bé. Ở đây, tín hiệu được khuếch đại lên biên độ thích hợp cho tầng điều chỉnh âm sắc hoặc điều chỉnh âm lượng. Sau đó tín hiệu được đưa vào tầng khuếch đại công suất. Khuếch đại công suất là mạch khuếch đại tín hiệu lớn. Nó tạo ra một công suất từ vài mW đến hàng trăm W để đưa ra loa.

VI.2 HAI ĐƯỜNG TẢI

Mỗi mạch khuếch đại có mạch tương đương dc và mạch tương đương ac. Do đó mỗi mạch khuếch đại có 2 đường tải: đường tải ac và đường tải dc. Trong chế độ tín hiệu bé, vị trí của Q không quan trọng nhưng trong chế độ tín hiệu lớn điểm Q cần phải ở giữa đường tải ac để có được tín hiệu cực đại mà không bị méo.

Đường tải DC



Hình 6-2

Hình 6-2a là mạch khuếch đại VDB. Một cách để di chuyển điểm Q là thay đổi R_2 . Khi R_2 rất lớn transistor rơi vào vùng bão hoà với dòng I_C bão hoà cho bởi phương trình

$$I_{C(sat)} = V_{CC} / (R_C + R_E) \quad (6-1)$$

Nếu R_2 rất bé transistor sẽ rơi vào vùng ngưng dẫn với thế trên transistor cực đại và bằng

$$V_{CE(sat)} = V_{CC} \quad (6-2)$$

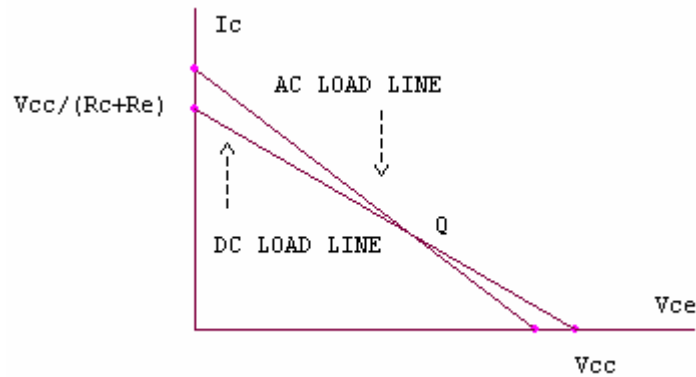
Đường tải AC

Hình 6-2b là mạch tương đương ac của mạch khuếch đại VDB. Do R_E nối GND về mặt xoay chiều nên không ảnh hưởng đến hoạt động của mạch. Hơn nữa trở collector ac bé hơn trở collector dc. Khi có tín hiệu ac vào, điểm Q tức thời di chuyển trên đường tải ac như hình 6-3. Nói cách khác, dòng và thế xoay chiều cực đại qui định bởi đường tải ac.

Do độ dốc của đường tải ac lớn hơn độ dốc của đường tải dc nên giá trị lồi ra đỉnh - đỉnh cực đại (maximum peak to peak) MPP bé hơn nguồn cung cấp V_{CC} .

$$MPP < V_{CC} \quad (6-3)$$

Sự cắt khi tín hiệu lớn



Hình 6-3

Khi điểm Q nằm giữa đường tải dc như hình 6-3, tín hiệu ac không thể dùng hết đường tải ac mà không bị cắt. Một mạch khuếch đại tín hiệu lớn được thiết kế tốt có Q nằm giữa đường tải ac. Trong trường hợp này chúng ta thu được tín hiệu lớn nhất mà không bị cắt.

BIÊN ĐỘ TÍN HIỆU RA

Ứng với một mạch khuếch đại, giá trị đỉnh của tín hiệu ra là

$$MP = I_{CQ} \cdot r_c \quad (6-4)$$

Tín hiệu ra đỉnh - đỉnh cực đại bằng

$$MPP = 2MP \quad (6-5)$$

VI.3 KHUYẾCH ĐẠI HẠNG A

Hình 6-4a là mạch khuếch đại VDB hạng A với tín hiệu ra không bị cắt. Chúng ta hãy dẫn ra một số phương trình cho mạch khuếch đại này.

HỆ SỐ KHUYẾCH ĐẠI CÔNG SUẤT

Chúng ta định nghĩa hệ số khuếch đại công suất là

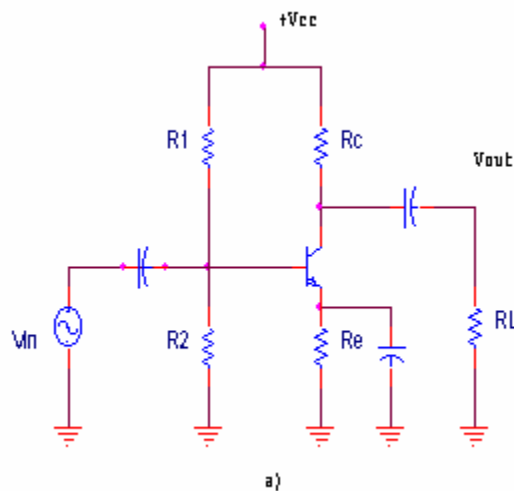
$$G = P_{\text{out}} / P_{\text{in}} \quad (6-6)$$

Hệ số khuếch đại công suất bằng tỷ số công suất lối ra chia cho công suất lối vào.

Ví dụ mạch khuếch đại hình 6-4a có công suất ra là 10mW và công suất vào 10μW thì hệ số khuếch đại công suất bằng

$$G = 10\text{mW} / 10\mu\text{W} = 1000$$

CÔNG SUẤT RA



Hình 6-4

Nếu đo thế ra trên hình 6-4a bằng giá trị hiệu dụng thì công suất ra của mạch khuếch đại trên là

$$P_{\text{out}} = V_{\text{rms}}^2 / R_L \quad (6-7)$$

Nếu ký hiệu V_{out} là thế ra đỉnh – đỉnh thì (6-7) trở thành

$$P_{\text{out}} = V_{\text{out}}^2 / 8R_L \quad (6-8)$$

Công suất ra cực đại khi $V_{\text{out}} = \text{MPP}$ hay

$$P_{\text{out(max)}} = \text{MPP}^2 / 8R_L \quad (6-9)$$

Công suất tiêu tán của transistor

Khi không có tín hiệu đưa vào mạch khuếch đại trên hình 6-4a, công suất tiêu tán tĩnh bằng

$$P_{DQ} = V_{CEQ} \cdot I_{CQ} \quad (6-10)$$

Khi có tín hiệu ac, công suất tiêu tán của transistor giảm vì transistor biến một phần công suất tĩnh thành công suất tín hiệu. Do đó giới hạn công suất của transistor trong mạch khuếch đại hạng A phải lớn hơn P_{DQ} nếu không transistor sẽ bị phá hủy.

Hiệu suất

Nếu gọi I_{dc} là dòng mà nguồn nuôi cung cấp cho bộ khuếch đại thì công suất mà nguồn dc cung cấp cho bộ khuếch đại bằng

$$P_{dc} = I_{dc} V_{CC} \quad (6-11)$$

Để so sánh khả năng biến đổi năng lượng của nguồn thành tín hiệu của các mạch khuếch đại người ta định nghĩa hiệu suất

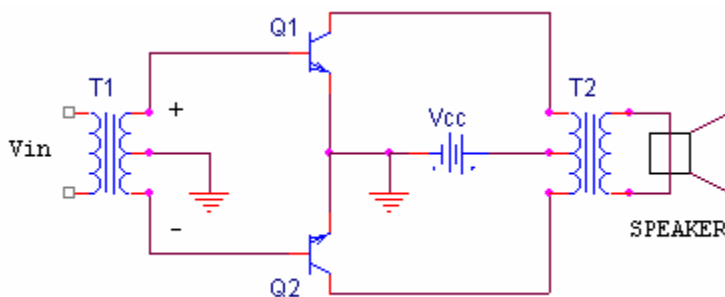
$$\eta = (P_{out} / P_{dc}) \times 100\% \quad (6-12)$$

Thông thường hiệu suất của một khuếch đại hạng A là 25%.

VI.4 KHUYẾCH ĐẠI HẠNG B

Mạch khuếch đại hạng A là cách thường dùng để sử dụng transistor trong các mạch tuyến tính vì nó làm cho mạch phân cực ổn định nhất và đơn giản nhất. Nhưng khuếch đại hạng A không phải là cách hiệu quả nhất để vận hành transistor. Trong một số hệ thống dùng pin vấn đề hiệu suất rất quan trọng. Phần này sẽ giới thiệu những ý tưởng chính của khuếch đại hạng B.

Hình 6-5



Hình 6-5 là mạch khuếch đại đẩy kéo hạng B. Khi một transistor hoạt động ở chế độ B, nó cắt một nửa chu kỳ tín hiệu. Để tránh méo dạng chúng ta có thể dùng 2 transistor kiểu đẩy kéo như hình 6-5. Push pull nghĩa là trong một nửa chu kỳ của tín hiệu chỉ có một transistor dẫn còn transistor kia ngưng dẫn.

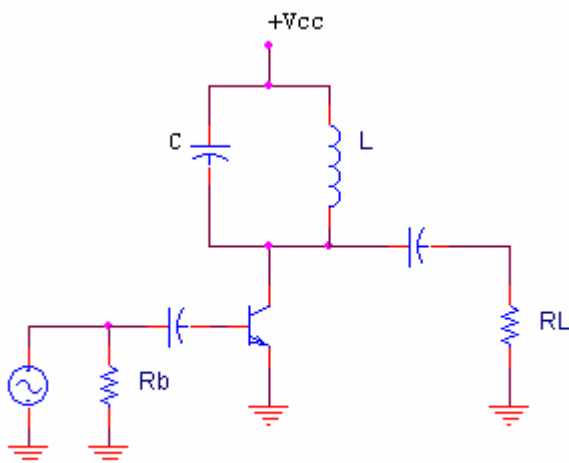
Hoạt động của mạch như sau: vào nửa chu kỳ dương của tín hiệu vào cuộn thứ cấp của T_1 có thể v_1 và v_2 như hình vẽ 6-5. Do đó transistor Q1 dẫn còn transistor Q2 ngưng dẫn. Dòng collector chảy qua Q₁ và qua cuộn sơ cấp của biến thế ra T_2 . Điều này tạo ra thế đảo pha và được khuếch đại. Biến thế T_2 ghép tín hiệu đã được khuếch đại với loa. Vào nửa chu kỳ âm của tín hiệu vào, cực tính bị đảo ngược. Bây giờ transistor Q2 dẫn, transistor Q1 ngưng dẫn. Tín hiệu của nửa chu kỳ âm lại xuất hiện trên loa thông qua T_2 . Trong khuếch đại đẩy kéo mỗi transistor khuếch đại một nửa chu kỳ, loa nhận được cả chu kỳ của tín hiệu nhưng đã được khuếch đại.

Ưu điểm và nhược điểm

Do không phân cực nên khi không có tín hiệu vào, nguồn nuôi không cung cấp một dòng dc nào. Ưu điểm thứ hai là hiệu suất được cải thiện đến 78.5%. Do đó khuếch đại đẩy kéo hạng B thường dùng trong các tầng ra (tầng khuếch đại cuối cùng của thiết bị).

Nhược điểm của sơ đồ là dùng biến thế nặng nề và đắt tiền. Ngày nay các thiết kế mới đã thay thế cho khuếch đại đẩy kéo kiểu này.

VI.5 KHUYẾCH ĐẠI HẠNG C



Hình 6-6

Khuyếch đại hạng C cần dùng một mạch cộng hưởng cho tải. Do đó khuyếch đại hạng C còn gọi là khuyếch đại cộng hưởng.

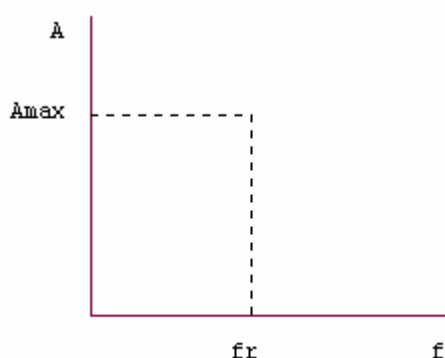
Tần số cộng hưởng

Trong khuyếch đại hạng C, dòng collector chảy qua transistor chỉ trong một phần thời gian của một nửa chu kỳ. Một mạch cộng hưởng song song có thể lọc các xung của dòng collector và tạo ra một thế hình sin. Ứng dụng chủ yếu của khuyếch đại hạng C là mạch khuyếch đại RF cộng hưởng. Hiệu suất tối đa của mạch khuyếch đại hạng C là 100%.

Hình 6-6 là sơ đồ một mạch khuyếch đại RF cộng hưởng. Tín hiệu xoay chiều đưa vào cực base. Thế lối ra đã được khuyếch đại xuất hiện tại collector. Do có mạch cộng hưởng thế ra có biên độ lớn nhất tại tần số cộng hưởng của mạch

$$f_r = 1/2\pi(LC)^{1/2} \quad (6-13)$$

Hai bên tần số cộng hưởng hệ số khuyếch đại thế giảm nhanh như hình 6-7.



Hình 6-7

Mạch khuyếch đại hạng C thường dùng cho các ứng dụng khuyếch đại RF cộng hưởng hay khuyếch đại band hẹp. Chúng được dùng nhiều trong các mạch khuyếch đại RF cho tín hiệu radio và TV.

Các công thức sau đây là áp dụng cho khuyếch đại hạng C

$$G = P_{out} / P_{in} \quad (\text{hệ số khuyếch đại công suất})$$

$$p_{out} = v_{out}^2 / 8R_L \quad (\text{công suất ra ac})$$

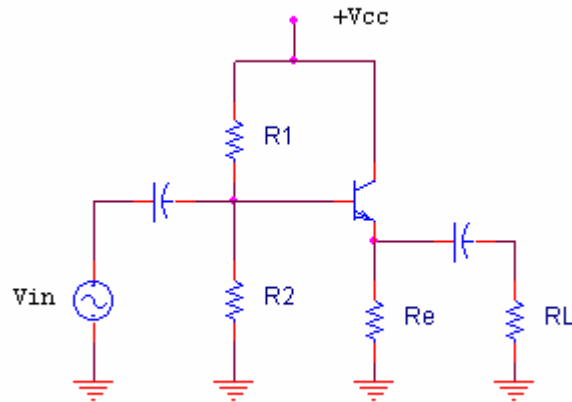
$$p_{out(max)} = MPP^2 / 8R_L \quad (\text{công suất ra ac tối đa})$$

$$P_{dc} = V_{CC} I_{dc} \quad (\text{công suất vào dc})$$

$$\eta = (p_{out} / p_{in}) \cdot 100\% \quad (\text{hiệu suất})$$

VL.6 KHUYẾCH ĐẠI CHUNG COLLECTOR

Mạch khuếch đại chung collector còn gọi là mạch lặp lại emitter. Tín hiệu ac cần khuếch đại được đưa vào base. Thế ra lấy trên emitter.



Hình 6-8

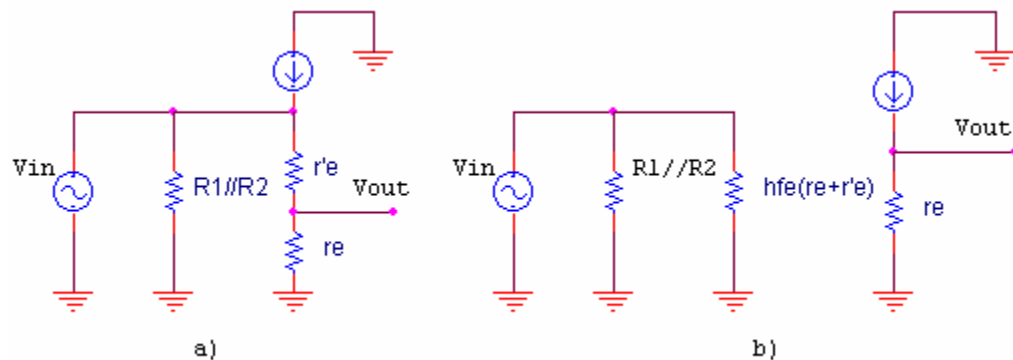
Hình 6-8 là sơ đồ một mạch khuếch đại CC. Thế vào được đưa vào base. Nó setup một dòng emitter và tạo ra thế emitter. Thế này nổi qua tụ ra tải. Gọi là mạch khuếch đại lặp lại vì thế ra giống thế vào về biên độ và pha. Thực vậy, có thể rút ra các giá trị của mạch như sau.

Trở emitter ac

$$r_e = R_E // R_L \quad (6-14)$$

Hệ số khuếch đại thế

Hình 6-9 là sơ đồ tương đương mô hình chữ T của mạch CC.



Hình 6-9

Dùng định luật Ohm có thể viết các phương trình sau

$$V_{out} = i_c r_c$$

$$V_{in} = i_c (r_c + r'_c)$$

$$A = r_c / (r_c + r'_c) \quad (6-15)$$

Thông thường chọn $r_c > r'_c$ nên $A \approx 1$.

Trở kháng vào của mạch base

$$Z_{in(base)} = \beta(r_c + r'_c) \quad (6-16)$$

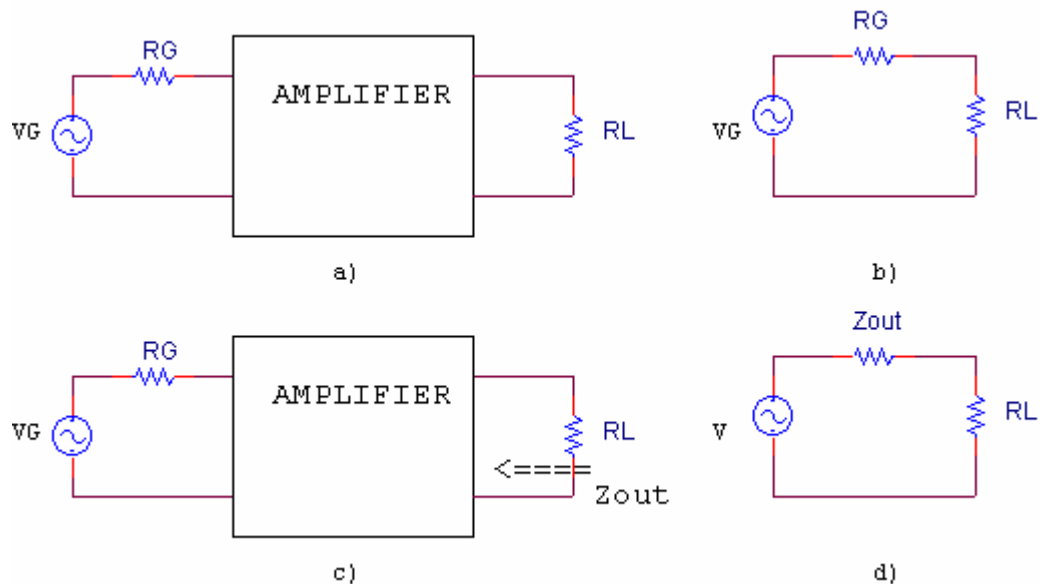
Trở kháng vào của mạch khuếch đại CC

$$Z_{in(stage)} = R_1 // R_2 // \beta(r_c + r'_c) \quad (6-17)$$

VI.7 TRỞ KHÁNG RA CỦA MẠCH KHUYẾCH ĐẠI

Trở kháng ra của một bộ khuếch đại giống như trở kháng Thevenin. Ưu điểm của mạch khuếch đại CC là có trở kháng ra thấp.

Công suất trên tải tối đa khi có sự phù hợp giữa trở kháng nguồn và trở kháng tải. Chẳng hạn để có công suất tối đa trên tải là loa thì cần sử dụng mạch khuếch đại CC có trở kháng ra thấp.

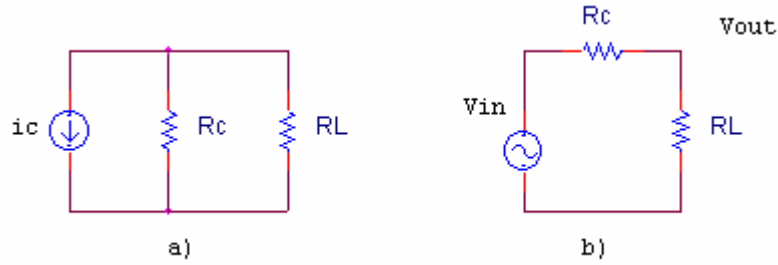


Hình 6-10

Hình 6-10a chỉ ra một nguồn ac thúc một bộ khuếch đại. Bên lối vào do có R_G nên sẽ có sụt thế qua nó. Chúng ta có thể dùng mạch hình 6-10b để tính thế vào.

Bên lối ra cũng có thể áp dụng định lý Thevenin. Từ phía tải nhìn vào bộ khuếch đại chúng ta thấy một trở kháng ra Z_{out} .

Trở kháng ra của mạch khuếch đại CE



Hình 6-11

Hình 6-11a cho thấy mạch tương đương ac ở phía ra của bộ khuếch đại CE. Khi áp dụng định lý Thevenin chúng ta thu được hình 6-11b. Trở kháng ra của mạch chính là R_C . Vì hệ số khuếch đại của mạch CE phụ thuộc R_C , do đó mạch CE khó có thể có trở kháng ra thấp mà không mất mát hệ số khuếch đại thế.

Trở kháng ra của mạch khuếch đại CC

Hình 6-12a là sơ đồ mạch tương đương ac của một bộ khuếch đại CC. Trở kháng ra của mạch bằng

$$z_{out} = R_E // (r'_e + (R_G // R_1 // R_2) / \beta) \quad (6-18)$$

Trong thiết kế R_1 và R_2 và điện trở ac r'_e của emitter có thể bỏ qua bên cạnh giá trị bé của R_G / β . Vì vậy cuối cùng

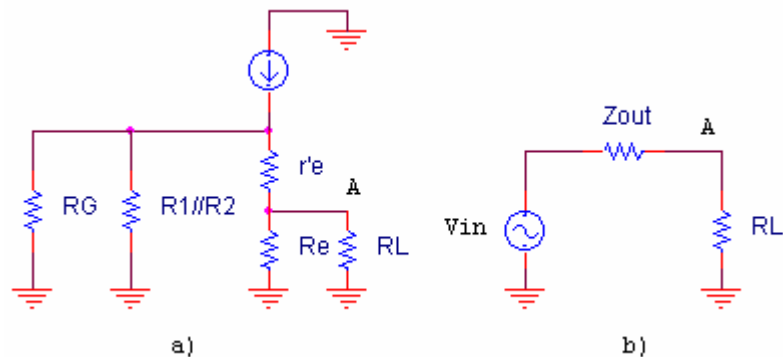
$$z_{out} = R_E / \beta \quad (6-19)$$

Theo (6-19), mạch CC làm giảm trở kháng nguồn β lần. Do đó nó có thể cung cấp một công suất đủ lớn trên tải là loa có trở kháng thấp.

Để đạt được công suất tối đa trên tải R_L các nhà thiết kế chọn giá trị của các linh kiện sao cho

$$Z_{out} = R_L \quad (6-20)$$

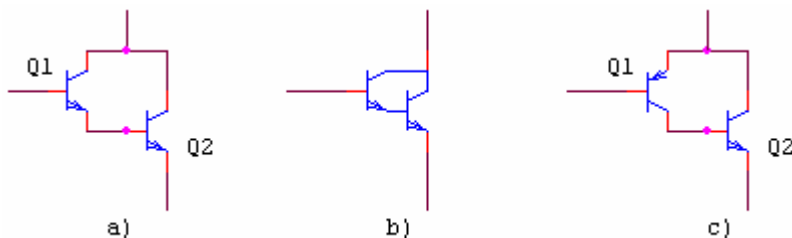
Phương trình (6-20) gọi là điều kiện phối hợp trở kháng.



Hình 6-12

VI.8 NỐI DARLINGTON

Nối Darlington là nối giữa 2 transistor để tạo thành một transistor có hệ số khuếch đại dòng bằng tích hệ số khuếch đại dòng của các transistor riêng rẽ. Mạch transistor nối Darlington cho trở kháng vào rất cao và dòng ra rất lớn. Nối Darlington thường dùng trong các mạch ổn áp và khuếch đại công suất.



Hình 6-13

CẶP DARLINGTON.

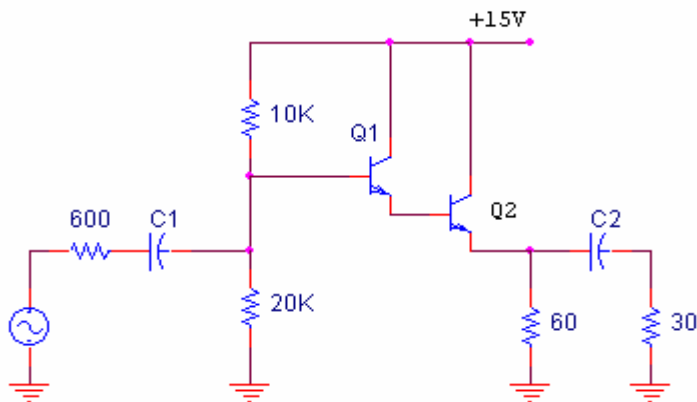
Hình 6-13a cho thấy một cặp Darlington. Do dòng emitter của Q_1 là dòng base của Q_2 nên cặp Darlington có hệ số khuếch đại toàn thể bằng:

$$\beta = \beta_1 \beta_2 \quad (6-21)$$

Nhà máy sản xuất linh kiện bán dẫn có thể đặt cặp transistor Darlington trong một vỏ và gọi là transistor Darlington như hình 6-13b. Ví dụ TP102 là transistor Darlington công suất có hệ số $\beta=1000$ tại dòng bằng 3A.

DARLINGTON BÙ

Hình 6-13c cho thấy một cách nối Darlington khác gọi là Darlington bù. Darlington bù gồm một transistor pnp và một transistor npn. Dòng collector của Q_1 là dòng base của Q_2 . Hệ số β của Darlington bù cũng xác định bởi phương trình (6-21).



Hình 6-14

Ví dụ: Cho mạch trên hình 6-14. Transistor Darlington có $\beta=10000$. Tính trở kháng vào và tín hiệu ra đỉnh - đỉnh cực đại của mạch.

$$r_c = 60\Omega // 30\Omega = 20\Omega$$

Trở kháng vào của Q_1 bằng

$$Z_{in(base)} = 10000(20\Omega) = 200K\Omega$$

Dòng emitter dc của Q_2 là:

$$I_{EQ} = (10V - 1.4V) / 60\Omega = 143mA$$

Thế collector-emitter tĩnh bằng

$$V_{CEQ} = 15V - (60\Omega \cdot 143mA) = 15V - 8.6V = 6.4V$$

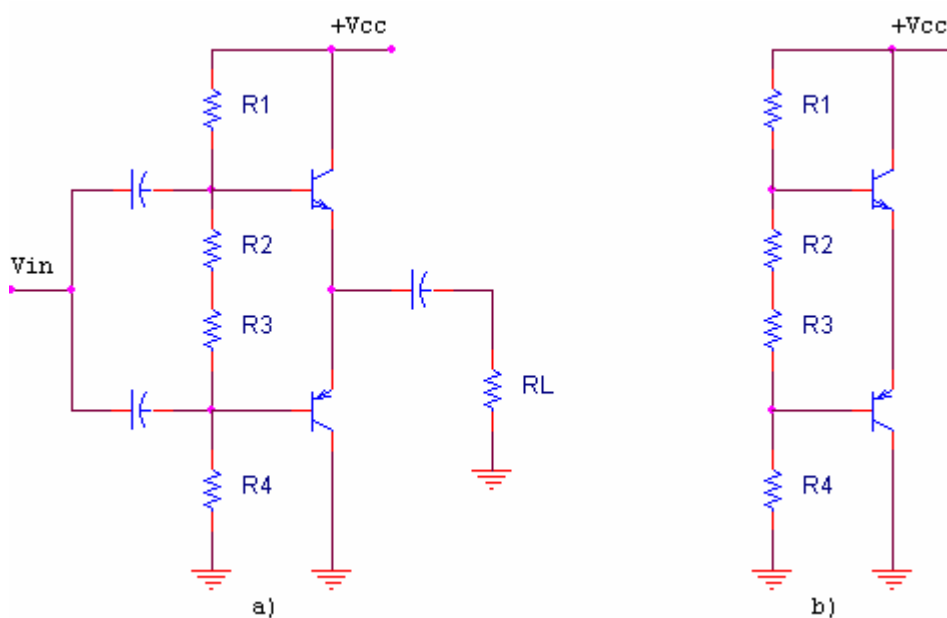
Thế xoay chiều đỉnh tại emitter bằng

$$I_{CQ} \cdot r_c = (143mA)(20\Omega) = 2.86V$$

$$MPP = 2 V_{CEQ} = 2(2.86) = 5.72V$$

VI.9 LẬP LẠI EMITTER ĐẨY KÉO HẠNG B

Khuyếch đại hạng B có nghĩa là dòng collector chỉ tồn tại trong $\frac{1}{2}$ chu kỳ của tín hiệu. Để điều này xảy ra, điểm Q phải ở trong vùng ngưng dẫn. Ưu điểm của khuyếch đại hạng B là dòng cung cấp từ nguồn bé và hiệu suất cao.



Hình 6-15

Hình 6-15a là sơ đồ mạch lặp lại emitter đẩy kéo hạng B.

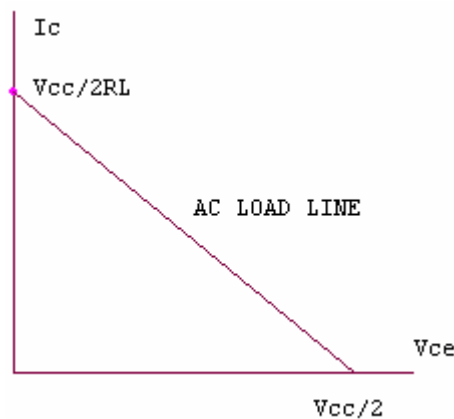
Các điện trở phân cực nhằm setup điểm Q tại vùng ngưng dẫn với thế trên diode emitter cỡ 0.6V đến 0.7V. Một cách lý tưởng thì phân cực hạng B làm cho

$$I_{CQ}=0$$

Vì các điện trở phân cực có giá trị bằng nhau, các diode emitter có điện áp cũng bằng nhau nên thế rơi trên mỗi transistor bằng một nửa giá trị nguồn nuôi, hay

$$V_{CEQ} = V_{CC} / 2 \quad (6-22)$$

ĐƯỜNG TẢI AC



Hình 6-16

Hình 6-16 cho thấy đường tải ac. Khi transistor đang dẫn điểm hoạt động của transistor dịch chuyển dọc theo đường tải từ vị trí ngưng dẫn đến bão hoà. Thế ra cực đại đỉnh đỉnh bằng

$$MPP=V_{CC} \quad (6-23)$$

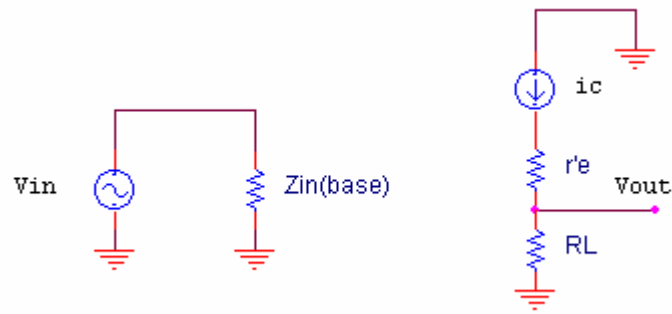
PHÂN TÍCH AC

Hình 6-17 là mạch tương đương của transistor đang dẫn. Mạch này giống mạch tương đương ac của khuếch đại transistor hạng A. Bỏ qua r'_e thì

$$A \approx 1 \quad (6-24)$$

Trở kháng vào của base bằng

$$Z_{in(base)} = \beta R_L \quad (6-25)$$



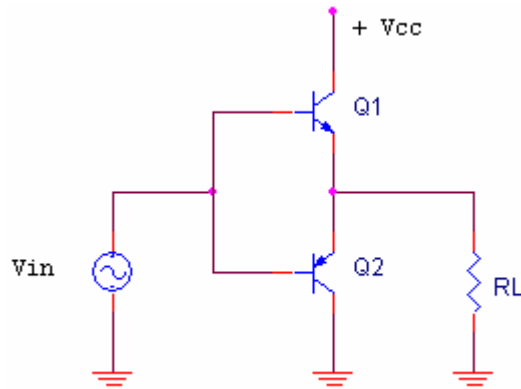
Hình 6-17

Hoạt động tổng quát của mạch như sau:

Nửa chu kỳ dương transistor phía trên dẫn, transistor phía dưới ngưng dẫn. Transistor phía trên giống như một mạch lặp lại emitter thông thường do đó thế trên tải bằng thế vào. Ngược lại, nửa chu kỳ âm transistor phía dưới dẫn, transistor phía trên ngưng dẫn. Transistor phía dưới cũng giống như một mạch lặp lại emitter thông thường do đó thế trên tải bằng thế vào.

Đặc điểm của mạch là có trở kháng vào cao nếu như dùng các transistor Darlington.

MÉO XUYÊN TÂM



Hình 6-18

Nếu không phân cực cho 2 transistor như mạch hình 6-18, thế ra của bộ khuếch đại sẽ bị méo khi tín hiệu vào chưa vượt mức $\pm 0.7V$. Để tránh sai dạng người ta phân cực nhẹ cho transistor để điểm Q nằm phía trên vùng ngưng dẫn một chút. Thông thường chọn I_{CQ} bằng 1 đến 5% của $I_{C(sat)}$.

Các công thức sau đây áp dụng cho khuếch đại đẩy kéo hạng B.

$$G = P_{\text{out}} / P_{\text{in}} \quad (\text{hệ số khuếch đại công suất})$$

$$p_{\text{out}} = v_{\text{out}}^2 / 8R_L \quad (\text{công suất ra ac})$$

$$p_{\text{out(max)}} = MPP^2 / 8R_L \quad (\text{công suất ra ac tối đa})$$

$$P_{\text{dc}} = V_{\text{CC}} I_{\text{dc}} \quad (\text{công suất vào dc})$$

$$\eta = (p_{\text{out}} / p_{\text{in}}) \cdot 100\% \quad (\text{hiệu suất})$$

CÔNG SUẤT TIÊU TÁN CỦA TRANSISTOR

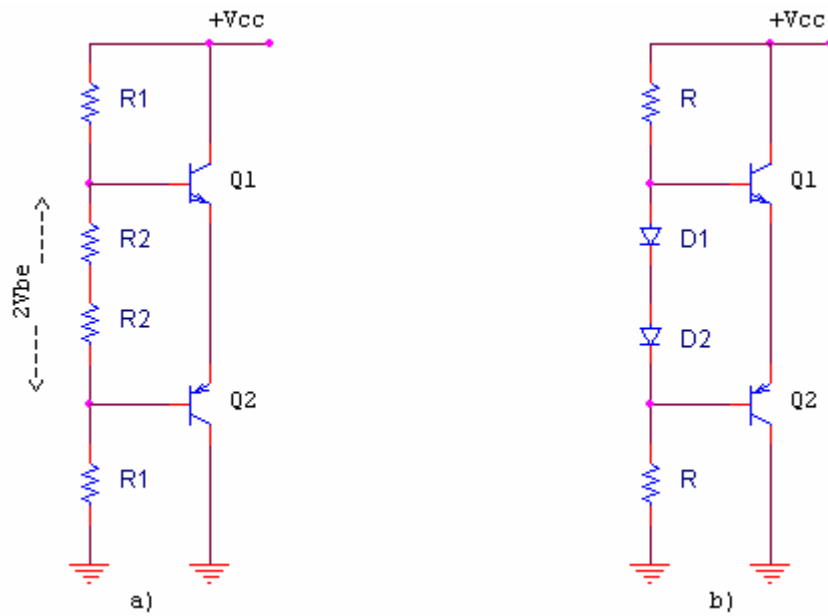
Lý tưởng thì công suất tiêu tán của transistor hạng B bằng 0 vì không có dòng dc. Nếu có phân cực chống méo xuyên tâm thì công suất tiêu tán của transistor cũng rất nhỏ.

Khi có tín hiệu vào, công suất tiêu tán của transistor trở nên đáng kể. Công suất tiêu tán của mỗi transistor trong khuếch đại đẩy kéo hạng B có thể tính theo công thức sau:

$$P_{D(\text{max})} = MPP^2 / 40R_L \quad (6-26)$$

VI.10 PHÂN CỰC KHUYẾCH ĐẠI ĐẨY KÉO HẠNG B

Khó khăn nhất khi thiết kế mạch khuếch đại đẩy kéo hạng B là đặt điểm Q gần vùng ngưng dẫn. Hình 6-19a cho thấy mạch phân cực bằng cầu chia thế. Để tránh sai dạng xuyên tâm người ta phân cực nhẹ cho cặp transistor với $V_{BE} \approx 0.6V$ đến $0.7V$. Nhưng có một khó khăn là dòng collector rất nhạy với thay đổi của thế V_{BE} . Số liệu của transistor cho thấy nếu V_{BE} tăng 60mV thì dòng collector có thể tăng 10 lần. Thường người ta thay điện trở bằng biến trở để chọn điểm Q phù hợp. Nhưng nó vẫn không giải quyết được vấn đề nhiệt độ. Điểm Q có thể rất tốt tại nhiệt độ phòng nhưng nó sẽ thay đổi khi nhiệt độ thay đổi (điều này là không tránh khỏi tại tầng công suất). Với cách phân cực như hình 6-19a thì giả sử nhiệt độ tăng mà thế phân cực base không đổi (trong khi V_{BE} giảm) sẽ làm tăng nhanh chóng dòng collector, kết quả là transistor sẽ bị chết do quá nhiệt.



Hình 6-19

Cần phải bù lại thế phân cực base của transistor khi nhiệt độ thay đổi. Giải pháp là dùng mạch diode bù như hình 6-19b. Tính chất của diode bù phải giống như diode emitter của transistor. Nếu nhiệt độ tăng 1°C thì thế trên diode bù giảm 2mV . Do đó mạch sẽ có tác dụng bù nhiệt độ. Thực tế là khi nhiệt độ tăng thế phân cực sẽ giảm, do đó dòng collector cũng sẽ giảm.

Ví dụ: Cho mạch khuếch đại đẩy kéo hạng B như hình 6-20. Tính dòng collector tĩnh và hiệu suất cực đại của mạch.

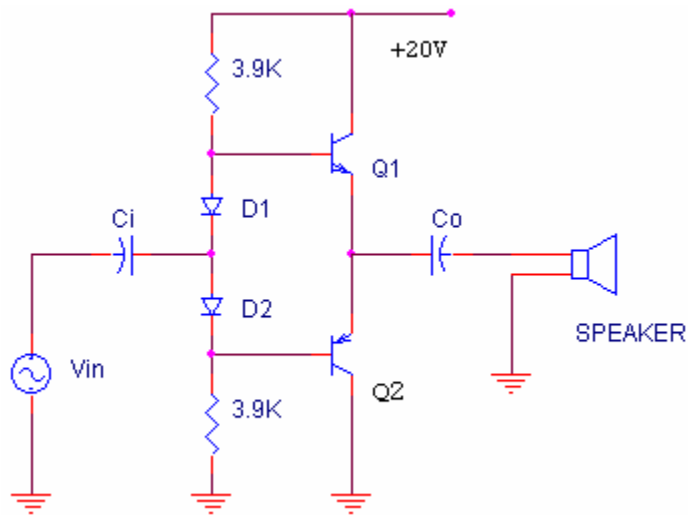
Giải: Dòng phân cực qua diode bù bằng

$$I_{\text{bias}} = (20\text{V} - 1.4\text{V}) / 2(3.9\text{K}) = 2.38\text{mA}$$

Đây chính là giá trị của dòng collector tĩnh do hiệu ứng gương dòng điện.

Dòng collector bão hoà bằng

$$I_{\text{c(sat)}} = V_{\text{CEQ}} / R_{\text{L}} = 10\text{V} / 10 = 1\text{A}$$



Hình 6-20

Giá trị trung bình của dòng collector bằng

$$I_{av} = I_{c(sat)}/\pi = 1A / \pi = 0.318A$$

Dòng collector tổng bằng

$$I_{dc} = 2.38mA + 0.318A = 0.32A$$

Công suất vào dc bằng

$$P_{dc} = (20V)(0.32A) = 6.4W$$

Công suất ra ac cực đại bằng

$$P_{out(max)} = MPP^2/8R_L = (20V)^2 / 8.10 = 5W$$

Hiệu suất của mạch bằng

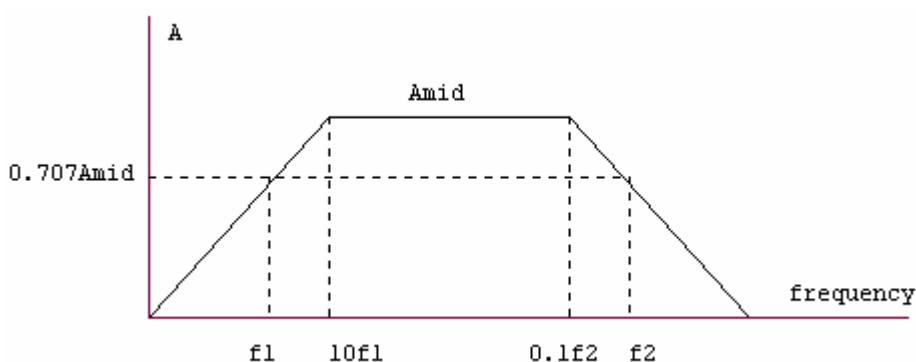
$$\eta = (P_{out}/P_{dc}) \times 100\% = (5/6.4) \times 100\% = 78.1\%$$

Chương VII **CÁC HIỆU ỨNG TẦN SỐ CỦA MẠCH KHUYẾCH ĐẠI**

VII.1 ĐÁP TUYẾN TẦN SỐ CỦA MỘT BỘ KHUYẾCH ĐẠI

Đáp tuyến tần số của một bộ khuếch đại là giản đồ quan hệ giữa hệ số khuếch đại và tần số. Trong phần này chúng ta sẽ phân tích đáp tuyến tần số của một mạch khuếch đại ac và dc.

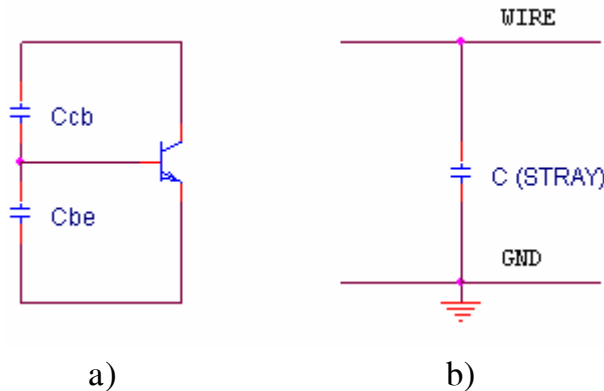
ĐÁP TUYẾN CỦA MẠCH KHUYẾCH ĐẠI AC



Hình 7-1

Hình 7-1 cho thấy đáp tuyến tần số của mạch khuếch đại ac. Ở giữa đáp tuyến hệ số khuếch đại có giá trị lớn nhất. Nói cách khác mạch hoạt động bình thường ở vùng giữa các tần số. Tại tần thấp do các tụ nối và tụ thông dẫn không hoàn toàn nối tắt nên hệ số khuếch đại thể giảm. Càng gần 0Hz hệ số A càng giảm.

Tại tần số cao hệ số A cũng bị suy giảm vì những lý do khác. Chẳng hạn, giữa các mối nối của transistor có các tụ điện ký sinh như hình 7-2a. Những tụ này tạo ra đường thông dẫn cho tín hiệu ac. Ở tần số cao, trở kháng của các tụ này đủ bé và chúng ngăn cản hoạt động bình thường của transistor. Kết quả là giá trị của A bị suy giảm ở tần số cao. Một lý do khác làm cho A suy giảm ở tần số cao là các tụ ký sinh của các dây nối. Về nguyên tắc một dây dẫn là 1 bản tụ. Giữa một dây dẫn và GND hình thành một tụ điện ký sinh như hình 7-2b.



Hình 7-2

TẦN SỐ CẮT

Tần số mà tại đó hệ số khuếch đại thế bằng 0.707 giá trị cực đại gọi là tần số cắt. Trên hình 7-1, f_1 là tần số cắt thấp còn f_2 là tần số cắt cao. Tần số cắt còn được gọi là tần số nửa công suất vì tại tần số cắt công suất ra chỉ bằng $\frac{1}{2}$ công suất cực đại.

MIDBAND

Chúng ta định nghĩa midband của một bộ khuếch đại là vùng của các tần số nằm giữa $10f_1$ và $0.1f_2$. Trong midband hệ số khuếch đại thế xấp xỉ giá trị cực đại và ký hiệu là A_{mid} . Ba đặc trưng quan trọng của một mạch khuếch đại là A_{mid} , f_1 và f_2 .

OUTSIDE THE MIDBAND

Một mạch khuếch đại bình thường chỉ hoạt động trong vùng midband. Tuy nhiên chúng ta sẽ xem xét hệ số khuếch đại thế ở ngoài vùng midband. Đây là công thức tính A cho một mạch khuếch đại ac.

$$A = A_{mid} / ((1 + (f_1/f)^2) + (1 + f/f_2)^2)^{1/2} \quad (7-1)$$

Phương trình này giả sử rằng có 1 tụ nào đó quy định tần số cắt thấp f_1 và một tụ khác quy định tần số cắt cao f_2 .

Có thể thấy rằng tại midband $A = A_{mid}$.

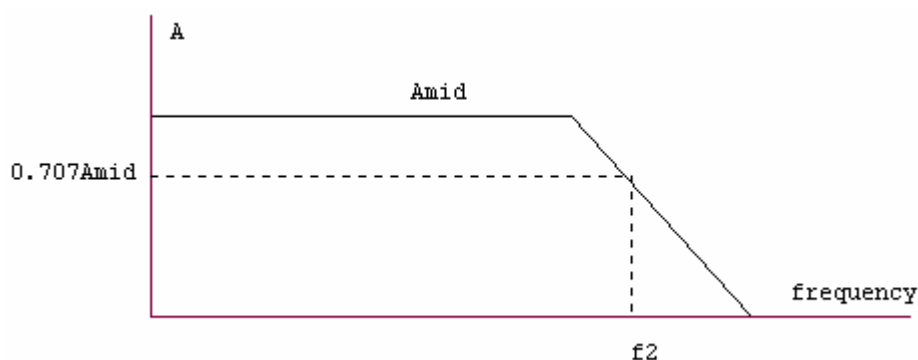
Trên midband

$$A = A_{mid} / (1 + f/f_2)^2 \quad (7-2)$$

Dưới midband

$$A = A_{mid} / (1 + f_1/f)^2 \quad (7-3)$$

ĐÁP TUYẾN CỦA MỘT KHUYẾCH ĐẠI DC



Hình 7-3

Hình 7-3 là đáp tuyến của một bộ khuếch đại dc. Do không có tần số cắt thấp f_1 nên chỉ có 2 thông số của đáp tuyến tần số của bộ khuếch đại dc là A_{mid} và f_2 .

Hầu hết các bộ khuếch đại thường dùng là bộ khuếch đại dc vì chúng được tích hợp trong IC. Đó là các bộ khuếch đại OPAMP. Đặc điểm của khuếch đại OP AMP là hệ số khuếch đại thế rất lớn, trở kháng vào cao, trở kháng ra thấp.

VII.2 SỐ ĐO DECIBEL

Trong phần này chúng ta sẽ xem xét khái niệm decibel như một số đo thông số của mạch khuếch đại. Nhưng trước hết hãy ôn lại một chút lý thuyết toán học về logarit.

Cho phương trình

$$x = 10^y \quad (7-4)$$

Khi đó

$$y = \log_{10} x$$

Thông thường 10 được hiểu ngầm do đó có thể viết

$$y = \log x \quad (7-5)$$

Chẳng hạn

$$y = \log 10 = 1$$

$$y = \log 100 = 2$$

$$y = \log 1000 = 3$$

nếu x tăng 10 lần thì y tăng 1 lần.

$$y=\log 0.1=-1$$

$$y=\log 0.01=-2$$

$$y=\log 0.001=-3$$

nếu x giảm 10 lần thì y giảm 1 lần.

ĐỊNH NGHĨA HỆ SỐ G_{dB}

Chúng ta đã định nghĩa hệ số khuếch đại công suất

$$G = p_{out} / p_{in}$$

Hệ số khuếch đại công suất decibel được định nghĩa là

$$G_{dB} = 10 \log G \quad (7-6)$$

G là đại lượng không có thứ nguyên, do đó G_{dB} cũng không có thứ nguyên, nhưng để tránh nhầm lẫn giữa G và G_{dB} chúng ta thêm đơn vị decibel (dB) sau G_{dB} .

Bảng sau đây cho thấy quan hệ giữa A và A_{dB} cho một vài giá trị điển hình của G.

G	$G_{dB}=10\log G$
1	0
2	+3
0.5	-3
10	+10
0.01	-10
100	+20
1000	+30

ĐỊNH NGHĨA HỆ SỐ A_{dB}

Chúng ta đã định nghĩa hệ số khuếch đại thế

$$A = v_{out} / v_{in}$$

Hệ số khuếch đại thế decibel được định nghĩa là

$$A_{dB} = 20 \log A \quad (7-7)$$

Lý do của việc sử dụng hệ số 20 thay cho hệ số 10 trong phương trình (7-7) là vì công suất tỷ lệ với bình phương hiệu điện thế. Theo (7-7) nếu một mạch khuếch đại có hệ số $A=10^5$ thì hệ số khuếch đại thế decibel bằng

$$A_{dB} = 20 \log 10^5 = 100dB$$

Bảng sau đây cho thấy quan hệ giữa A và A_{dB} cho một vài giá trị điển hình của A.

A	$A_{dB} = 20\log A$
1	0
2	+6
0.5	-6
10	+20
0.01	-20
100	+40
1000	+60

Khi biết G_{dB} hoặc A_{dB} có thể tính ra hệ số khuếch đại công suất G và hệ số khuếch đại thế A theo phương trình sau

$$G = \text{antilog}(G_{dB}/10) \quad (7-8)$$

$$A = \text{antilog}(A_{dB}/20) \quad (7-9)$$

Đại lượng Decibel đôi khi còn dùng như một số đo chuẩn của công suất hoặc thế.

CÔNG SUẤT MILLIWATT

Decibel đôi khi được dùng để đo công suất lớn hơn 1 mW. Khi đó người ta ký hiệu là dBm (chữ m là viết tắt của milliwatt).

$$P_{dBm} = 10\log(P/1\text{mW}) \quad (7-10)$$

Ví dụ nếu công suất là 2W thì

$$P_{dBm} = 10\log(2\text{W}/1\text{mW}) = 10\log 2000 = 33\text{dBm}$$

Có thể tính ra P nếu biết dBm theo phương trình sau:

$$P = \text{antilog}(P_{dBm}/10) \quad (7-11)$$

(mW)

Bảng sau cho thấy quan hệ giữa công suất P và P_{dBm}

Power	P_{dBm}
1 μ W	-30
10 μ W	-20
100 μ W	-10
1mW	0
10mW	10
100mW	20
1W	30

THẾ CHUẨN 1VOLT

Decibel đôi khi cũng được dùng để đo mức thế lớn hơn 1V. Khi đó người ta ký hiệu là dBV (chữ V là viết tắt của Volt).

$$V_{\text{dBV}} = 20 \log V \quad (7-12)$$

Ví dụ nếu thế là 25V thì

$$V_{\text{dBV}} = 20 \log 25 = 28 \text{ dBV}$$

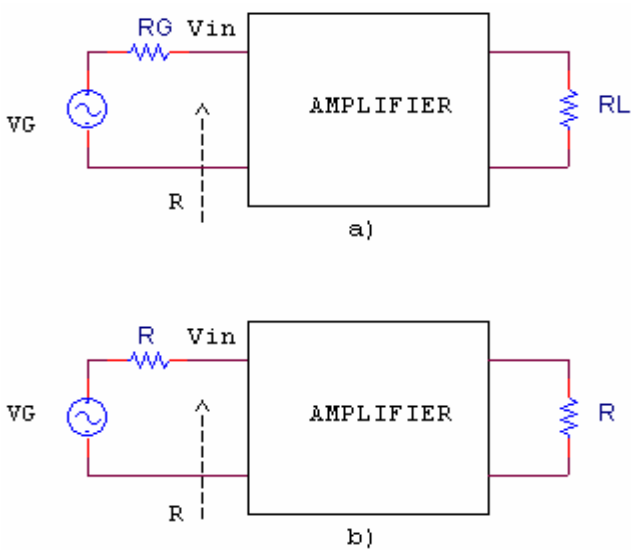
Có thể tính ra V nếu biết dBV theo phương trình sau:

$$V = \text{antilog} (V_{\text{dBV}} / 20) \quad (7-13)$$

Bảng sau cho thấy quan hệ giữa thế V và V_{dBV}

Voltage	V_{dBV}
$10\mu\text{V}$	-50
$100\mu\text{V}$	-40
1mV	-30
10mV	-20
100mV	-10
1V	0
10V	+10
100V	+20

VII.3 PHỐI HỢP TRỞ KHÁNG



Hình 7-4

Hình 7-4a cho thấy một tầng khuếch đại có trở kháng nguồn là R_G , điện trở vào R_{in} , điện trở ra R_{out} và trở tải là R_L . Về nguyên tắc giá trị các trở kháng vào ra ấy là khác nhau.

Trong các hệ thống truyền tin như microware, television, telephone, network... thường có điều kiện phối hợp trở kháng, nghĩa là

$$R_G = R_{in} = R_{out} = R_L$$

Hình 7-4b mô tả ý tưởng này. Tất cả các điện trở bằng nhau và bằng R . Trở kháng R bằng 50Ω trong các hệ thống viba, 75Ω đối với cable đồng trục (cable mạng) hoặc 300Ω trong cable truyền hình hay 600Ω trong cable điện thoại. Sự phối hợp trở kháng được dùng trong các hệ thống này vì nó tạo ra công suất truyền tối đa.

Trên hình 7-4b, công suất vào bằng

$$p_{in} = v_{in}^2 / R$$

Công suất ra bằng

$$p_{out} = v_{out}^2 / R$$

Hệ số khuếch đại công suất

$$G = p_{out} / p_{in} = v_{out}^2 / v_{in}^2$$

$$\text{Vậy} \quad G = A^2 \quad (7-14)$$

Theo (7-14) hệ số khuếch đại công suất bằng bình phương hệ số khuếch đại thế trong các hệ thống có phối hợp trở kháng.

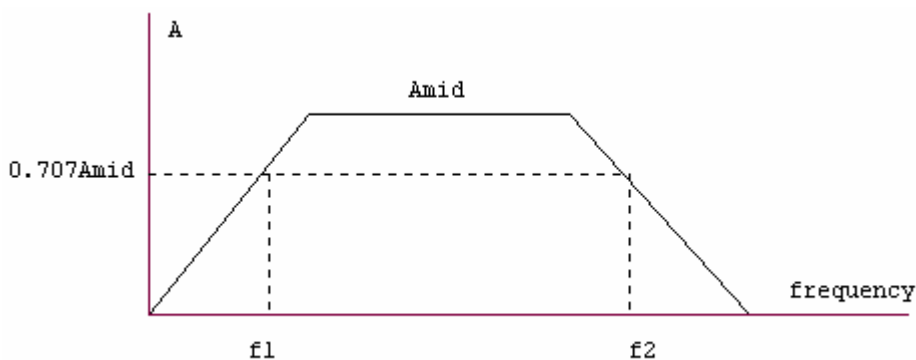
Biểu diễn bằng decibel thì

$$G_{dB} = 10\log G = 10\log A^2 = 20\log A$$

$$\text{Suy ra} \quad G_{dB} = A_{dB} \quad (7-15)$$

Theo (7-15), hệ số khuếch đại công suất decibel bằng hệ số khuếch đại thế decibel trong các hệ thống có phối hợp trở kháng.

VII.4 GIẢN ĐỒ BODE



Hình 7-5

Hình 7-5 cho thấy đáp tuyến tần số của một bộ khuếch đại ac. Mặc dù nó chứa một số thông tin như hệ số khuếch đại tần số giữa và các tần số cắt nhưng nó không cho phép mô tả đầy đủ về hoạt động của một bộ khuếch đại. Giản đồ Bode là công cụ cho nhiều thông tin hơn về hoạt động của một bộ khuếch đại ở ngoài vùng tần số giữa.

OCTAVES

Trong hệ 2, một số đứng bên trái một số khác lớn hơn nó 2 lần. Trong âm nhạc, từ octave có nghĩa là gấp đôi về tần số. Khi di chuyển lên trên một octave chúng ta có tần số gấp đôi.

Trong điện tử, octave có nghĩa tương tự.

Khi $f_1/f = 2$ chúng ta nói rằng f dưới f_1 một octave.

Khi $f/f_2 = 2$ chúng ta nói rằng f trên f_2 một octave.

DECADES

Decades có nghĩa tương tự octave nhưng dùng hệ số 10 thay vì hệ số 2.

Khi $f_1/f = 10$ chúng ta nói rằng f dưới f_1 một decade.

Khi $f/f_2 = 10$ chúng ta nói rằng f trên f_2 một decade.

THANG ĐO TUYẾN TÍNH VÀ THANG ĐO LOGARIT

Các giản đồ thông thường là giản đồ dùng thang đo tuyến tính trên cả 2 trục. Điều này có nghĩa là khoảng cách giữa các số là giống nhau đối với mọi giá trị trên trục số như hình 7-6a. Trong thang đo tuyến tính các số bắt đầu từ số 0 và tăng tuyến tính đến các số lớn.



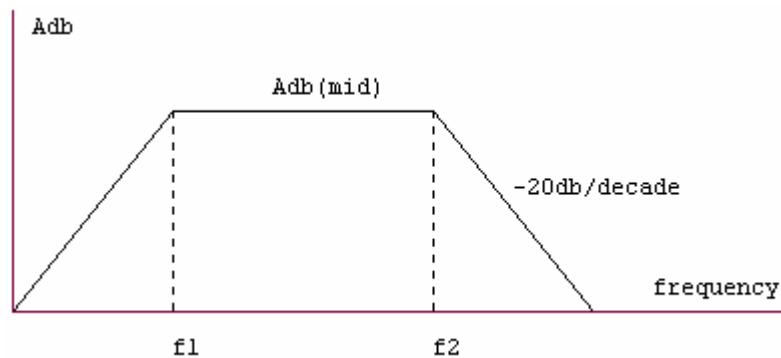
Hình 7-6

Đôi khi chúng ta dùng thang đo logarit vì nó nén các giá trị rất lớn của số liệu và cho phép chúng ta nhìn thấy nhiều decade. Hình 7-6b cho thấy một thang đo logarit. Lưu ý rằng số được đánh từ 1. Khoảng cách giữa 1 và 2 là lớn hơn khoảng cách giữa 9 và 10. Thang đo logarit thích hợp với các số đo

decibel. Ngoài thang đo tuyến tính và thang đo logarit người ta còn dùng thang đo bán logarit. Thang đo bán logarit dùng thang đo tuyến tính trên trục tung còn trục hoành dùng thang đo logarit. Chúng ta dùng thang đo bán logarit để biểu diễn các quan hệ như hệ số khuếch đại thế trên nhiều decade của tần số.

GIẢN ĐỒ DECIBEL CỦA HỆ SỐ KHUYẾT ĐẠI THỂ

Hình 7-7 chỉ ra đáp tuyến tần số của một bộ khuếch đại ac.



Hình 7-7

Giản đồ tương tự hình 7-5, nhưng chúng ta biểu thị hệ số khuếch đại bằng decibel theo tần số trên thang logarit. Giản đồ như vậy gọi là giản đồ Bode. Trục tung là thang đo tuyến tính còn trục hoành là thang đo logarit.

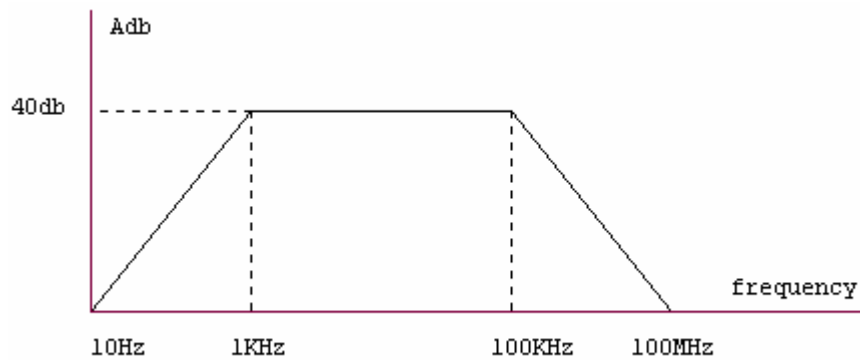
Theo giản đồ, hệ số khuếch đại decibel đạt giá trị cực đại ở giữa. Tại tần số cắt hệ số khuếch đại giảm và giảm với tốc độ 20dB/dec.

Tại tần số cắt, hệ số khuếch đại thế bằng 0.707. Do đó hệ số khuếch đại theo decibel tại tần số cắt bằng

$$A_{dB} = 20\log 0.707 = -3dB$$

Giản đồ Bode hình 7-7 là giản đồ Bode lý tưởng đã được lý tưởng hoá. Giản đồ Bode lý tưởng cho phép vẽ đáp tuyến tần số của một bộ khuếch đại nhanh và dễ dàng.

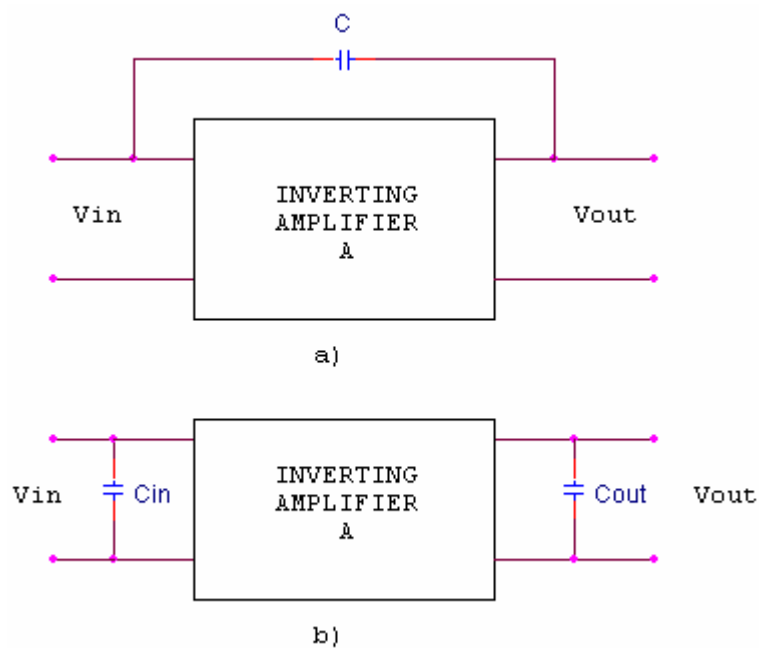
Ví dụ chúng ta có giản đồ Bode lý tưởng như hình 7-8. Chúng ta có thể thấy các thông tin sau đây. Hệ số khuếch đại giữa là 40dB. Tần số cắt là 1KHz và 100KHz. Độ dốc của đặc tuyến bên dưới và trên tần số cắt là 20dB/dec. Ngoài ra chúng ta cũng thấy rằng hệ số khuếch đại thế decibel bằng 0dB ($A=1$) tại tần số 10Hz và 100MHz.



Hình 7-8

VII.5 HIỆU ỨNG MILLER

Hình 7-9a chỉ ra một mạch khuếch đại đảo có hệ số khuếch đại thế bằng A. Trên hình 7-9a, tụ điện C nối giữa lối vào và ra của bộ khuếch đại gọi là tụ phản hồi bởi vì tín hiệu lối ra được đưa trở lại lối vào.



Hình 7-9

Mạch như thế rất khó phân tích vì tụ phản hồi ảnh hưởng đến cả mạch lối ra lẫn mạch lối vào.

Định lý Miller cho phép phân tích tụ phản hồi thành 2 tụ riêng rẽ như hình 7-9b. Trong đó

$$C_{in} = C(A+1) \quad (7-16)$$

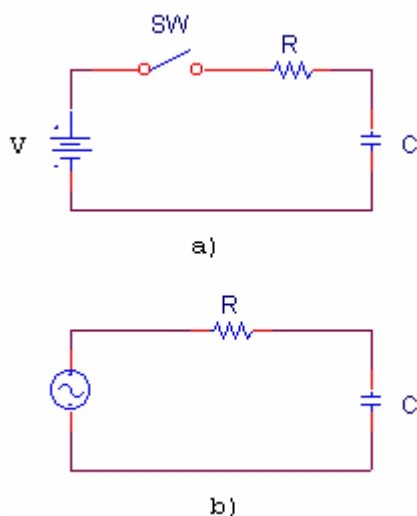
$$C_{out} = C(A+1)/A \quad (7-17)$$

Có thể thấy rằng $C_{out} \approx C$ nhưng C_{in} lớn hơn tụ phản hồi $A+1$ lần. Hiện tượng này gọi là hiệu ứng Miller. Nó được dùng để tạo ra một tụ ảo lớn hơn tụ phản hồi nhiều lần.

Mặt khác hiệu ứng Miller còn cho thấy rằng tụ phản hồi tạo ra một mạch trễ (lag circuit) ở lối vào của bộ khuếch đại. Chính tụ C_{in} là tụ chủ yếu quy định tần số cắt thấp của bộ khuếch đại.

QUAN HỆ GIỮA BANDWIDTH VÀ THỜI GIAN TĂNG

Xét mạch RC ở đầu vào của bộ khuếch đại. Ban đầu tụ không tích điện như hình 7-10a.



Hình 7-10

Nếu đóng mạch tụ sẽ được nạp theo hàm mũ từ giá trị 0 đến nguồn cung cấp V . Thời gian tăng T_R của mạch RC được định nghĩa là thời gian mà thế trên tụ tăng từ 10% đến 90% giá trị cực đại.

Dễ dàng tính được

$$T_R = 2.2RC \quad (7-18)$$

Thời gian tăng lớn hơn thời hằng RC một chút.

Như đã nói trên, một bộ khuếch đại dc có một mạch trễ RC ở lối vào mà nó làm cho hệ số khuếch đại thế decibel giảm 20dB/dec. Tần số cắt của mạch RC này cho bởi

$$f_2 = 1/2\pi RC$$

Lưu ý đến phương trình (7-18) thì

$$f_2 = 0.35/T_R \quad (7-19)$$

Phương trình (7-19) là quan hệ giữa thời gian tăng và band thông của mạch. Trong mạch khuếch đại dc band thông có nghĩa là tất cả các tần số từ 0 đến tần số cắt. Band thông là cách nói khác của tần số cắt. Chẳng hạn nói một mạch khuếch đại dc có band thông 100KHz có nghĩa là tần số cắt của mạch cũng là 100KHz.

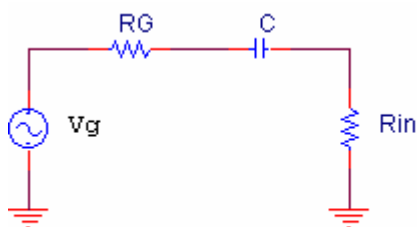
VII.6 PHÂN TÍCH TẦN SỐ CỦA BỘ KHUYẾCH ĐẠI

Chúng ta sẽ phân tích ở đây các hiệu ứng tần số của một bộ khuếch đại CE phân cực bằng cầu chia thế.

Tần số cắt thấp f_l của bộ khuếch đại CE quy định bởi:

a) Tụ nối vào

Khi một tín hiệu ac được đưa vào bộ khuếch đại, mạch tương đương như hình 7-11.



Hình 7-11

Mạch nối có tần số cắt bằng

$$f_l = 1/2\pi RC \quad (7-20)$$

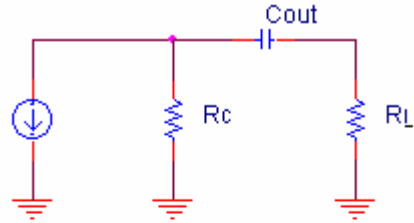
trong đó R gồm R_G và R_{in} .

b) Tụ nối ra

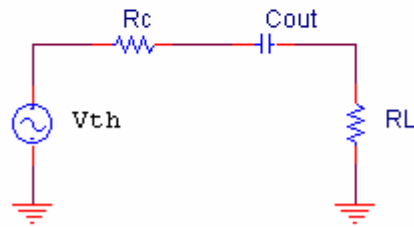
Hình 7-12a cho thấy mạch tương đương lối ra của một bộ khuếch đại.

Áp dụng định lý Thevenin chúng ta thu được mạch hình 7-12b.

Có thể dùng (7-20) để tính tần số cắt thấp, trong đó R bằng tổng của R_L và R_C



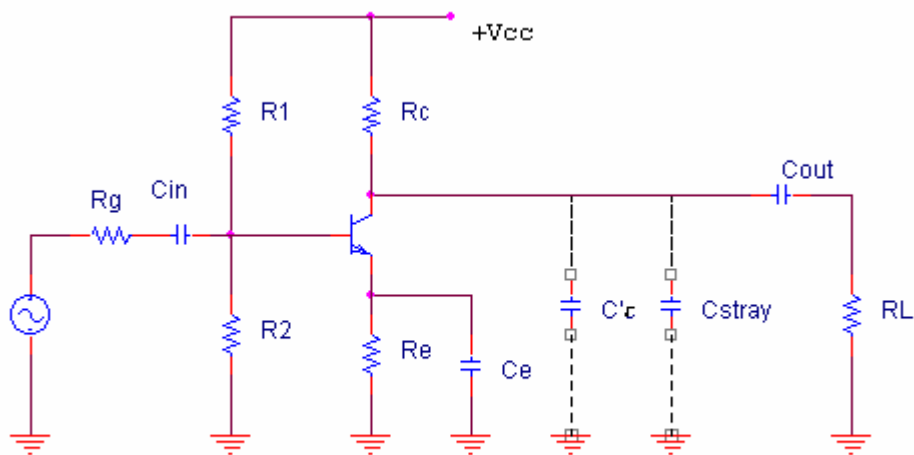
a)



b)

Hình 7-12

Tần số cắt cao f_2 của khuếch đại CE quy định bởi các tụ ký sinh trên collector



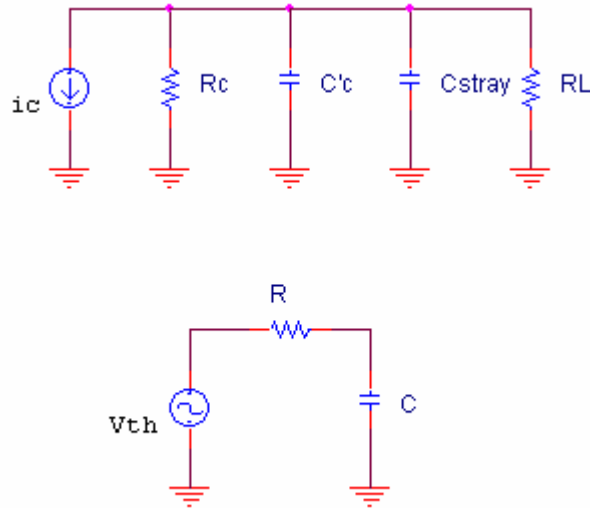
Hình 7-13

Hình 7-13 cho thấy một mạch CE với tụ ký sinh C_{stray} . Tụ C'_c là tụ giữa cực C và cực B bên trong transistor. Mặc dù C_{stray} và C'_c rất bé nhưng tại tần số cao chúng sẽ có ảnh hưởng.

Hình 7-14 là mạch tương đương Thevenin của mạch hình 7-13. Tần số cắt của mạch này là

$$f_2 = 1/2\pi RC \quad (7-22)$$

trong đó $R = R_L // R_C$ và $C = C_{\text{stray}} + C'_c$



Hình 7-14

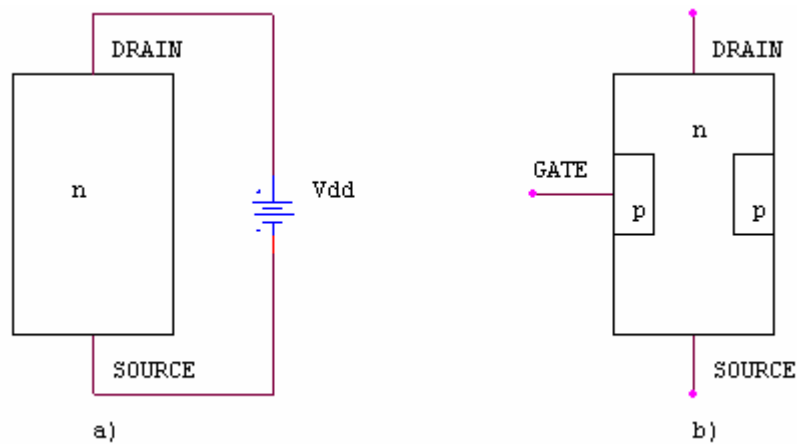
Chương VIII **CÁC LINH KIẾN BÁN DẪN ĐẶC BIỆT**

Transistor lưỡng cực có 2 loại điện tích: electron tự do và lỗ trống. Điều này giải thích tại sao gọi là transistor lưỡng cực. Trong chương này chúng ta sẽ xem xét một loại transistor khác gọi là transistor hiệu ứng trường (field effect transistor- FET). Thiết bị này là đơn cực vì hoạt động của nó chỉ dựa trên một loại điện tích hoặc là electron tự do hoặc là lỗ trống. Nói cách khác FET chỉ có phần tử tải cơ bản mà không có phần tử tải không cơ bản.

Đối với hầu hết các ứng dụng tuyến tính, transistor thích hợp hơn. Nhưng có một số ứng dụng, FET lại có nhiều ưu điểm hơn do trở kháng vào cao và một số đặc trưng khác. Mặt khác trong các thiết bị số, FET lại tốt hơn transistor vì nó có tốc độ nhanh hơn transistor.

Có 2 loại transistor đơn cực là JFET và MOSFET. Trong chương này sẽ xem xét chúng.

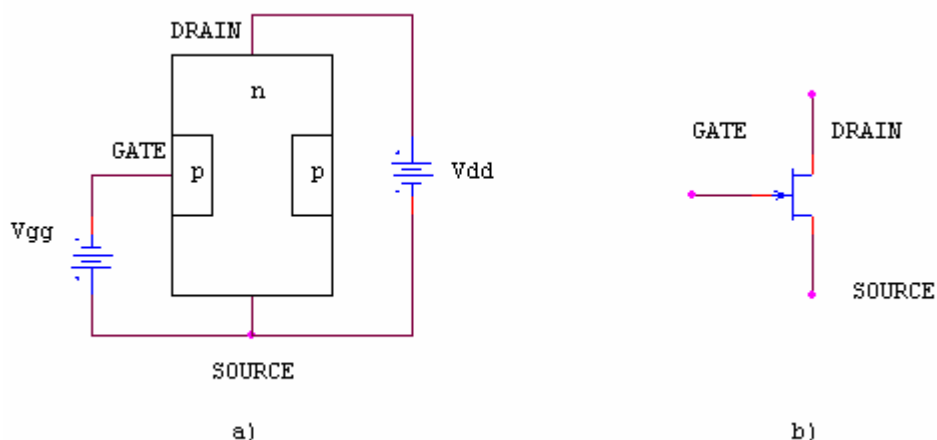
VIII.1 JFET (Junction FET)



Hình 8-1

Hình 8-1a cho thấy một mẫu bán dẫn loại n. Đầu phía dưới gọi là nguồn (Source), đầu phía trên gọi là máng (Drain). Nguồn cung cấp V_{DD} buộc các electron chảy thành dòng từ nguồn đến máng. Để có JFET, nhà máy pha tạp 2 vùng p vào thanh bán dẫn loại n như hình 8-1b. Các vùng bán dẫn loại p này được nối ở bên trong và chỉ có một đầu ra gọi là cực cổng G.

Hình 8-2a cho thấy mạch phân cực cho JFET.



Hình 8-2

Đối với JFET, chúng ta luôn luôn phân cực ngược diode cổng nguồn. Do phân cực ngược, dòng cổng xấp xỉ bằng 0. Điều này có nghĩa là JFET có điện trở vào bằng vô cùng (thường là hàng trăm $M\Omega$). Đây là ưu điểm của JFET so với transistor. Đó là lý do giải thích vì sao JFET là rất tốt trong các ứng dụng yêu cầu trở kháng vào cao, chẳng hạn bộ lặp lại nguồn (source follower).

THỂ GATE ĐIỀU KHIỂN DÒNG MÁNG

Trên hình 8-2a, các electron chảy từ nguồn đến máng phải qua kênh hẹp giữa các vùng nghèo. Khi thể phân cực âm hơn, lớp nghèo rộng ra và kênh dẫn của JFET hẹp hơn. Rõ ràng là bằng cách thay đổi thể V_{GS} có thể điều khiển dòng điện chảy giữa nguồn và máng.

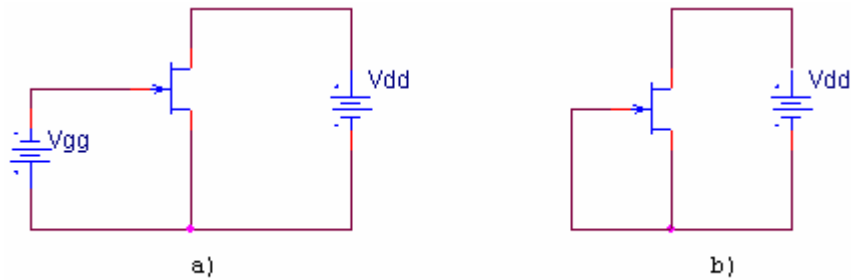
JFET là thiết bị điều khiển bởi điện thế vì thế vào điều khiển dòng ra. Trong JFET, thể V_{GS} quy định dòng máng nguồn. Khi V_{GS} bằng 0 dòng máng là cực đại. Khi V_{GS} đủ lớn hai vùng nghèo chạm nhau thì dòng máng bằng không.

Hình 8-2b là sơ đồ ký hiệu của JFET kênh n vì kênh dẫn giữa nguồn và máng là bán dẫn loại n. Trong các ứng dụng tần số thấp cực máng D và cực nguồn G là có thể đổi chỗ cho nhau. Nhưng trong các ứng dụng tần số cao thì không thể trao đổi D và G vì tụ tập tán giữa DG và DS là khác nhau đáng kể.

Ngoài JFET kênh n còn có JFET kênh p. Ký hiệu JFET kênh p như JFET kênh n nhưng mũi tên hướng ngược lại. Hoạt động của JFET kênh p là bổ túc với JFET kênh n.

ĐƯỜNG CONG MÁNG

Hình 8-3a cho thấy một mạch phân cực JFET.



Hình 8-3

Trong mạch này thế V_{GS} bằng nguồn V_{GG} và thế nguồn máng V_{DS} bằng thế nguồn cực máng V_{DD} .

Cố định $V_{GS}=0V$ (bằng cách ngắn mạch cực cổng như hình 8-3b) và bằng cách thay đổi thế V_{DS} chúng ta sẽ thu được đường cong $I_{DS}(V_{DS})$.

Khi tăng V_{DS} từ giá trị 0, dòng I_{DS} tăng tuyến tính. Khi $V_{DS}=V_P$ thì dòng I_{DS} đạt đến giá trị bão hoà I_{DSS} . Khi V_{DS} vượt quá $V_{DS(max)}$ dòng qua JFET tăng nhanh do nó bị đánh thủng. Giá trị V_P gọi là thế pinchoff.

Vùng tác động của JFET nằm giữa V_P và $V_{DS(max)}$. Trong vùng này JFET đóng vai trò một nguồn dòng có giá trị I_{DSS} khi $V_{GS}=0$.

Vùng giới hạn bởi thế V_P và $V_{DS}=0$ gọi là vùng ohmic. Đó là vùng mà JFET hoạt động như một điện trở có giá trị bằng:

$$R_{DS} = V_P / I_{DSS}$$

Chẳng hạn nếu $V_P=4V$ và $I_{DSS}=10mA$ thì

$$R_{DS} = 4V / 10mA = 400\Omega$$

Khi JFET này hoạt động trong vùng Ohmic nó luôn luôn có điện trở bằng 400Ω .

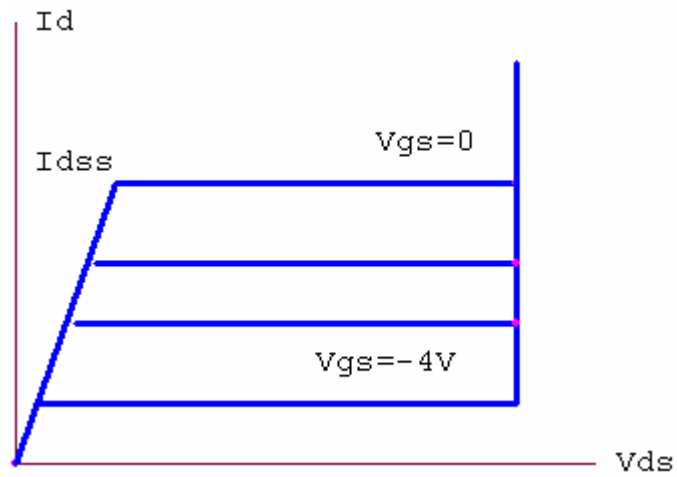
Hình 8-4 là họ đặc tuyến $I_{DS}(V_{DS})$.

Đường cong trên cùng ứng với $V_{GS}=0$. Đường cong dưới cùng ứng với trường hợp $V_{GS} = -4V$, tại đó dòng máng hầu như bằng 0. Thế này gọi là thế tắt cực cổng, ký hiệu là $V_{GS(off)}$.

Thế $V_P=4V$ và thế $V_{GS(off)} = -4V$

Điều này không phải ngẫu nhiên vì ứng với chúng, các vùng nghèo điện tích chạm nhau. Các bảng tra cứu cho một trong hai giá trị này và chúng ta suy ra giá trị còn lại nhờ phương trình

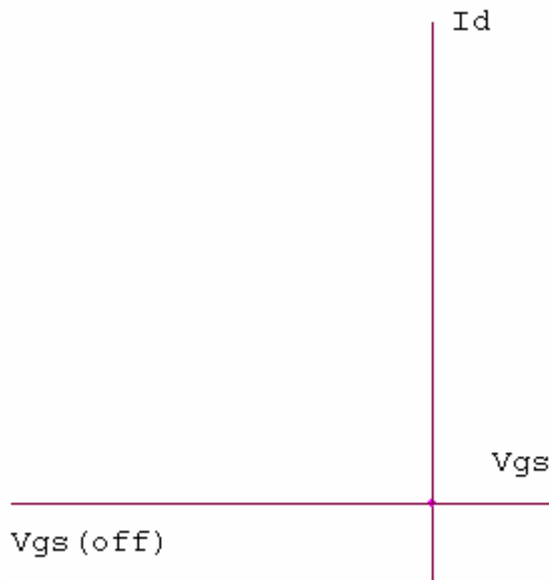
$$V_p = -V_{GS(off)} \quad (8-1)$$



Hình 8-4

Đường cong truyền dẫn

Đường cong truyền dẫn của JFET là đường cong quan hệ I_D và V_{GS} như hình 8-5a.



Hình 8-5

Đường cong truyền dẫn của mọi JFET là giống nhau như hình 8-5. Các điểm đầu cuối của chúng là $V_{GS(off)}$ và I_{DSS} .

Phương trình của đường cong này là:

$$I_D = I_{DSS}(1 - V_{GS} / V_{GS(off)})^2 \quad (8-2)$$

VIII.2 PHÂN CỰC JFET

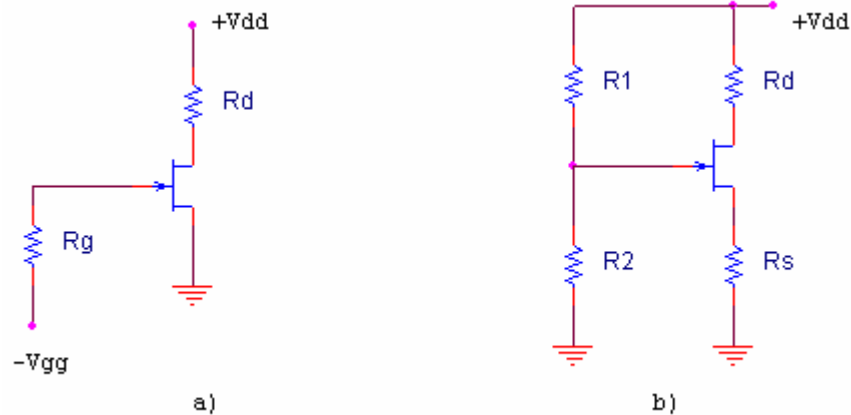
Hình 8-6a cho thấy mạch phân cực cực cổng. Một nguồn âm $-V_{GG}$ áp vào cực cổng thông qua trở phân cực R_G . Điều này tạo ra dòng máng nhỏ hơn dòng máng bão hoà I_{DSS} . Thế máng bằng

$$V_D = V_{DD} - I_D R_D \quad (8-3)$$

Phân cực cực cổng là phân cực kém ổn định nhất. Tuy nhiên người ta hay dùng cách phân cực này khi sử dụng JFET trong vùng điện trở.

PHÂN CỰC TRONG VÙNG TÁC ĐỘNG

Hình 8-5b cho thấy mạch phân cực bằng cầu chia thế.



Hình 8-6

Thế trên điện trở nguồn R_S bằng

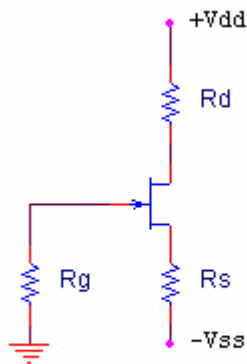
$$V_S = V_G - V_{GS} \quad (8-4)$$

Dòng máng

$$I_D = (V_G - V_{GS}) / R_S \approx V_G / R_S \quad (8-5)$$

PHÂN CỰC BẰNG NGUỒN ĐÔI

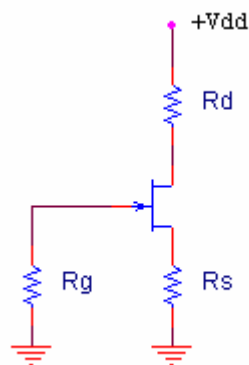
Hình 8-7 cho thấy mạch phân cực cho JFET bằng nguồn đôi.
Dòng máng cho bởi



Hình 8-7

$$\begin{aligned} I_D &= (V_{SS} - V_{GS})/R_S \\ &= V_{SS}/R_S \end{aligned} \quad (8-6)$$

Theo (8-6) dòng máng gần như không phụ thuộc nhiệt độ và bản thân JFET.



Hình 8-8

TỰ PHÂN CỰC

Hình 8-8 cho thấy mạch tự phân cực của JFET.

Dòng máng tạo ra thế trên cực nguồn bằng

$$V_S = I_D R_S \quad (8-7)$$

Do đó thế

$$V_{GS} = - I_D R_S \quad (8-8)$$

HỆ SỐ TRUYỀN DẪN CỦA JFET

Để phân tích một mạch khuếch đại dùng JFET chúng ta định nghĩa hệ số truyền dẫn (Transconductance) của JFET như sau:

$$g_m = i_d / v_{gs} \quad (8-8)$$

Trong đó i_d là dòng máng ac còn v_{gs} là thế cổng nguồn ac.

g_m cho thấy ảnh hưởng của thế nguồn cổng trong việc điều khiển dòng máng.

Rõ ràng rằng g_m càng lớn thì với v_{gs} cho trước có thể tạo dòng máng lớn hơn.

Ví dụ nếu $i_d=0.2\text{mA}$ và $v_{gs}=0.1\text{V}_{pp}$ thì

$$g_m = 0.2\text{mA} / 0.1\text{V} = 2 \cdot 10^{-3} \text{ mho} = 2000 \mu\text{S}$$

Đơn vị của hệ số truyền dẫn là mho hay Siemen (S)

Liên hệ giữa g_{m0} và $V_{GS(off)}$ của một JFET như sau

$$V_{GS(off)} = -2I_{DSS} / g_{m0} \quad (8-10)$$

Trong đó g_{m0} là g_m tại $V_{GS}=0$.

Hệ số truyền dẫn tại V_{GS} bất kỳ tính theo công thức

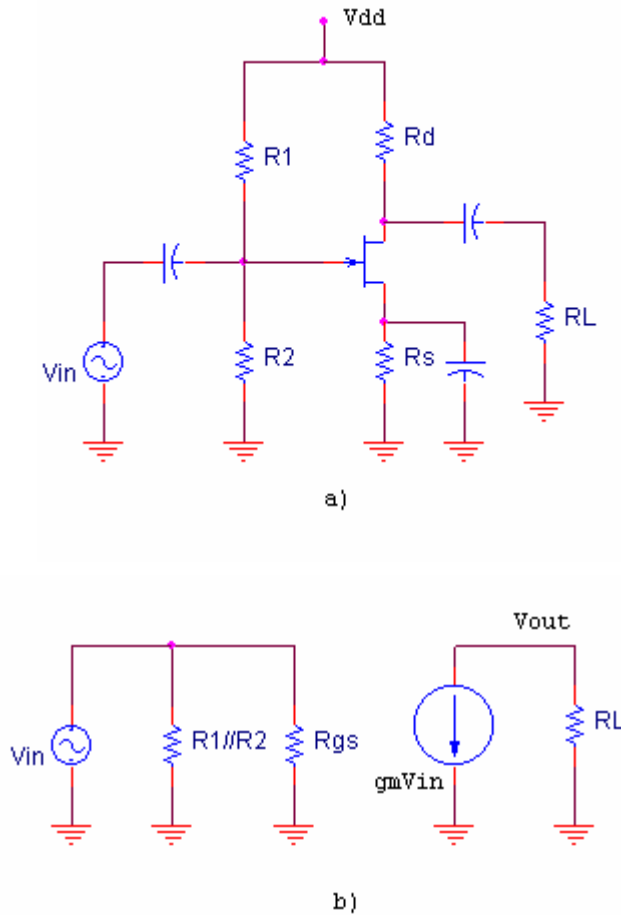
$$g_m = g_{m0} (1 - V_{GS} / V_{GS(off)}) \quad (8-11)$$

VIII.3 KHUYẾCH ĐẠI DÙNG JFET

Hình 8-9a cho thấy một mạch khuếch đại dùng JFET kiểu nguồn chung CS. Ở chế độ ac các tụ là ngắn mạch. Nguồn ac vào được đặt lên các cực GS. Điều này tạo ra dòng máng ac. Dòng máng ac tạo sụt thế trên trở máng R_D . Thế trên cực máng của JFET là đã được khuếch đại đảo pha so với thế vào.

Hình 8-9b cho thấy mạch tương đương ac. Điện trở máng r_d bằng

$$r_d = R_D // R_L$$



Hình 8-9

Hệ số khuếch đại thế bằng

$$A = v_{out} / v_{in} = g_m v_{in} r_d / v_{in}$$

$$= g_m r_d \quad (8-12)$$

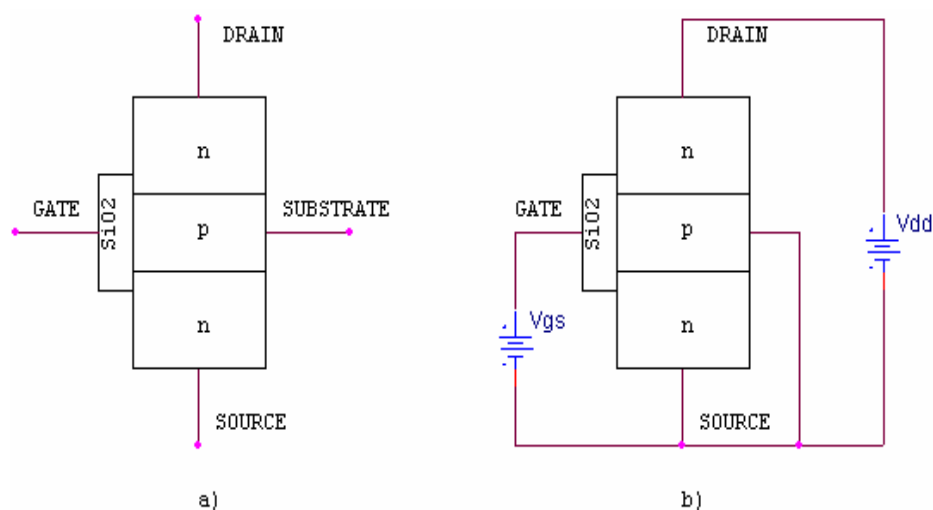
JFET thường dùng trong các mạch khuếch đại lỗi vào nhiễu thấp, các bộ đệm. JFET cũng thường dùng trong các chuyển mạch số, các bộ dồn và tách kênh. Một số ứng dụng dùng FET như một điện trở điều khiển bởi điện thế (mạch AGC).

VIII.4 MOSFET

FET bán dẫn oxit kim loại (Metal Oxide Semiconductor FET) là thiết bị 3 cực: Cổng, Nguồn và Máng như FET. Nhưng cực cổng của MOSFET cách điện hoàn toàn với kênh dẫn. Do đó dòng cổng của MOSFET nhỏ hơn dòng cổng của JFET.

Có 2 loại MOSFET là MOSFET chế độ hiếm và MOSFET chế độ cải tiến. MOSFET chế độ cải tiến được dùng rộng rãi trong mạch rời cũng như mạch tích hợp. Trong mạch tích hợp MOSFET dùng chủ yếu như digital switch, một quá trình cơ bản trong máy tính.

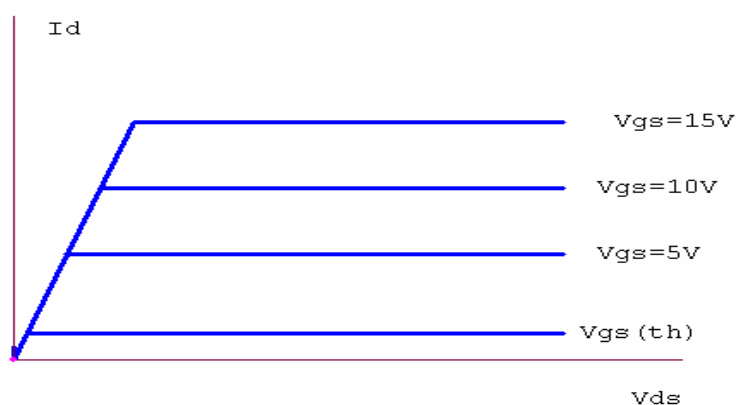
Trong phần này chỉ trình bày MOSFET cải tiến, còn gọi là E-MOSFET. Hình 8-10a cho thấy một E-MOSFET.



Hình 8-10

Cực cổng là cách điện hoàn toàn với kênh dẫn bằng SiO_2 . Vùng P gọi là Substrate. Khi phân cực Substrate được nối với cực nguồn. E-MOSFET dùng thế cổng nguồn V_{GS} dương. Khi $V_{GS}=0$ kênh dẫn giữa S và D bị nghẽn. Khi V_{GS} dương, nó hút các electron tự do vào vùng P. Tại đây chúng bị tái hợp với lỗ trống bên cạnh lớp silicon oxide. Khi V_{GS} đủ lớn, nó làm các lỗ trống gần lớp oxide silicon bị lấp đầy và do đó tạo ra một lớp bán dẫn loại n. Khi nó tồn tại các electron có thể chảy từ cực nguồn đến cực máng tạo ra dòng máng. Thế V_{GS} tối thiểu tạo ra lớp bán dẫn loại n gọi là thế ngưỡng, ký hiệu là $V_{GS(th)}$. Giá trị của $V_{GS(th)}$ thường là từ 1 đến 3V.

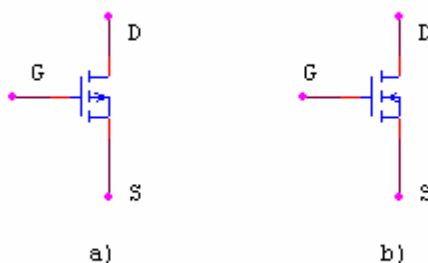
Hình 8-11 là đặc tuyến $I_D(V_{DS})$ của E-MOSFET tín hiệu bé.



Hình 8-11

Đường cong dưới cùng ứng với $V_{GS(th)}$. Khi $V_{GS} < V_{GS(th)}$ dòng máng bằng 0. Khi $V_{GS} > V_{GS(th)}$ E-MOSFET dẫn và dòng máng phụ thuộc V_{GS} . Mặc dù có thể sử dụng E-MOSFET trong vùng tác động, người ta thường dùng E-MOSFET chủ yếu trong vùng điện trở.

Ký hiệu sơ đồ: E-MOSFET gồm 2 loại: kênh n và kênh p ký hiệu như hình vẽ 8-12.



Hình 8-12

Thế cổng nguồn tối đa. MOSFET có một lớp oxide silicon mỏng đóng vai trò cách điện giữa cổng và kênh dẫn. Khi V_{GS} vượt quá một giá trị nào đó có thể đánh thủng sự cách điện này và MOSFET bị hỏng. Chẳng hạn 2N7000 có $V_{GS(max)}=20V$. Nếu thế V_{GS} dương hơn hoặc âm hơn 20V thì có thể phá huỷ 2N7000. Các xung chuyển khi cắm hoặc tháo MOSFET vào thiết bị đang có nguồn có thể làm hỏng MOSFET. Thậm chí điện tích tĩnh (electrostatic) cũng có thể vượt quá $V_{GS(max)}$ và làm hỏng MOSFET khi chúng ta cầm chúng trên tay. Vì vậy các thiết bị MOSFET cần phải được chống tĩnh điện (bằng vỏ chống tĩnh điện) và không được cắm nóng (hot plug).

Điện trở máng nguồn khi dẫn. Khi MOSFET được phân cực trong vùng điện trở, nó tương đương với một điện trở $R_{DS(on)}$. Các tài liệu kỹ thuật thường cho $R_{DS(on)}$ ứng với một giá trị của I_D và thế V_{GS} . Khi đó

$$R_{DS(on)} = V_{DS(on)} / I_D(on) \quad (8-13)$$

Bảng 8-1 cho thấy một số các số liệu của vài MOSFET

Device	$V_{GS(th)}$ (V)	$V_{GS(on)}$ (V)	$I_{D(on)}$ (mA)	$R_{DS(on)}$ Ω	$I_{D(max)}$ (mA)	$P_{D(max)}$ (mW)
VN2406L	1.5	2.5	100	10	200	350
BS107	1.75	2.6	20	28	250	350
2N7000	2	4.5	75	6	200	350
VN10LM	2.5	5	200	7.5	300	1000
MPF830	2.5	10	1000	0.8	2000	1000
IRFD120	3	10	600	0.3	800	1000

VIII.5 CHUYỂN MẠCH SỐ

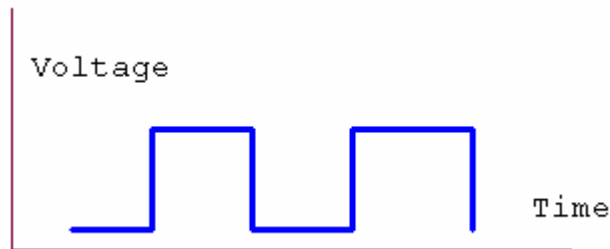
MOS đã làm nên cuộc cách mạng trong công nghiệp máy tính. Trước khi có MOS, máy tính dùng đèn hoặc transistor có kích thước lớn, tiêu tốn nhiều năng lượng. Với thế ngưỡng bé và dòng vào bằng 0, MOS là thiết bị chuyển mạch lý tưởng. Khi thế vào lớn hơn thế ngưỡng MOS chuyển từ Off sang bão hoà. Sự chuyển giữa 2 trạng thái on/off là ý tưởng chính để xây dựng máy tính. Máy tính dùng hàng chục triệu MOS như là các công tắc để xử lý số

liệu (số liệu là tất cả các số, chữ, đồ họa và những thông tin khác được mã hoá dưới dạng nhị phân).

MẠCH TƯƠNG TỰ, MẠCH SỐ VÀ MẠCH CÔNG TẮC

Từ Analog có nghĩa là tương tự hay liên tục. Chẳng hạn sóng sin. Khi chúng ta nói tín hiệu analog có nghĩa là tín hiệu ấy biến thiên liên tục theo thời gian.

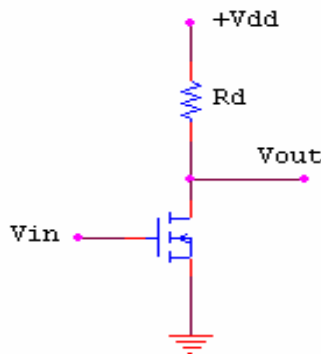
Từ Digital có nghĩa là số hay rời rạc. Tín hiệu digital là các tín hiệu không liên tục. Chúng biến thiên gián đoạn hay có sự chuyển từ giá trị cao sang thấp một cách đột ngột như hình 8-13. Máy tính dùng các tín hiệu này để mã hoá số, chữ và các thông tin khác.



Hình 8-13

Từ Switching có nghĩa rộng hơn digital. Nó có nghĩa là các mạch chuyển (công tắc). Các mạch chuyển (công tắc) bao gồm các mạch số như là tập con. Mạch công tắc cũng bao hàm mạch để điều khiển motor, heater...

PASSIVE LOAD SWITCHING



Hình 8-14

Hình 8-14 cho thấy một mạch công tắc tải thụ động (tải là điện trở R_D thông thường). Trong mạch này V_{in} có 2 trạng thái: cao và thấp. Khi V_{in} thấp,

MOS ngưng dẫn và $V_{out} = V_{DD}$. Khi vin cao, MOS bão hòa và v_{out} xấp xỉ 0V.
Để mạch hoạt động đúng cần có điều kiện

$$R_{DS(on)} \ll R_D$$

Mạch hình 8-14 là mạch đơn giản nhất trong máy tính. Đó là mạch đảo (inverter gate) vì thế lối ra đảo ngược với thế lối vào. Giá trị chính xác của mạch không quan trọng mà quan trọng là thế ra có 2 giá trị cao và thấp phân biệt được.

ACTIVE LOAD SWITCHING

Mạch tích hợp IC chứa hàng ngàn transistor nhỏ hoặc là transistor lưỡng cực hoặc là MOS. Các thế hệ IC đầu tiên có mạch công tắc với tải thụ động. Nhưng chúng có nhược điểm là kích thước lớn. Công tắc có tải động khắc phục nhược điểm này. Hình 8-15a cho thấy mạch công tắc tải động. MOS phía dưới là công tắc. MOS phía trên là tải động. Điện trở của MOS trên bằng

$$R_D = V_{DS(active)} / I_{D(active)} \quad (8-14)$$

Trong đó $V_{DS(active)}$ và $I_{D(active)}$ là thế và dòng của MOS trên vùng active.

Để mạch hoạt động đúng R_D của MOS trên phải lớn hơn $R_{DS(on)}$ của MOS dưới.

Hình 8-15b cho thấy cách tính R_D của MOS trên.

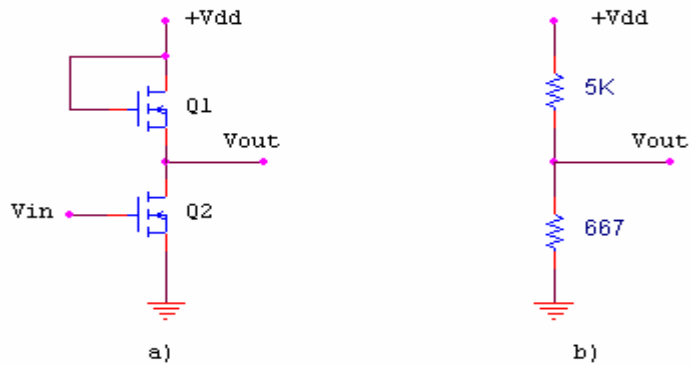
Vì $V_{GS}=V_{DS}$ nên đặc tuyến của MOS trên là đường thẳng.

Có thể thấy rằng tại các điểm ứng với $V_{DS}=15V$, 10V và 5V các dòng I_D tương ứng là 3mA, 1.6mA và 0.7mA do đó trở R_D tương ứng bằng 5KΩ, 6.25KΩ và 7.2KΩ.

Nếu MOS dưới có tham số như MOS trên thì

$$R_{D(on)} = 2V/3mA = 667 \Omega.$$

Có thể thấy rằng tại mọi điểm hoạt động, thế ra khi MOS dưới on là rất thấp (xấp xỉ 0V).

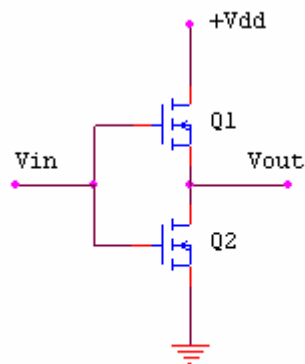


Hình 8-15

VIII.6 CMOS

Trong công tắc tải động, dòng tải khi lối ra thấp là $I_{D(sat)}$. Dòng này khá lớn và vì vậy không thích hợp với các thiết bị hoạt động bằng pin. Một cách để giảm dòng là dùng CMOS (complementary MOS) như hình 8-16. CMOS gồm một MOS kênh n và một MOS kênh p. Chúng được gọi là bổ túc vì có các thông số dòng, thế bằng và đối nghịch như $V_{GS(th)}$, $V_{GS(on)}$, $I_{D(on)}$.

Mạch này tương tự mạch khuếch đại đẩy kéo hạng B vì một MOS dẫn thì MOS kia ngưng dẫn.

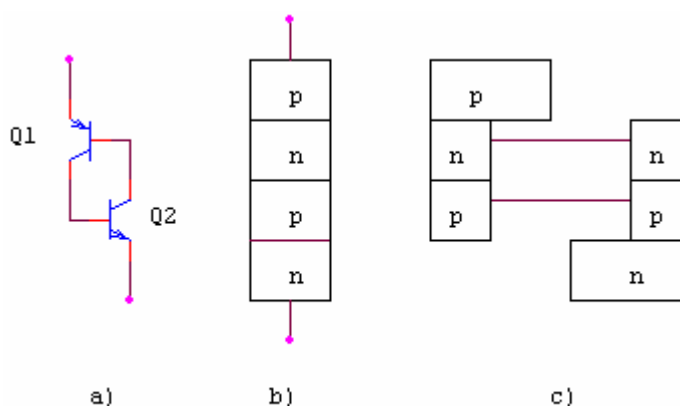


Hình 8-16

Khi CMOS là công tắc thì thế vào là từ 0 đến V_{DD} . Khi thế vào cao, Q1 ngưng còn Q2 dẫn, thế ra bằng 0V. Khi thế vào thấp, Q1 dẫn còn Q2 ngưng, thế ra cao.

Ưu điểm chủ yếu của CMOS là công suất tiêu tán rất bé. Khi thế vào bằng $\frac{1}{2}$ thế V_{DD} cả hai MOS đều dẫn (thế ra bằng $\frac{1}{2}V_{DD}$) và dòng máng từ nguồn là lớn nhất. Tuy nhiên thời gian này rất ngắn nên công suất tiêu tán động trung bình rất bé. CMOS thích hợp cho các hệ thống hoạt động bằng pin (chẳng hạn RTC của máy tính).

VIII.7 THYRISTOR VÀ ỨNG DỤNG



Hình 8-17

Thyristor có nguồn gốc từ chữ Hylạp là cửa mở ra cho một cái gì đó đi qua. Thyristor là thiết bị bán dẫn sử dụng phản hồi bên trong để tạo ra một tác động như công tắc. Thyristor quan trọng nhất là SCR (Silicon Controlled Rectifier) và Triac. Chúng được sử dụng như các chuyển mạch có dòng lớn, tốc độ cao. Thyristor dùng nhiều trong các mạch điều khiển motor, heater, các hệ thống ánh sáng và các thiết bị có dòng tải lớn.

DIODE 4 LỚP

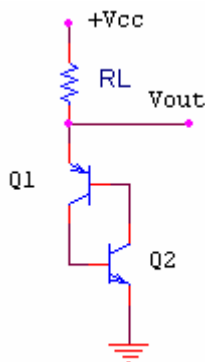
Hình 8-17a cho thấy mạch tương đương của diode 4 lớp. Diode 4 lớp có tên gọi nguyên thủy là diode Shockley, diode pnpn và Silicon Unilateral Switch (SUS).

Sơ đồ nối bên trong diode bốn lớp tạo ra phản hồi dương mà điều này có nghĩa là: nếu dòng của một trong hai transistor tăng sẽ làm cho cả hai bão

hòa, ngược lại nếu dòng của một trong hai transistor giảm sẽ làm cho cả hai transistor ngưng dẫn.

Nếu cả hai transistor bão hoà diode 4 lớp coi như công tắc đóng.

Nếu cả 2 transistor ngưng dẫn, diode 4 lớp coi như công tắc hở. Cả hai trạng thái này là bền. Vì mạch có thể ở một trong hai trạng thái bền nên mạch gọi là mạch LACTH (chốt)



Hình 8-18

Đóng mạch chốt

Hình 8-18 cho thấy một mạch chốt nối với tải đến nguồn V_{CC} . Giả sử rằng mạch chốt đang hở. Chỉ có một cách để đóng mạch chốt là dùng Breakover. Điều này có nghĩa là dùng một nguồn V_{CC} đủ lớn để đánh thủng diode collector Q1. Khi đó do phản hồi dương cả hai transistor sẽ bão hoà. Khi mạch chốt đóng sụt thế qua diode 4 lớp gần bằng không.

Mở mạch chốt

Khi mạch chốt đã đóng, để mở mạch chốt cần giảm nguồn cung cấp V_{CC} . Điều này buộc cả hai transistor ngưng dẫn và mạch chốt hở.

SCR (Silicon Controlled Rectifier)

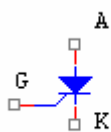
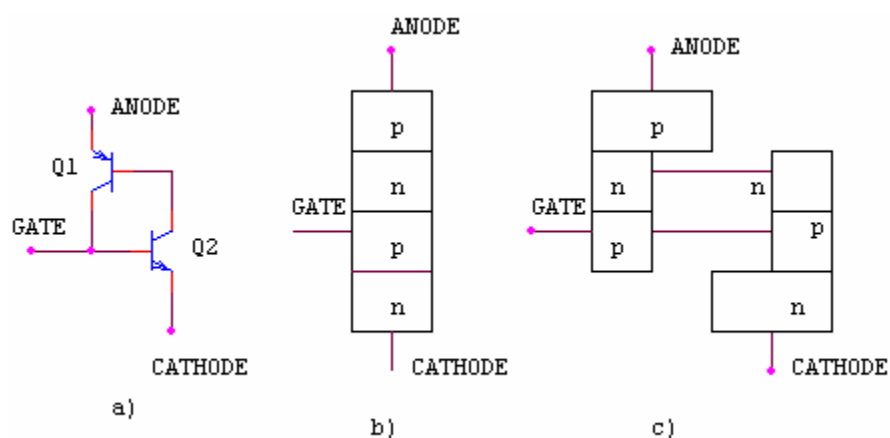
Trong diode 4 lớp, bằng cách nối base của Q2 ra ngoài (ký hiệu là G hay cực cổng) chúng ta có SCR.

Cực cổng có khả năng điều khiển hoạt động của SCR. Khi mạch chốt đang hở, nếu chúng ta đưa vào cực G một xung dương thì mạch chốt sẽ đóng ngay cả khi xung kích thích mất đi. Nhà máy thường chỉ ra dòng tối thiểu để kích SCR bằng tham số I_{GT} . Thế kích SCR là $V_{GT} = 0.7V$.

Thế vào tối thiểu để kích SCR là

$$V_{in} = V_{GT} + I_{GT}R_G \quad (8-15)$$

Trong đó R_G là điện trở Thevenin của mạch kích SCR.



Hình 8-19

RESET SCR

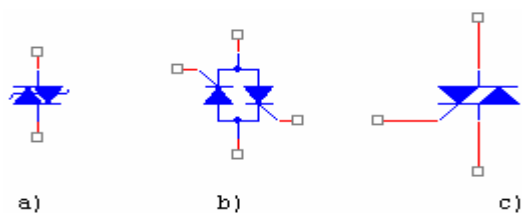
Sau khi SCR dẫn, nó vẫn tiếp tục dẫn ngay cả khi $V_{in}=0$. Chỉ có một cách để reset SCR là giảm dòng của SCR đến dưới giá trị dòng giữ (holding current). Nói cách khác thế cung cấp phải bé hơn

$$V_{CC}=0.7V + I_H R_L \quad (8-16)$$

Trong đó I_H là dòng giữ.

DIAC và TRIAC

Diac là 2 diode 4 lớp ghép đối song (hình 8-20a). Còn Triac là 2 SCR ghép đối song (hình 8-20b). Chúng được gọi là các Thyritor lưỡng hướng vì có thể cho dòng qua cả hai hướng.



Hình 8-20

Chương IX **KHUYẾCH ĐẠI THUẬT TOÁN**

IX.1 KHUYẾCH ĐẠI VI SAI

Thuật ngữ khuếch đại thuật toán (OP AMP) dùng để chỉ các bộ khuếch đại mà chúng thực hiện các phép toán. Về mặt lịch sử các bộ khuếch đại thuật toán được dùng trong các máy tính analog, ở đó chúng thực hiện các phép toán cộng, trừ... Vào thời kỳ đó, khuếch đại OP AMP được lắp bằng linh kiện rời. Ngày nay OP AMP được chế tạo dưới dạng IC.

Một mạch OP AMP là mạch khuếch đại DC với hệ số khuếch đại rất lớn, trở kháng vào rất cao và trở kháng ra rất thấp. Trong khuếch đại OP AMP hệ số khuếch đại là hằng số từ 1Hz đến hơn 20MHz. Một vi mạch OP AMP là một khối chức năng đầy đủ với một số các chân bên ngoài. Bằng cách nối nguồn nuôi và 1 số các linh kiện khác, chúng ta có thể xây dựng nhanh tất cả các loại mạch thông thường.

Trong vi mạch chỉ có transistor, diode, điện trở và cả tụ (nhỏ hơn 50pF). Vì lý do này các nhà thiết kế IC không dùng tụ nối và tụ thông dẫn như cách thiết kế mạch rời. Thay vào đó họ dùng các nối trực tiếp giữa các tầng.

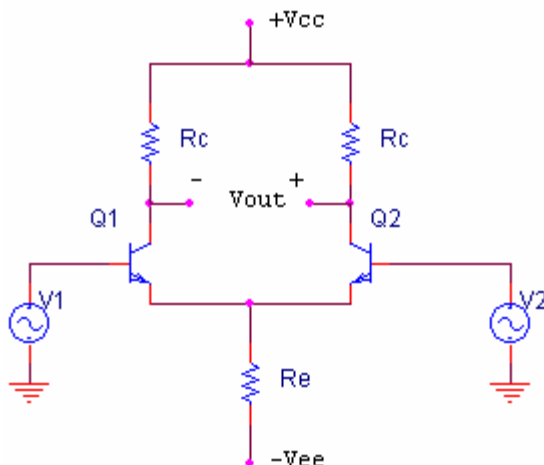
Khuếch đại vi sai có cùng ý tưởng như vậy. Mạch khuếch đại vi sai hạn chế được tụ thông dẫn emitter. Vì lý do này và một vài lý do khác mạch khuếch đại vi sai được dùng như là tầng vào của OP AMP.

LỐI VÀO VÀ LỐI RA VI SAI

Hình 9-1 cho thấy một mạch khuếch đại vi sai.

Hình 9-1

Nó gồm 2 tầng khuếch đại CE có điện trở emitter chung. Mặc dù có 2 lối vào và 2 lối ra nhưng về tổng thể mạch xem như một tầng khuếch đại. Vì không sử dụng tụ nối nên tần số cắt thấp $f_1=0$.



Thế ra v_{out} là hiệu thế giữa 2 collector với cực tính như trên hình 9-1.

$$V_{out} = V_{c2} - V_{c1} \quad (9-1)$$

Thế ra này gọi là thế ra vi sai vì nó là tổ hợp của 2 thế ra ac thành một thế bằng hiệu thế của 2 collector.

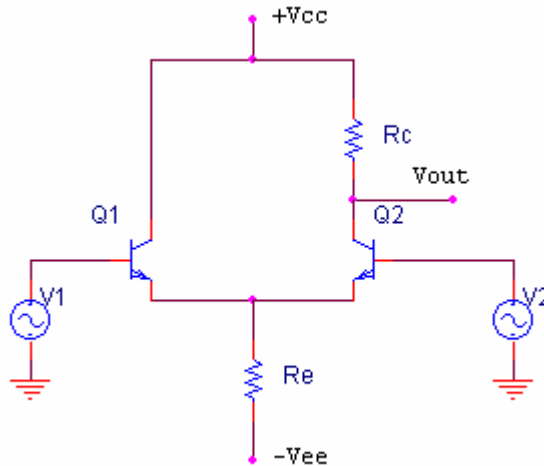
Một cách lý tưởng thì 2 transistor và các điện trở collector phải giống hệt nhau. Do đó $v_{out} = 0$ khi $v_1 = v_2$. Khi $v_1 > v_2$ thế ra có cực tính như hình 9-1. Khi $v_1 < v_2$ thế ra có cực tính ngược lại.

Khuyếch đại vi sai trên hình 9-1 có 2 lối vào riêng rẽ. Lối vào v_1 gọi là lối vào không đảo vì lối ra cùng pha với v_1 . Ngược lại lối vào v_2 gọi là lối vào đảo vì thế ra ngược pha với v_2 . Trong một số ứng dụng, chỉ có lối vào v_1 được sử dụng còn lối vào v_2 nối GND. Ngược lại một số ứng dụng khác có v_1 nối GND trong khi đó tín hiệu được đưa vào v_2 .

Khi có tín hiệu vào ở cả 2 lối vào, cấu hình này gọi là lối vào vi sai. Khi đó thế ra bằng

$$V_{out} = A(v_1 - v_2) \quad (9-2)$$

trong đó A là hệ số khuyếch đại thế.



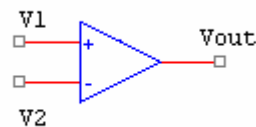
Hình 9-2a

LỐI RA MỘT BÊN

Lối ra vi sai như hình 9-1 yêu cầu một tải nổi (không có điểm nối đất). Hình 9-2a chỉ ra một cách dùng rộng rãi mạch khuếch đại vi sai vì nó có thể nối với tải thông thường như mạch CE, mạch CC.

Thế ra lấy từ collector bên phải. Do đó collector transistor trái nối với nguồn V_{CC} . Vì thế lối vào vẫn là vi sai nên thế lối ra là $v_{out} = A(v_1 - v_2)$. Nhưng lưu ý hệ số khuếch đại thế chỉ bằng $\frac{1}{2}$ hệ số khuếch đại thế khi lối ra là vi sai.

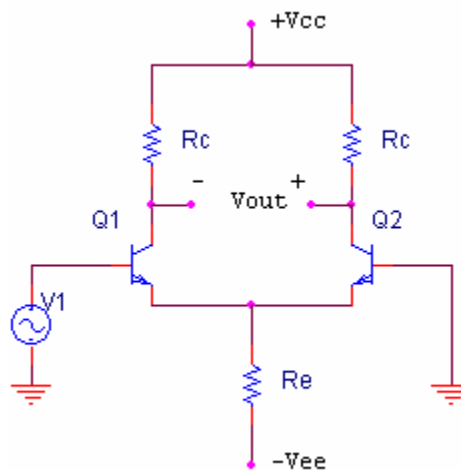
Hình 9-2b là ký hiệu của khuếch đại vi sai (giống như OP AMP). Đầu vào có dấu + là đầu vào không đảo. Đầu vào – là đầu vào đảo.



Hình 9-2b

CẤU HÌNH LỐI VÀO KHÔNG ĐẢO

Thông thường chỉ có một lối vào active còn lối vào kia được nối GND như hình 9-3a.

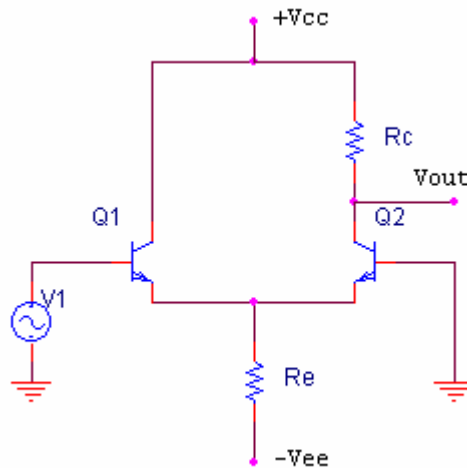


Hình 9-3a

Cấu hình này có một đầu vào không đảo và lối ra vi sai. Do $v_2 = 0$ nên

$$v_{out} = A v_1 \quad (9-3)$$

Hình 9-3b là một cấu hình khác, trong đó có một đầu vào không đảo, lối ra 1 bên. Hệ số khuếch đại chỉ bằng $\frac{1}{2}$ cấu hình 9-3a.



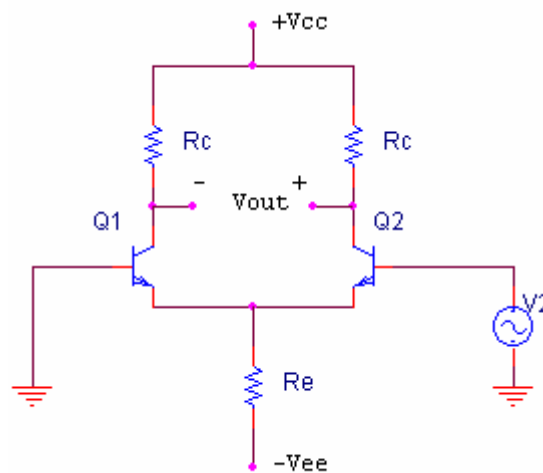
Hình 9-3b

CẤU HÌNH LỐI VÀO ĐẢO

Trong một số ứng dụng, v_2 là lối vào trong khi đó v_1 được nối GND như hình 9-4a.

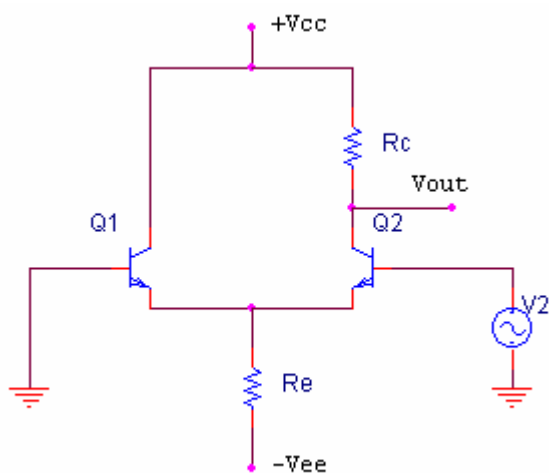
Cấu hình này có thể lối ra

$$V_{out} = -Av_2 \quad (9-4)$$



Hình 9-4a

Hình 9-4b là một cấu hình khác, trong đó có một lối vào đảo, lối ra 1 bên. Hệ số khuếch đại chỉ bằng ½ cấu hình 9-4a.



Hình 9-4b

Bảng 9-1 chỉ ra 4 cấu hình cơ bản của một khuếch đại vi sai

INPUT	OUTPUT	V_{in}	V_{out}
Vi sai	Vi sai	$V_1 - V_2$	$V_{c2} - V_{c1}$
Vi sai	Đơn	$V_1 - V_2$	V_{c2}
Đơn	Vi sai	v_1 hoặc v_2	$V_{c2} - V_{c1}$
Đơn	Đơn	v_1 hoặc v_2	V_{c2}

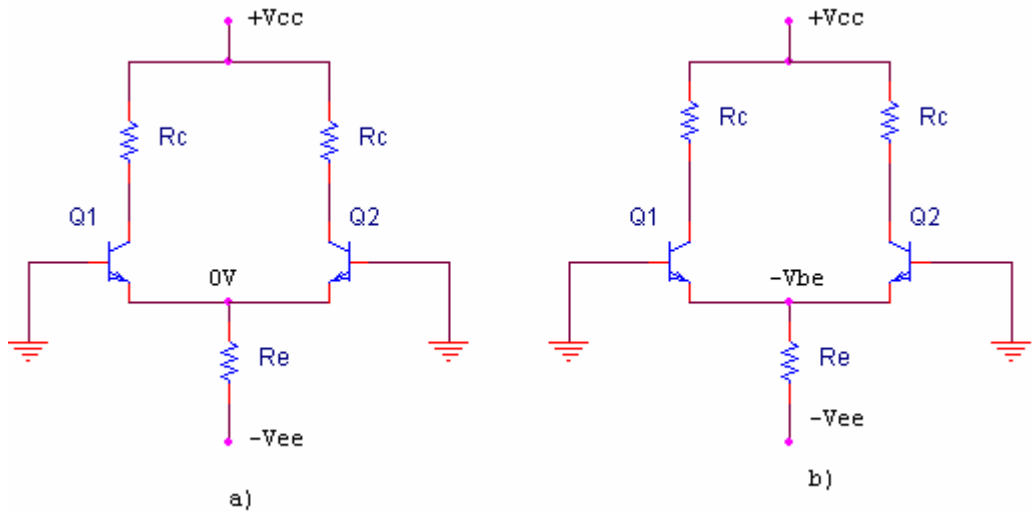
IX.2 PHÂN TÍCH DC MỘT KHUYẾT ĐẠI VI SAI

Hình 9-5a cho thấy mạch tương đương dc của một khuếch đại vi sai. Mạch phân cực ở đây là mạch TSEB. Hầu như nguồn cung cấp âm trong mạch TSEB là đặt lên R_E . Điều này tạo ra dòng emitter cố định.

PHÂN TÍCH LÝ TƯỢNG

Mạch khuếch đại vi sai đôi khi còn gọi là mạch khuếch đại đuôi dài (long tail) vì hai transistor cùng chia sẻ trở R_E . Dòng chảy qua điện trở dùng chung này gọi là dòng đuôi (I_T). Nếu bỏ qua V_{BE} thì dòng đuôi có giá trị bằng

$$I_T = V_{EE} / R_E. \quad (9-5)$$



Hình 9-5

Dòng qua mỗi transistor bằng

$$I_E = I_T / 2 \quad (9-6)$$

Thế DC trên mỗi collector bằng

$$V_C = V_{CC} - I_C R_C \quad (9-7)$$

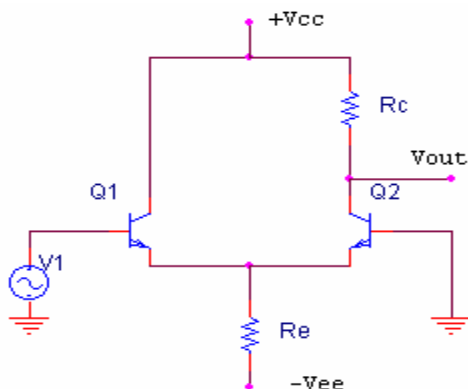
Trong gần đúng bậc 2 cần phải tính đến $V_{BE}=0.7V$, khi đó dòng đuôi bằng

$$I_T = (V_{EE} - V_{BE}) / R_E \quad (9-8)$$

IX.3 PHÂN TÍCH AC MỘT KHUYẾCH ĐẠI VI SAI

Trong phần này chúng ta sẽ dẫn ra hệ số khuếch đại thế của một bộ khuếch đại vi sai. Chúng ta hãy bắt đầu bằng cấu hình đơn giản nhất: lối vào không đảo và lối ra đơn.

Hình 9-6 cho thấy một mạch khuếch đại vi sai có đầu vào không

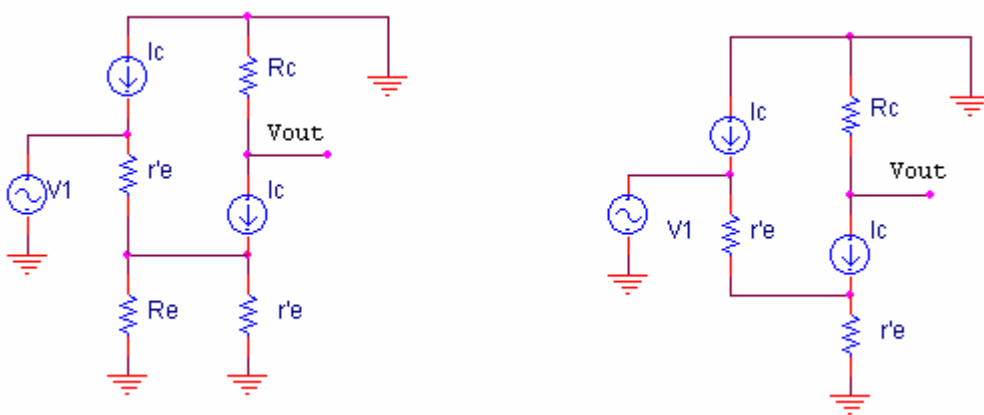


đảo

Hình 9-6

và lối ra đơn. Với R_E lớn, dòng đuôi hầu như không đổi khi có tín hiệu ac nhỏ ở lối vào. Do đó một sự tăng dòng emitter Q_1 tạo ra một sự giảm tương ứng dòng emitter Q_2 . Ngược lại một sự giảm dòng emitter Q_1 tạo ra sự tăng tương ứng dòng emitter Q_2 .

Trên hình 9-6, transistor bên trái đóng vai trò như một bộ lặp lại emitter. Tuy nhiên cần lưu ý là thế trên emitter chỉ bằng $\frac{1}{2}$ thế vào. Trong nửa chu kỳ dương, dòng emitter Q_1 tăng và dòng emitter Q_2 giảm làm cho thế collector Q_2 tăng. Ngược lại vào nửa chu kỳ âm thế collector



Q_2 giảm.

Hình 9-7

Hình 9-7a cho thấy sơ đồ tương đương. Trong thiết kế $R_E \gg r'_e$ do đó có thể bỏ qua R_E trong các phân tích sơ cấp và chúng ta thu được mạch tương đương đơn giản như hình 9-7b.

HỆ SỐ KHUYẾCH ĐẠI LỐI RA ĐƠN

Trong hình 9-7a, thế ra bằng

$$v_{\text{out}} = i_c R_C$$

Thế vào ac là

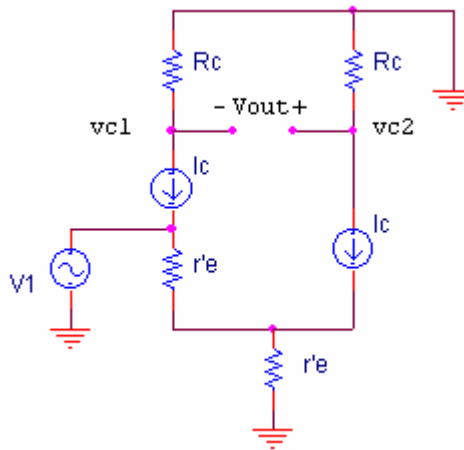
$$v_{\text{in}} = i_c r'_e + i_c r'_e = 2i_c r'_e$$

Hệ số khuếch đại lối ra đơn bằng

$$A = R_C / 2r'_e \quad (9-9)$$

HỆ SỐ KHYUẾCH ĐẠI LỐI VI SAI

Hình 9-8 cho thấy sơ đồ tương đương lối ra cho mạch có lối vào đơn, lối ra vi sai. Phân tích giống như phần trước ngoại trừ thế lối ra tăng gấp



đôi.

Hình 9-8

$$v_{\text{out}} = v_{c2} - v_{c1} = i_c R_C - (-i_c R_C) = 2 i_c R_C$$

Thế ac lối vào là

$$v_{\text{in}} = 2i_c r'_e$$

Hệ số khuếch đại thế lối ra vi sai bằng

$$A = R_C / r'_e \quad (9-10)$$

CẤU HÌNH LỐI VÀO ĐẢO

Có thể thấy rằng cấu hình lối vào đảo hoàn toàn giống cấu hình lối vào không đảo. Chỉ khác một điều là tín hiệu ra đảo pha so với tín hiệu vào.

CẤU HÌNH LỐI VÀO VI SAI

Cấu hình lối vào vi sai có hai lối vào đều active. Phân tích ac của cấu hình lối vào vi sai có thể dùng nguyên lý chồng chất như sau: Chúng ta đã biết hoạt động của cấu hình lối vào đảo và không đảo một cách riêng rẽ. Bằng cách tổ hợp hai kết quả này chúng ta thu được phương trình cho cấu hình lối vào vi sai.

Lối ra cho cấu hình không đảo là

$$V_{out} = A V_1$$

Lối ra cho cấu hình đảo là

$$V_{out} = - A V_2$$

Lối ra cho lối vào vi sai bằng

$$V_{out} = A(V_1 - V_2)$$

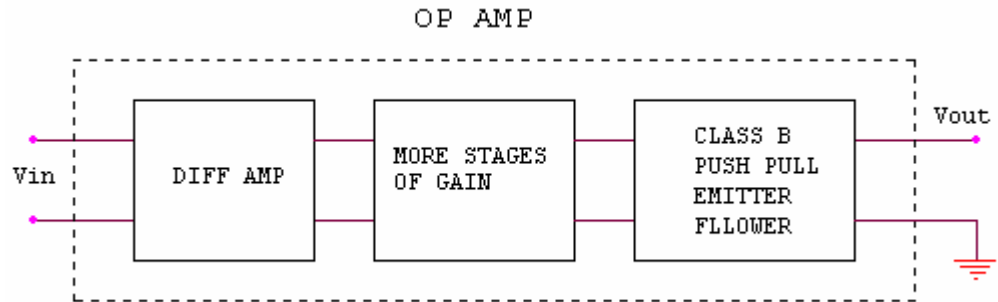
Bảng 9-2 cho thấy hệ số khuếch đại đối với các cấu hình khác nhau.

INPUT	OUTPUT	A	V_{out}
Vi sai	Vi sai	R_C / r'_e	$A V_1$
Vi sai	Đơn	$R_C / 2r'_e$	$A(V_1 - V_2)$
Đơn	Vi sai	R_C / r'_e	$A V_1$ hoặc $-A V_2$
Đơn	Đơn	$R_C / 2r'_e$	$A V_1$ hoặc $-A V_2$

Trở kháng vào của bộ khuếch đại vi sai

$$Z_{in} = 2\beta r'_e \quad (9-11)$$

IX.4 KHUYẾCH ĐẠI OP AMP

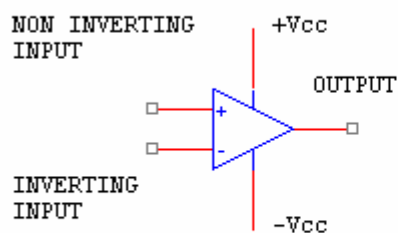


Hình 9-9

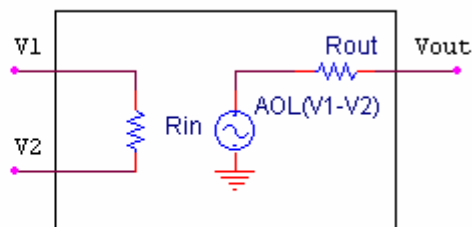
Hình 9-9 cho thấy sơ đồ khối một OP AMP.

Tầng vào là một khuếch đại vi sai. Sau nó là các tầng khuếch đại thế. Lối ra là bộ lặp emitter kiểu đẩy kéo hạng B. Khuếch đại vi sai ở lối vào quy định những đặc trưng vào của OP AMP như trở kháng vào rất cao, hệ số cách chung cao. Trong hầu hết các ứng dụng, lối ra của OP AMP là lối ra đơn như hình 9-9. Với việc sử dụng nguồn nuôi kép, lối ra đơn được thiết kế để có các giá trị tĩnh bằng 0. Theo cách này thế lối vào bằng 0 là lý tưởng để thế lối ra bằng 0.

Không phải tất cả các OP AMP đều có thiết kế như hình 9-9. Chẳng hạn có 1 số OP AMP không dùng lối ra đơn, một số khác không dùng tầng đẩy kéo hạng B. Cho dù thiết kế bằng cách nào đi nữa thì hình 9-9 là sơ đồ đơn giản nhất của một OP AMP. Trên thực tế vi mạch OP AMP có cấu trúc rất phức tạp. Trong OP AMP, người ta dùng các kỹ thuật pha tạp transistor dòng điện gương, tải động và nhiều kỹ thuật khác mà kỹ thuật



a)



b)

mạch rời không làm được.

Hình 9-10

Hình 9-10a là sơ đồ ký hiệu của một OP AMP. Nó có một đầu vào không đảo, một đầu vào đảo và một lối ra đơn. Một cách lý tưởng, sơ đồ này có hệ số khuếch đại thế bằng vô cùng, trở kháng vào rất lớn và trở kháng ra bằng 0. Một OP AMP lý tưởng biểu diễn cho một bộ khuếch đại thế hoàn hảo và thường được gọi là một nguồn thế được điều khiển bởi thế (Voltage Controlled Voltage Source - VCVS). Sơ đồ tương đương ac của VCVS như hình 9-10b. Trong 9-10b trở kháng vào R_{in} bằng vô cùng, trở kháng ra R_{out} bằng 0.

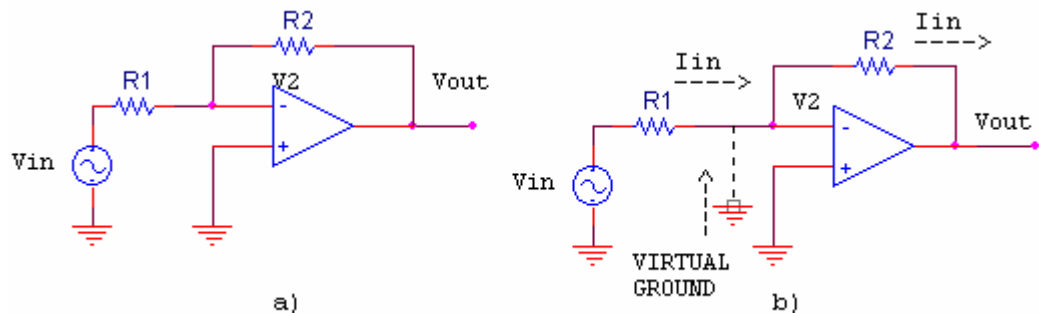
Bảng 9-3 cho thấy một số OP AMP điển hình và các đặc trưng của chúng

Quantity	Symbol	Ideal	LM741C	LF157A
Hệ số khuếch đại vòng	A_{OL}	Vô cùng	90000	200000
Tần số tại đó $A=1$	f_{unity}	Vô cùng	1MHz	20MHz
Trở kháng vào	R_{in}	Vô cùng	$2M\Omega$	$9^{12}\Omega$
Trở kháng ra	R_{out}	Zero	75Ω	90Ω
Dòng phân cực vào	$i_{in(bias)}$	Zero	80nA	30pA
Dòng offset vào	$i_{in(off)}$	Zero	20nA	3pA
Thế offset lối vào	$V_{in(off)}$	Zero	2mV	1mV
Tỷ số loại trừ cách chung	CMRR	Vô cùng	90dB	90dB

Bảng 9-3

IX.5 KHUYẾCH ĐẠI ĐẢO

Khuếch đại đảo là mạch OP AMP cơ bản nhất. Nó dùng phản hồi âm để ổn định hệ số khuếch đại tổng thể của mạch. Lý do cần phải ổn định hệ số khuếch đại là vì A_{OL} quá lớn và không ổn định. Ví dụ 741C có A_{OL} bé nhất là 20000 đến A_{OL} lớn nhất là 200000.



Hình 9-11

Hình 9-11 chỉ ra mạch khuếch đại đảo. Để đơn giản chúng ta không vẽ ra sơ đồ nguồn nuôi. Thế vào v_{in} được đưa vào lối vào đảo thông qua điện trở R_{in} . Điều này tạo ra trên đầu vào đảo một thế v_2 . Thế lối vào được khuếch đại và tạo ra thế lối ra đảo pha so với thế vào. Thế ra được phản hồi lại đầu vào thông qua điện trở phản hồi R_2 . Đây là sự phản hồi âm vì thế lối ra đảo pha so với thế vào.

Cách mà sự phản hồi âm ổn định hệ số khuếch đại tổng thể của mạch là như sau: Nếu A_{OL} tăng vì bất cứ lý do gì thì thế lối ra sẽ tăng và do có sự phản hồi âm thế lối vào sẽ giảm.

Đất ảo (virtual ground)

Khi chúng ta nối một dây dẫn từ một điểm trên mạch xuống đất, thế tại điểm đó sẽ bằng 0. Trong trường hợp đó dây dẫn tạo ra đường dẫn cho dòng điện chảy xuống đất. Đất cơ học là đất cả thế lẫn dòng.

Đất ảo thì khác. Đó là khái niệm về một điểm nào đó trên mạch có thế và dòng bằng không. Khái niệm đất ảo làm cho việc phân tích mạch trở nên rất đơn giản. Đất ảo dựa trên tính chất của mạch OP AMP. Khi một OP AMP là lý tưởng, nó có hệ số khuếch đại vòng hở bằng vô cùng và trở vào cũng bằng vô cùng. Do đó chúng ta có thể suy ra (deduce) các thuộc tính lý tưởng sau đây cho mạch khuếch đại OP AMP có đầu vào đảo:

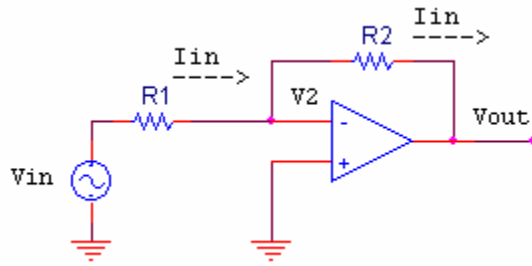
- ◆ Do R_{in} bằng vô cùng nên dòng vào i_2 bằng 0
- ◆ Do A_{OL} bằng vô cùng nên thế vào v_2 bằng 0

Do i_2 bằng 0 nên dòng chảy qua R_1 phải bằng dòng chảy qua R_2 như trên hình vẽ. Mặt khác v_2 bằng 0 nên đầu vào – là đất ảo. Đất ảo là khái niệm tương đương nửa đất, nghĩa là thế bằng không nhưng không có dòng chảy qua. Trên hình vẽ chúng ta biểu thị đất ảo bằng đường chấm chấm. Mặc dù đất ảo là gần đúng lý tưởng nhưng nó tỏ ra chính xác khi phản hồi âm sâu.

HỆ SỐ KHUYẾCH ĐẠI THỂ

Trên hình 9-12, chúng ta hình dung đầu vào đảo là đất ảo. Khi đó có thể viết

$$\begin{aligned}v_{in} &= i_{in}R_1 \\ v_{out} &= -i_{in}R_2\end{aligned}$$



Hình 9-12

Hệ số khuếch đại thế (vòng kín) bằng

$$A_{CL} = v_{out} / v_{in} = -R_2 / R_1 \quad (9-12)$$

Đây là hệ số khuếch đại thế vòng kín nó là hệ số khuếch đại khi có vòng phản hồi âm giữa lối ra và lối vào. Do đó phản hồi âm nên $A_{CL} < A_{OL}$. Chẳng hạn, $R_2=50K\Omega$ còn $R_1=1K\Omega$ thì $A_{CL}=50$ kể cả khi thay đổi nhiệt độ, nguồn nuôi và thậm chí thay thế OP AMP.

Trở kháng vào

Do đầu vào đảo là đất ảo do đó trở kháng vào của vòng kín là

$$Z_{in(CL)} = R_1 \quad (9-13)$$

Ưu điểm của mạch khuếch đại OP AMP đảo là có thể chọn giá trị của trở kháng vào.

BANDWIDTH

Bandwidth vòng hở hay tần số cắt của của OP AMP rất thấp do có tụ bù bên trong. Chẳng hạn với 741C

$$f_{2(OL)} = 9\text{Hz}.$$

Tại tần số này hệ số khuếch đại bắt đầu giảm. Khi phản hồi âm được dùng, bandwidth tổng thể tăng. Đây là lý do: Khi tần số vào lớn hơn $f_{2(OL)}$ thì A_{OL} giảm 20dB/dec. Vì v_{out} giảm nên phản hồi âm cũng giảm. Điều này làm cho v_2 tăng và bù lại sự giảm của A_{OL} . Do đó A_{CL} bị giảm tại tần số cao hơn $f_{2(OL)}$. Phản hồi âm càng sâu thì tần số cắt vòng kín càng cao. Nói cách khác A_{CL} càng bé thì $f_{2(CL)}$ càng lớn. Đây là phương trình cho tần số cắt vòng kín

$$f_{2(CL)} = f_{unity} / (A_{CL} + 1)$$

Thông thường $A_{CL} \gg 1$ do đó

$$f_{2(CL)} = f_{unity} / A_{CL} \quad (9-14)$$

Ví dụ khi $A_{CL} = 10$ thì

$$f_{2(CL)} = 1\text{MHz} / 10 = 100\text{KHz}$$

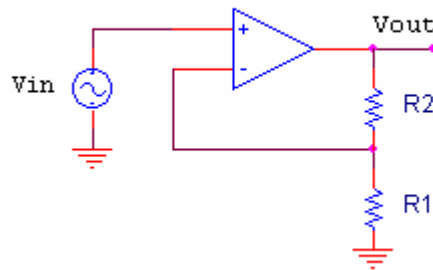
Lưu ý rằng

$$f_{unity} = f_{2(CL)} A_{CL} \quad (9-15)$$

Tần số khuếch đại đơn vị bằng tích giữa band thông và hệ số khuếch đại vòng kín. Nhiều tài liệu ra cữ gọi f_{unity} là GBW (gain bandwidth).

IX.6 KHUYẾCH ĐẠI KHÔNG ĐẢO

Khuếch đại không đảo là một mạch OP AMP cơ bản khác. Nó cũng dùng sự phản hồi âm để ổn định hệ số khuếch đại toàn thể. Sự phản hồi âm cũng làm tăng trở kháng vào và làm giảm trở kháng ra.



Hình 9-13

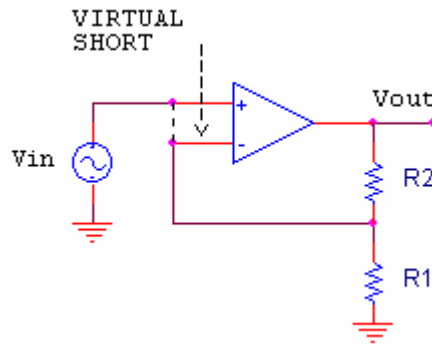
Hình 9-13 cho thấy mạch tương đương ac của một khuếch đại không đảo. Một thế vào ac được đưa tới lối vào không đảo. Thế này được khuếch đại ở lối ra. Thế lối ra có cùng pha với thế lối vào. Một phần thế lối ra được phản hồi lại đầu vào đảo thông qua cầu chia thế R_1 và R_2 . Thế

phản hồi hầu như bằng thế vào. Do hệ số khuếch đại vòng hở rất lớn nên sự khác nhau giữa v_1 và v_2 rất bé.

Sự ổn định do phản hồi trong mạch này như sau: Giả sử A_{OL} tăng thì thế phản hồi vào đầu vào đảo cũng tăng. Điều này làm giảm $v_1 - v_2$ và kết quả là v_{out} giảm.

NGẮN MẠCH ẢO (VIRTUAL SHORT)

Khi chúng ta dùng dây nối để nối 2 điểm trên mạch chúng ta có sự ngắn mạch cơ học. Sự ngắn mạch cơ học làm cho thế và dòng giữa các điểm bị ngắn mạch bằng 0.



Hình 9-14

Sự ngắn mạch ảo là một khái niệm để chỉ ra rằng 2 điểm trên mạch có thế bằng 0 và vì vậy không có dòng chảy qua nó. Hình 9-14 cho thấy ngắn mạch ảo giữa 2 đầu vào của OP AMP trong cấu hình không đảo. Sở dĩ có thể hình dung như vậy là vì đối với một OP AMP lý tưởng

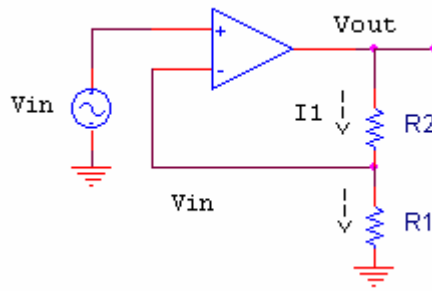
- ◆ Do R_{in} bằng vô cùng nên không có dòng chảy qua các đầu + và –
- ◆ Do A_{OL} bằng vô cùng nên $v_1 - v_2 = 0$

Trong mạch OP AMP không đảo và một số mạch OP AMP khác chúng ta hình dung ngắn mạch giữa 2 lối vào.

Hệ số khuếch đại vòng kín

Trên hình 9-15, hình dung ngắn mạch giữa 2 lối vào, ta có

$$v_{in} = i_1 R_{in}$$



Hình 9-15

Mặt khác do không có dòng chảy vào OP AMP nên dòng i_1 cũng chảy qua R_2 vì vậy

$$V_{out} = i_1(R_2 + R_1)$$

Hệ số khuếch đại thế vòng kín bằng

$$A_{CL} = V_{out} / V_{in} = (R_2 + R_1) / R_1 = R_2 / R_1 + 1$$

$$A_{CL} = R_2 / R_1 + 1 \quad (9-16)$$

Trở kháng vào của mạch khuếch đại không đảo xấp xỉ bằng vô cùng.

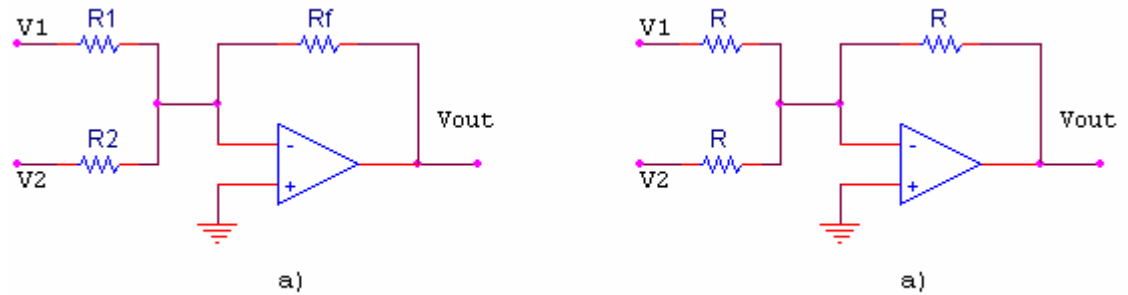
Do ảnh hưởng của mạch phản hồi âm, tần số cắt vòng kín bằng

$$f_{2(CL)} = f_{unity} / A_{CL}$$

IX.7 HAI ỨNG DỤNG CỦA KHUYẾCH ĐẠI OP AMP

1) MẠCH CỘNG

Khi chúng ta cần cộng hai hay nhiều tín hiệu lại với nhau thì mạch hình 9-16a được dùng.



Hình 9-16

Có thể thấy rằng mạch hình 9-16a là chồng chất của 2 mạch khuếch đại đảo. Hệ số khuếch đại vòng kín cho mỗi lối vào (mỗi kênh) riêng rẽ là

$$A_{CL1} = R_F / R_1$$

Và

$$A_{CL2} = R_F / R_2$$

Tín hiệu ra khi chồng chất hai mạch lại là

$$V_{out} = A_{CL1}V_1 + A_{CL2}V_2 \quad (9-17)$$

Dễ dàng chứng minh phương trình (9-17). Thật vậy do lối vào đảo là đất ảo nên:

$$i_{in} = i_1 + i_2 = v_1 / R_1 + v_2 / R_2$$

Cũng vì đất ảo nên

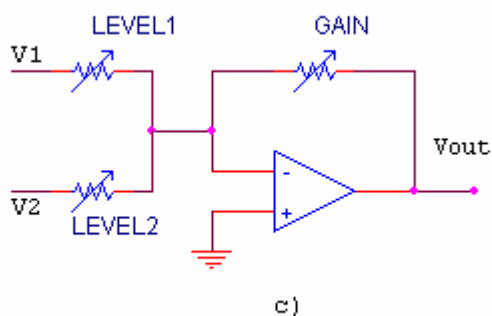
$$V_{out} = (i_1 + i_2)R_F = R_F v_1 / R_1 + R_F v_2 / R_2$$

Đây chính là phương trình (9-17)

Nếu $A_{CL1} = A_{CL2} = 1$ thì

$$V_{out} = V_1 + V_2$$

Mạch trên hình 9-17 gọi là mạch trộn. Bằng cách thay đổi các biến trở các tín hiệu vào ở các kênh sẽ được trộn tại lối ra với giá trị biên độ khác nhau.

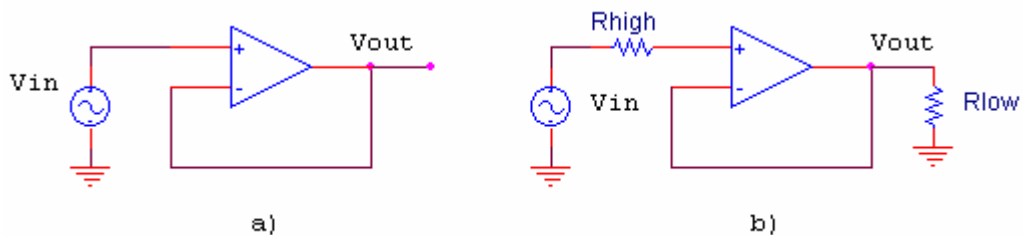


Hình 9-17

2) MẠCH LẶP LẠI THỂ

Chúng ta đã biết mạch lặp lại emitter mà nó có hệ số khuếch đại thể bằng đơn vị. Mạch lặp lại thể dùng OP AMP có tính chất tương tự và có đặc trưng tốt hơn như trở kháng vào rất cao, trở kháng ra thấp.

Hình 9-18a cho thấy mạch tương đương ac của một mạch lặp lại thể.



Hình 9-18

Sự phản hồi âm là tối đa. Điện trở phản hồi bằng 0 do đó toàn bộ thể ra được phản hồi trở lại đầu vào đảo. Do ngắn mạch ảo giữa các đầu vào OP AMP nên thể lối ra bằng thể lối vào.

$$V_{out} = V_{in}$$

Điều này có nghĩa là $A_{CL} = 1$

Chúng ta cũng có thể thu được kết quả này từ phương trình (9-16) trong đó thay $R_2=0$ và $R_1 = \infty$.

Mạch lặp lại thế dùng OP AMP là mạch lặp lại hoàn hảo vì thế ra đúng bằng với thế vào.

Hình 9-18b là mạch lặp lại thế trong đó thế vào có trở kháng cao R_{high} . Tải của mạch là trở kháng thấp R_{low} . Do phản hồi âm sâu, trở kháng vào của mạch là cao hơn trở kháng vào vòng hở ($2M\Omega$) và trở kháng ra thấp hơn trở kháng ra vòng hở (75Ω).

Mạch lặp lại thế là mạch giao tiếp lý tưởng giữa nguồn có trở kháng cao với tải có trở kháng thấp.

Trong mạch lặp lại thế do $A_{CL}=1$ nên

$$f_{2(CL)} = f_{unity} \quad (9-18)$$

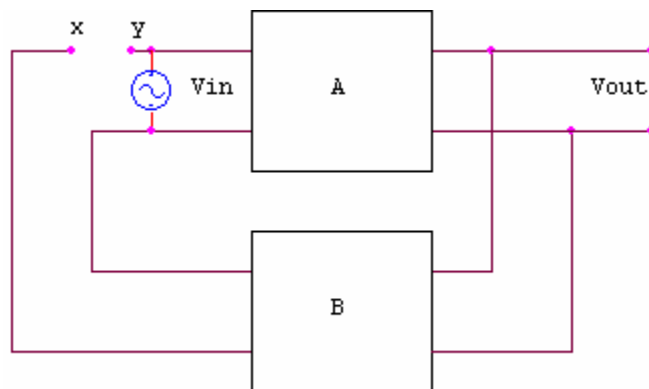
Chương X **CÁC MẠCH DAO ĐỘNG**

X.1 LÝ THUYẾT DAO ĐỘNG ĐIỀU HOÀ

Trong giáo trình này chúng ta chỉ xem xét dao động điều hoà (sóng sin). Các dao động tạo sóng vuông sẽ được đề cập trong giáo trình Mạch và Hệ thống số. Để có một mạch dao động điều hoà chúng ta cần một bộ khuếch đại phản hồi dương (positive feedback). Phản hồi dương là đưa một phần tín hiệu lối ra trở lại lối vào sao cho nó có tác dụng cùng chiều với tín hiệu ra. Nếu tín hiệu phản hồi là đủ lớn và có pha đúng nó sẽ tạo ra một tín hiệu ra mà không cần có tín hiệu vào.

HỆ SỐ KHUYẾT ĐẠI VÒNG VÀ PHA

Hình 10-1 cho thấy một nguồn ac được đưa vào một bộ khuếch đại.



Hình 10-1

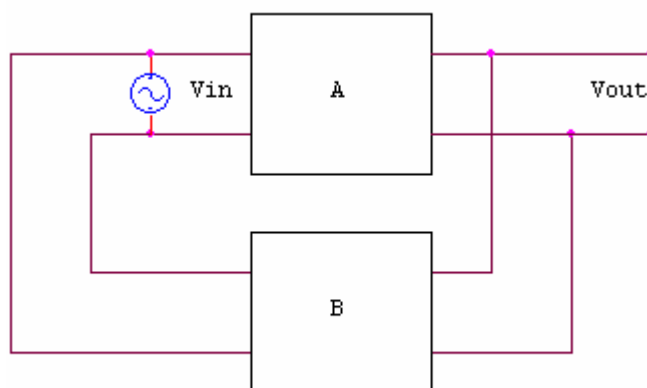
Thế ra của bộ khuếch đại bằng

$$V_{out} = A V_{in}$$

Thế ra này đưa vào mạch phản hồi mà thông thường là mạch cộng hưởng. Do đó chỉ có một tần số nào đó được phản hồi nhiều nhất. Thế phản hồi lại đầu vào của bộ khuếch đại bằng

$$V_f = A B V_{in}$$

Nếu sự dịch pha của bộ khuếch đại và mạch phản hồi bằng 0 thì thế phản hồi cùng pha với thế vào. Giả sử chúng ta nối điểm x với điểm y và tháo bỏ nguồn v_{in} thì thế phản hồi ABv_{in} sẽ thúc bộ khuếch đại như hình 10-2.



Hình 10-2

Sẽ có các trường hợp sau đây xảy ra:

Nếu $AB < 1$ thì thế ra sẽ tắt dần

Nếu $AB > 1$ thì thế ra sẽ tăng dần đến tình trạng bị cắt

Nếu $AB = 1$ thì thế ra không đổi và tự duy trì

Trong các mạch dao động thực, ban đầu hệ số khuếch đại vòng AB lớn hơn 1 khi bật nguồn cho mạch. Thế ra sẽ tăng dần đến một giá trị cần thiết thì AB tự động tiến đến 1 và dao động được duy trì.

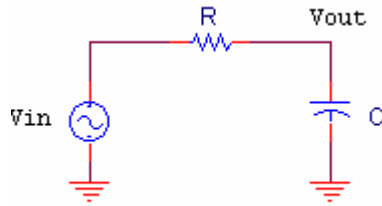
Vậy thì thế lối vào ban đầu trong mạch dao động là gì? Chúng ta biết rằng trong mỗi điện trở có các electron tự do. Do nhiệt độ môi trường các electron này chuyển động tự do theo mọi hướng và tạo ra thế nhiễu (noise voltage) trên điện trở. Sự chuyển động hỗn độn này chứa các tần số từ 0 đến 1000GHz. Có thể hình dung điện trở là một nguồn thế ac nhỏ chứa tất cả các tần số.

Khi bật điện cho mạch lần đầu tiên, trên mạch chỉ có thế nhiễu tạo ra bởi các điện trở. Các thế nhiễu này được khuếch đại và xuất hiện ở lối ra của mạch. Nhưng chỉ có tín hiệu có tần số đúng bằng tần số cộng hưởng của mạch phản hồi mới được đưa trở lại vào đầu vào. Sau quá trình quá độ chỉ còn tín hiệu có tần số thỏa điều kiện $AB = 1$ và cùng pha với tín hiệu ra. Tất cả các tần số khác không xuất hiện ở lối ra.

X.2 DAO ĐỘNG CẦU WIEN

Mạch dao động cầu Wien là mạch dao động trong vùng tần số thấp đến trung bình, tức là khoảng 5Hz đến 1MHz. Chúng được ứng dụng trong các máy phát âm tần thương mại và các ứng dụng tần số thấp.

MẠCH LAG



Hình 10-3

Hệ số khuếch đại thế của mạch trên hình 10-3 là

$$V_{\text{out}} / V_{\text{in}} = X_C / (R^2 + X_C^2)^{1/2}$$

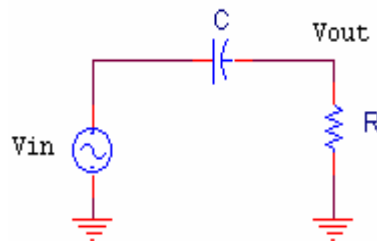
Góc pha giữa tín hiệu vào và ra bằng

$$\phi = - \arctan(R/X_C)$$

Dấu trừ trong phương trình góc pha chứng tỏ rằng thế lối ra chậm (lag) pha hơn thế lối vào.

MẠCH LEAD

Hình 10-4 cho thấy một mạch lead.



Hình 10-4

Hệ số khuếch đại thế của mạch này là

$$V_{\text{out}} / V_{\text{in}} = R / (R^2 + X_C^2)^{1/2}$$

Góc pha giữa tín hiệu vào và ra bằng

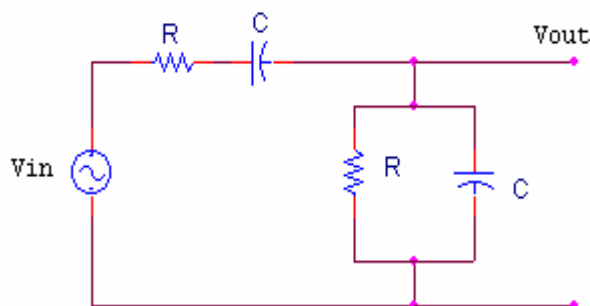
$$\phi = \arctan(X_C/R)$$

Góc pha dương chứng tỏ rằng thế lối ra nhanh (lead) pha hơn thế lối vào.

Mạch lead và mạch lag như trên đây là thí dụ về các mạch dịch pha. Chúng có thể làm cho pha tín hiệu ra dịch pha (nhanh hoặc chậm) so với tín hiệu vào. Các mạch dao động điều hoà thường sử dụng các loại mạch dịch pha để tạo ra dao động tại một tần số.

MẠCH LEAD-LAG

Dao động cầu Wien dùng mạng phản hồi cộng hưởng gọi là mạch lead-lag như hình 10-5.



Hình 10-5

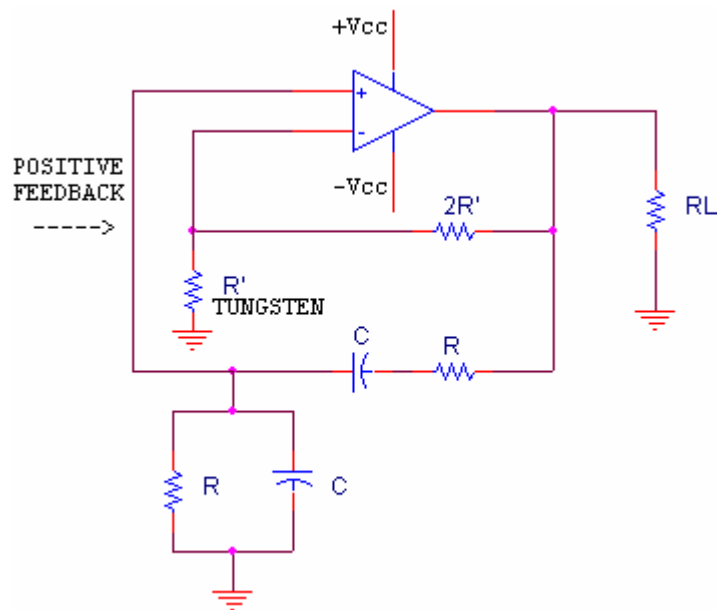
Tại tần số rất thấp, tụ nối tiếp xem như hở mạch đối với tín hiệu vào. Tại tần số rất cao tụ mắc shunt có tác dụng ngắn mạch đối với tín hiệu ra. Giữa hai giá trị này thế ra đạt giá trị cực đại. Tần số tại đó tín hiệu ra cực đại gọi là tần số cộng hưởng f_r . Cũng tại tần số này hệ số phản hồi β đạt đến giá trị cực đại và bằng 1/3. Tại tần số cộng hưởng góc pha bằng 0.

Phân tích bằng số phức chúng ta thu được hai phương trình sau cho mạch hình 10-5.

$$\beta = 1 / (10 - X_C / (R^2 + X_C^2))^{1/2} \quad (10-1)$$

và

$$\phi = \arctan((X_C/R - R/X_C)/3) \quad (10-2)$$



Hình 10-6

Hệ số phản hồi β đạt giá trị cực đại $1/3$ khi $X_C=R$. Từ đó suy ra:

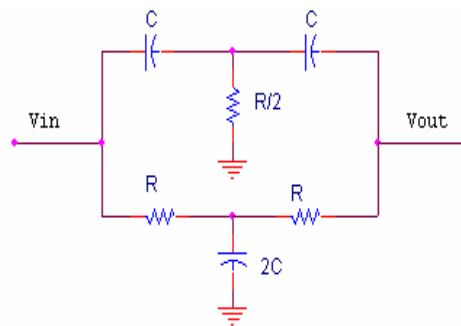
$$f_r = 1/2\pi RC \quad (10-3)$$

Hình 10-6 là mạch dao động cầu Wien. Nó dùng cả phản hồi âm và phản hồi dương. Phản hồi dương thực hiện qua mạch lead-lag về lối vào không đảo. Phản hồi âm qua cầu chia thế về lối vào đảo. Khi mới cấp nguồn cho mạch, lượng phản hồi dương nhiều hơn phản hồi âm (trở của dây tóc bóng đèn ban đầu có giá trị bé do chưa được nung nóng). Điều này cho phép mạch tự dao động như đã mô tả trước đây. Sau khi tín hiệu ra đạt đến giá trị mong muốn, sự phản hồi âm đủ lớn làm cho hệ số khuếch đại vòng kín $A\beta=1$.

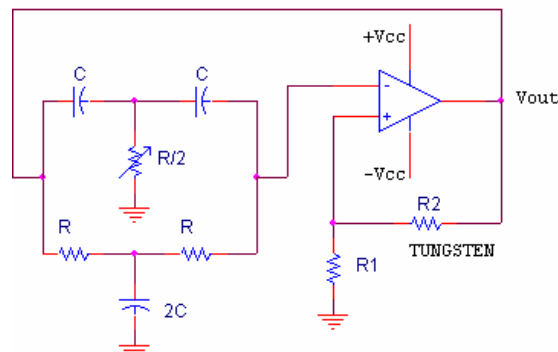
X.3 DAO ĐỘNG RC

Mặc dù dao động cầu Wien là dao động chuẩn cho các ứng dụng có tần số dưới 1MHz, nhưng các dao động RC khác cũng được dùng. Phần này sẽ phân tích mạch dao động chữ T kép và mạch dao động dịch pha.

BỘ LỌC CHỮ T



Hình 10-7



Hình 10-8

Hình 10-7 cho thấy một mạch lọc chữ T kép. Phân tích toán học cho mạch này giống như mạch lead-lag. Mặc khác có một tần số cộng hưởng f_r mà tại đó độ dịch pha bằng 0 và hệ số khuếch đại bằng 0. Phương trình cho tần số cộng hưởng của bộ lọc chữ T kép giống như với mạch dao động cầu Wien.

$$f_r = 1/2\pi RC$$

DAO ĐỘNG CHỮ T

Hình 10-8 cho thấy mạch dao động chữ T kép.

Phản hồi dương thực hiện bởi cầu chia thế đến đầu vào không đảo. Sự phản hồi âm thông qua bộ lọc chữ T kép.

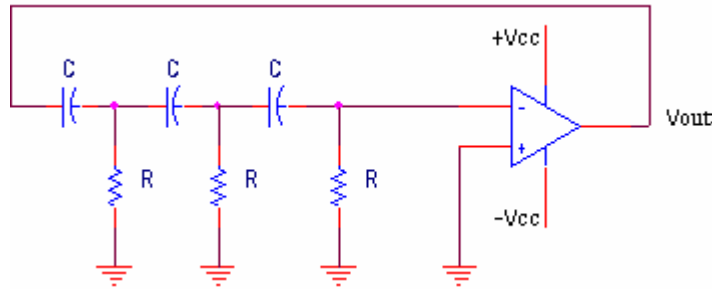
Khi mới bật điện, điện trở R_2 của bóng đèn thấp và do đó phản hồi dương là tối đa. Khi dao động đã được xác lập, R_2 tăng và phản hồi dương giảm dần. Khi đạt được tình trạng $A\beta=1$ thì mạch trở nên ổn định.

DAO ĐỘNG DỊCH PHA

Hình 10-9 là một mạch dao động dịch pha.

Nó có 3 mạch lead trên đường phản hồi âm. Mạch lead tạo ra góc dịch pha giữa 0 và 100^0 . Nếu như mỗi mạch lead có góc dịch pha là 60^0 thì góc dịch pha tổng là 180^0 . Pha lỗi ra lại bị xoay 180^0 . Do đó góc dịch pha của vòng là 0^0 . Nếu thỏa mãn điều kiện $A\beta=1$ thì mạch sẽ dao động.

Nhược điểm chủ yếu của các mạch dao động dịch pha là khó điều chỉnh tần số trong một vùng rộng.



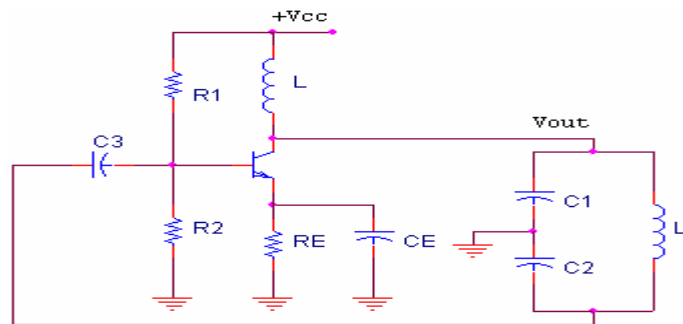
Hình 10-9

X.4 DAO ĐỘNG COLPITTS

Dao động cầu Wien chỉ thích hợp ở tần số thấp do giá trị hữu hạn của f_{unity} của OP AMP. Để tạo ra dao động tần số cao từ 1MHz đến 500MHz cần mạch dao động LC. Dải tần này lớn hơn f_{unity} của hầu hết các OP AMP. Do đó trong mạch dao động LC người ta dùng transistor hoặc FET. Trong mạch LC có thể phản hồi tín hiệu với biên độ và pha hợp lý cho sự dao động.

Tuy nhiên khó khăn chủ yếu của việc phân tích và thiết kế dao động LC là do tần số cao. Khi đó ảnh hưởng của các tụ ký sinh là đáng kể.

Hình 10-10 cho thấy một mạch dao động Colpitts.



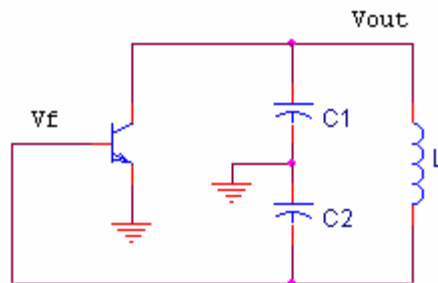
Hình 10-10

Cầu chia thế setup điểm phân cực tĩnh. Cuộn RF có cảm kháng rất cao do đó nó xem như hở mạch đối với tín hiệu ac. Hệ số khuếch đại tại tần số thấp bằng

$$r_c / r'_e \quad (10-4)$$

trong đó r_c là trở kháng xoay chiều của mạch collector. Do RF có trở kháng rất lớn, trở kháng ac của collector chủ yếu là trở kháng của mạch cộng hưởng. Trở kháng này có giá trị cực đại tại tần số cộng hưởng.

Có thể gặp các mạch dao động Colpitts kiểu khác. Dấu hiệu chung là cầu chia thế bằng tụ C_1 và C_2 . Chúng tạo ra sự phản hồi cần thiết cho dao động.



Hình 10-11

Hình 10-11 là mạch tương đương ac của dao động Colpitts. Lưu ý rằng thế ra trên C_1 còn thế phản hồi lấy trên C_2 .

Tần số cộng hưởng

Mạch cộng hưởng RC trong dao động Colpitts có tần số cộng hưởng bằng

$$f_r = 1/2\pi(LC)^{1/2} \quad (10-5)$$

trong đó $C = C_1 C_2 / (C_1 + C_2)$ do C_1 và C_2 nối tiếp nhau.

Hệ số phản hồi của mạch bằng

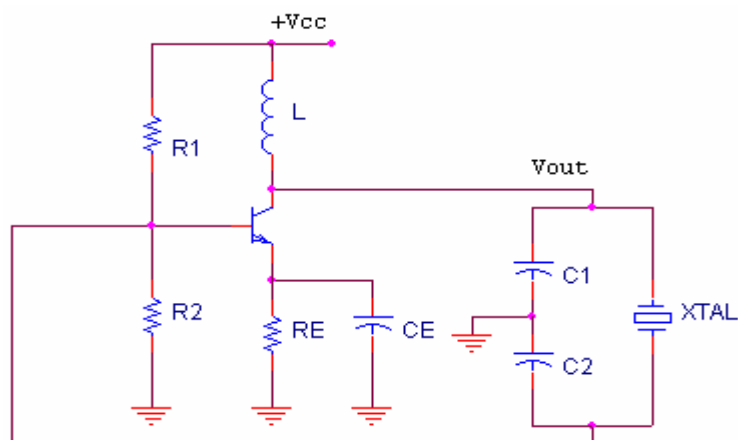
$$\beta = C_1 / C_2$$

do đó hệ số khuếch đại thế bé nhất bằng

$$A_{\min} = C_2 / C_1$$

X.5 DAO ĐỘNG THẠCH ANH

Khi độ chính xác và độ ổn định của tần số là quan trọng thì dao động thạch anh được dùng. Hình 10-12 cho thấy một dao động thạch anh.



Hình 10-12

Thạch anh (XTAL) đóng vai trò như một cuộn cảm lớn nối tiếp với một tụ bé. Do đó tần số cộng hưởng hầu như không ảnh hưởng bởi transistor và các tụ ký sinh.

Đối với mạch dao động thạch anh, có thể dùng các biểu thức sau

$$f_r = 1/2\pi(LC)^{1/2}$$

$$C = 1 / (1/C_1 + 1/C_2 + 1/C_3)$$

$$\beta = C_1 / C_2$$

$$A_{\min} = C_2 / C_1$$

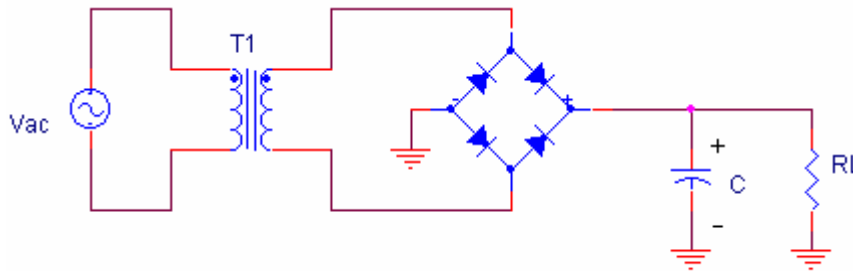
Chương XI **NGUỒN NUÔI**

XI.1 CÁC ĐẶC TRƯNG CỦA NGUỒN NUÔI

Chất lượng của một bộ nguồn phụ thuộc vào độ ổn định tải, độ ổn định nguồn và trở kháng ra của nó. Chúng ta hãy xem xét các đặc trưng này của bộ nguồn.

Độ ổn định tải (Load Regulation)

Hình 11-1 cho thấy bộ nguồn với mạch nắn cầu và bộ lọc dùng tụ C.



Hình 11-1

Thay đổi tải R_L sẽ làm thay đổi thế tải. Nếu trở tải nhỏ sẽ làm cho độ gợn sóng trên tải tăng, sụt thế qua các diode và cuộn thứ cấp cũng sẽ tăng. Do đó một sự giảm trở tải sẽ làm giảm thế tải. Độ ổn định tải cho biết thế tải thay đổi ra sao khi dòng tải thay đổi.

Định nghĩa độ ổn định tải

$$\text{LOAD REGULATION} = (V_{NL} - V_{FL}) \times 100\% / V_{FL} \quad (11-1)$$

Trong đó V_{NL} là thế trên tải khi dòng tải bằng 0

V_{FL} là thế trên tải khi dòng tải tối đa

Ví dụ mạch hình 11-1 có

$V_{NL} = 10.6\text{V}$ khi $I_L = 0$

$V_{FL} = 9.25\text{V}$ khi $I_L = 1\text{A}$

Thì Load Regulation = $(10.6 - 9.25) \times 100\% / 9.25 = 14.6\%$

Độ ổn định tải càng bé thì bộ nguồn càng tốt. Các bộ nguồn ổn áp tốt có độ ổn định tải bé hơn 1%, nghĩa là thế tải thay đổi ít hơn 1% trong toàn miền của dòng tải.

Độ ổn định lưới (Line Regulation)

Trên hình 11-1 nguồn vào có giá trị danh định là 120V (tại Mỹ). Giá trị thực tại ổ cắm có thể thay đổi từ 105V đến 125V phụ thuộc vào thời gian, địa điểm và một số yếu tố khác. Do thế thứ cấp tỷ lệ trực tiếp với thế vào do đó thế tải sẽ thay đổi khi thế lưới thay đổi.

Độ ổn định lưới định nghĩa như sau:

$$\text{LINE REGULATION} = (V_{\text{HL}} - V_{\text{LL}}) \times 100\% / V_{\text{LL}} \quad (11-2)$$

Trong đó V_{HL} là thế tải khi thế nguồn cao.

V_{LL} là thế tải khi thế nguồn thấp.

Ví dụ $V_{\text{HL}} = 11.2\text{V}$ khi thế lưới là 125V, $V_{\text{LL}} = 9.2\text{V}$ khi thế lưới là 105V

Độ ổn định lưới $= (11.2 - 9.2) \times 100\% / 9.2 = 21.7\%$

Cũng như độ ổn định tải, độ ổn định lưới càng bé càng tốt. Các bộ nguồn ổn áp tốt có độ ổn định lưới bé hơn 0.1%.

ĐIỆN TRỞ RA

Điện trở Thevenin hay điện trở ra của bộ nguồn quy định bởi độ ổn định tải.

Một bộ nguồn có trở ra thấp thì độ ổn định tải của nó cũng sẽ thấp.

Điện trở ra của một bộ nguồn tính theo công thức sau:

$$R_{\text{TH}} = (V_{\text{NL}} - V_{\text{FL}}) / I_{\text{FL}} \quad (11-3)$$

Chẳng hạn đối với mạch hình 11-1, ta có

$V_{\text{NL}} = 10.6\text{V}$ khi $I_{\text{L}} = 0$

$V_{\text{FL}} = 9.25\text{V}$ khi $I_{\text{L}} = 1\text{A}$

$R_{\text{TH}} = (10.6 - 9.25) / 1 = 1.35\Omega$

Biểu thức tương đương cho độ ổn định tải là

$$\text{Độ ổn định tải} = R_{\text{TH}} \times 100\% / R_{\text{L}(\text{min})} \quad (11-4)$$

Ví dụ, một bộ nguồn có trở ra 1.5Ω và trở tải tối thiểu là 10Ω thì độ ổn định tải bằng

$$\text{Độ ổn định tải} = (1.5/10) \times 100\% = 15\%$$

XI.2 CÁC ỔN ÁP MẮC SHUNT

Độ ổn định lưới và độ ổn định tải của một bộ nguồn không ổn áp là quá cao đối với hầu hết các ứng dụng. Bằng cách sử dụng bộ ổn áp (Voltage Regulator) giữa bộ nguồn và tải chúng ta có thể cải thiện một cách đáng kể độ ổn định lưới và độ ổn định tải.

Một bộ ổn áp thế kiểu tuyến tính dùng các linh kiện trong vùng tuyến tính để giữ thế trên tải là hằng số. Có 2 loại ổn áp tuyến tính:

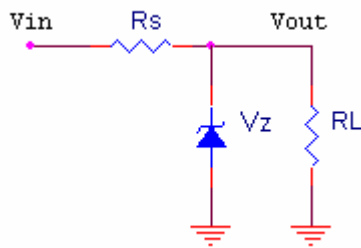
Ổn áp tuyến tính mắc shunt

Ổn áp tuyến tính mắc nối tiếp

Trong phần này chúng ta xét ổn áp tuyến tính mắc shunt, một loại ổn áp mà mạch ổn áp mắc song song với tải.

ỔN ÁP ZENER

Ổn áp mắc shunt đơn giản nhất là mạch diode Zener như hình 11-2.



Hình 11-2

Trong mạch này diode Zener hoạt động trong vùng đánh thủng. Khi dòng tải thay đổi, dòng qua Zener tăng hoặc giảm một cách tương ứng để giữ cho thế tải không đổi. Trên hình 11-2, dòng qua R_S bằng

$$I_S = (V_{in} - V_{out}) / R_S$$

Thế trên tải bằng

$$V_{out} = V_Z$$

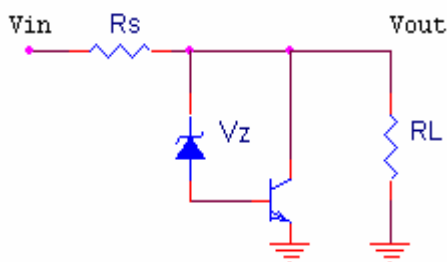
Khi thế vào là không đổi, dòng vào gần như không đổi khi dòng tải thay đổi.

Dòng trên tải

$$I_L = I_S - I_Z$$

Dòng tải có giá trị tối đa bằng dòng vào và khi dòng qua Zener bằng 0.

Khi dòng tải lớn, mạch hình 11-2 có độ ổn định tải kém vì sự thay đổi của dòng qua điện trở Zener có thể làm thay đổi thế ra đáng kể. Một cách để cải thiện độ ổn định tải khi dòng tải lớn là thêm một transistor như hình 11-3.



Hình 11-3

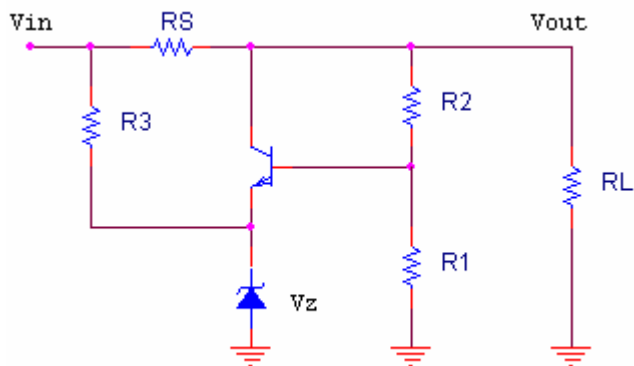
Với mạch này thế ra bằng

$$V_{out} = V_Z + V_{BE} \quad (11-5)$$

Nếu thế ra tăng, thế phản hồi về base của transistor tăng làm cho sụt thế qua R_S tăng. Kết quả là thế ra lại giảm.

THẾ RA CAO HƠN

Hình 11-4 cho thấy một mạch ổn áp có thế ra cao mặc dù sử dụng Zener có thể đánh thủng thấp.



Hình 11-4

Mạch dùng phản hồi âm. Mọi thay đổi trên thế lối ra được phản hồi về base của transistor.

Thế base của transistor cho bởi công thức

$$V_B = R_1 V_{out} / (R_1 + R_2)$$

Do đó thế ra bằng

$$V_{out} = (R_1 + R_2) V_B / R_1$$

Trên hình 11-4, thế cực base bằng

$$V_B = V_Z + V_{BE}$$

Vậy

$$V_{out} = (R_1 + R_2) (V_Z + V_{BE}) / R_1 \quad (11-6)$$

Một cách để loại trừ ảnh hưởng của V_{BE} vào thế ra thay transistor bằng OP AMP. Với OP AMP có hệ số khuếch đại lớn, thế ra cho bởi

$$V_{out} = (R_1 + R_2) V_Z / R_1 \quad (11-7)$$

BẢO VỆ NGẮN MẠCH

Ưu điểm của các mạch ổn áp mắc shunt là tự bảo vệ ngắn mạch. Khi ngắn mạch dòng qua R_S là tối đa và bằng

$$V_{in} / R_S$$

Hiệu suất của ổn áp

Hiệu suất

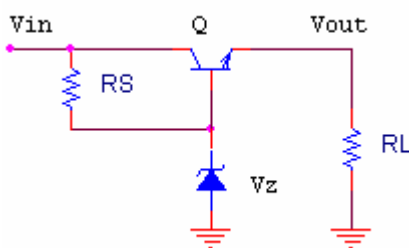
$$\eta = (P_{out} / P_{in}) \times 100\% \quad (11-8)$$

XI.3 CÁC ỔN ÁP MẮC NỐI TIẾP

Nhược điểm của ổn áp mắc shunt là hiệu suất thấp. Để nâng cao hiệu suất người ta dùng ổn áp nối tiếp hoặc ổn áp xung. Ổn áp xung cho hiệu suất cao từ 75% đến 95%. Nhưng ổn áp xung lại tạo ra nhiễu tần số cao RFI (radio frequency interference). Mặc khác ổn áp xung khá phức tạp.

Các ổn áp mắc nối tiếp là thích hợp cho các ứng dụng cần công suất bé hơn 10W vì thiết kế đơn giản, hiệu suất từ 50 đến 70%. Trong các ổn áp loại này transistor hoạt động trong miền tác động.

Ổn áp nối tiếp đơn giản nhất là mạch lặp lại zener như hình 11-5.



Hình 11-5

Thế ra của mạch ổn áp bằng

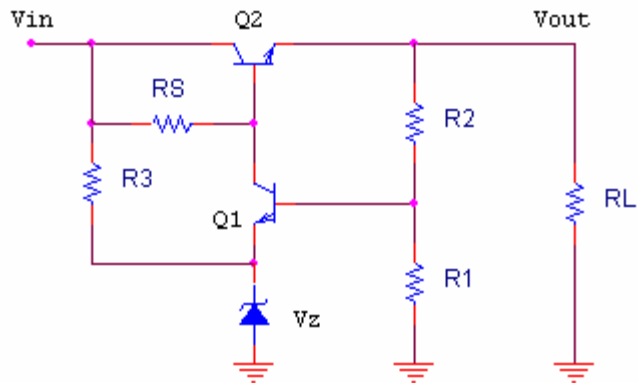
$$V_{\text{out}} = V_Z + V_{\text{BE}} \quad (11-9)$$

Nếu thế vào hoặc dòng tải thay đổi, thế zener và thế emitter base sẽ thay đổi chút ít. Trong ổn áp mắc nối tiếp dòng tải xấp xỉ dòng vào vì dòng qua Zener khá bé. Transistor trong mạch gọi là transistor thông dẫn vì dòng tải chảy qua nó.

Hiệu suất của mạch này lớn hơn mạch mắc shunt vì chúng ta đã thay điện trở bởi transistor. Dòng vào của ổn áp nối tiếp thay đổi theo dòng tải chứ không phải là hằng số như ổn áp mắc shunt.

ỔN ÁP HAI TRANSISTOR

Hình 11-6 cho thấy mạch ổn áp dùng 2 transistor.



Hình 11-6

Nếu thế ra tăng do thế vào tăng hoặc do dòng tải giảm thì thế phản hồi về Q_1 tăng làm tăng dòng qua Q_1 và vì vậy làm giảm thế base của Q_2 . Kết quả là thế lối ra giảm.

Thế ra của mạch cho bởi

$$V_{out} = (R_1 + R_2)(V_Z + V_{BE}) / R_1 \quad (11-10)$$

Dòng qua transistor Q_2 bằng

$$I_C = I_L + I_2$$

Trong đó I_2 là dòng chảy qua cầu phân thế R_1 và R_2 .

Thường I_2 rất bé so với I_L vì vậy $I_C = I_L$.

Công suất tiêu tán

$$P_D = (V_{in} - V_{out})I_L \quad (11-12)$$

Hiệu suất

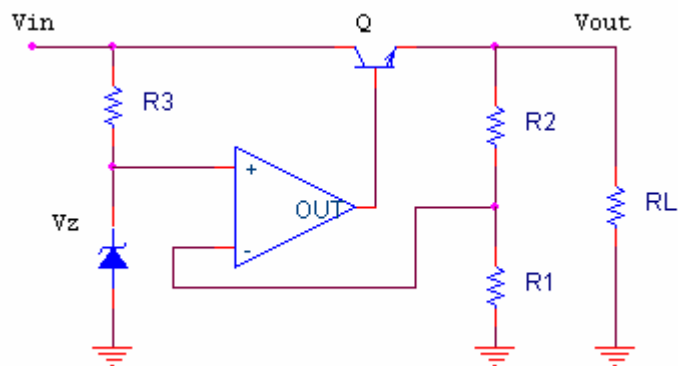
$$\eta = (V_{out} / V_{in}) \times 100\% \quad (11-13)$$

ỔN ÁP CẢI TIẾN

Hình 11-7 cho thấy một ổn áp nối tiếp cải tiến nhờ sử dụng OP AMP.

Thế ra bằng

$$V_{out} = (R_1 + R_2)V_Z / R_1 \quad (11-14)$$



Hình 11-7

XI.4 CÁC IC ỔN ÁP TUYẾN TÍNH

Có nhiều ổn áp tuyến tính được tích hợp trong IC. Tất cả chúng là ổn áp nối tiếp. Thông thường các IC này có 3 chân: Chân điện áp vào chưa ổn áp, chân điện áp ra đã ổn áp và chân GND. Các ổn áp 3 chân có vỏ bằng nhựa hoặc vỏ kim loại này ngày càng phổ biến vì rẻ tiền và dễ dùng. Các ổn áp IC 3 chân này có thể cho điện áp ra dương hoặc âm cố định từ 5 đến 24V với dòng tải đến 1A. Một số ổn áp cho phép điều chỉnh điện áp lối ra từ 2 đến 40V.

Đối với các IC ổn áp, nhà máy định nghĩa lại hệ số ổn định nguồn và tải như sau:

Độ ổn định nguồn = ΔV_{out} đối với toàn miền của dòng tải

Độ ổn định tải = ΔV_{out} đối với toàn miền của thế vào

Bảng 11-1 cho thấy một số các IC ổn áp điển hình và các thông số của chúng.

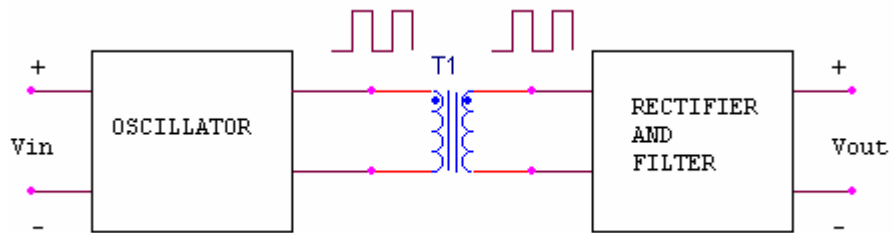
Lưu ý: thế drop out là thế sụt qua IC ổn áp bé nhất mà ổn áp còn hoạt động được. Nói cách khác thế vào tối thiểu của ổn áp IC phải bằng thế ra danh định cộng với thế drop out. Ví dụ với LM7805 thế vào tối thiểu là 8V.

Number	V_{out} (V)	I_{max} (A)	Load Reg (mV)	Line Reg	Drop out (V)
LM7805	5	1.5	10	3	2
LM7806	6	1.5	12	5	2
LM7808	8	1.5	12	6	2
LM7812	12	1.5	12	4	2
LM7815	15	1.5	12	4	2
LM7818	18	1.5	12	15	2
LM7811	11	1.5	12	18	2
LM78L05	5	0.1	20	18	1.7
LM78L12	12	0.1	30	30	1.7
LM2931	3 to 11	0.1	14	4	0.3
LM7905	-5	1.5	10	3	2
LM7912	-12	1.5	12	4	2
LM7915	-15	1.5	12	4	2
LM317	1.2 to 37	1.5	0.3%	0.02%/V	2
LM337	-1.2 to -37	1.5	0.3%	0.01%/V	2
LM338	1.2 to 32	5	0.3%	0.02%/V	2.7

XI.5 CÁC BỘ BIẾN ĐỔI DC - DC

Đôi khi chúng ta cần biến đổi một thế DC này thành một thế DC khác. Ví dụ biến đổi từ 5V thành 12V. Các bộ biến đổi DC-DC là rất hiệu quả vì chúng sử dụng transistor ở chế độ công tắc. Trong phần này chúng ta sẽ phân tích bộ biến đổi DC-DC không ổn áp. Phần sau sẽ phân tích bộ biến đổi DC-DC ổn áp sử dụng sự biến điệu độ rộng xung hay còn gọi là ổn áp xung (Switching Regulators)

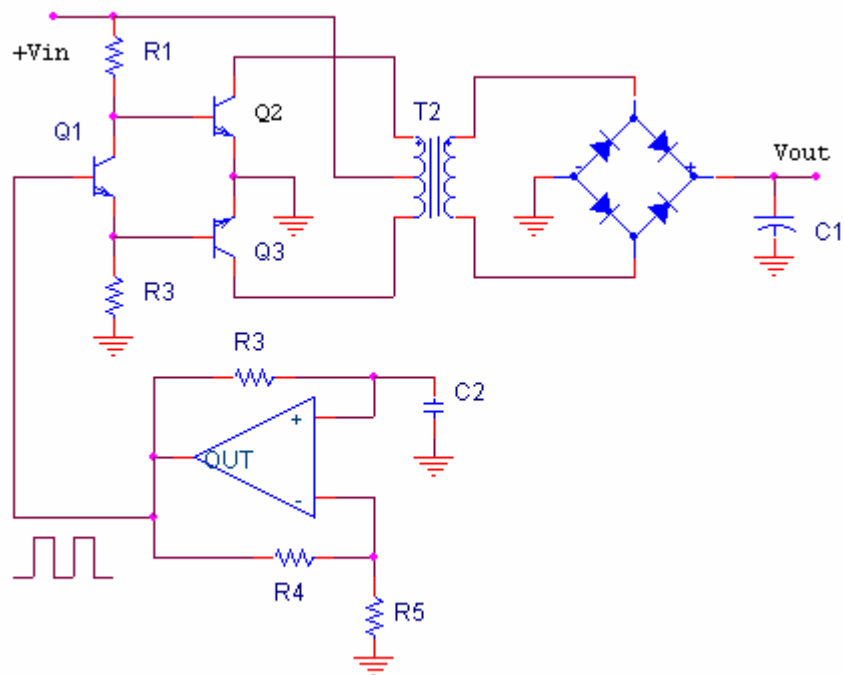
Một bộ biến đổi DC-DC căn bản (xem hình 11-8) gồm một bộ tạo xung vuông được nuôi bởi thế DC cần biến đổi. Sóng vuông này (có giá trị đỉnh bằng giá trị của nguồn DC vào) kích thích cuộn sơ cấp biến áp. Tại thứ cấp của biến áp chúng ta cũng nhận được xung vuông nhưng có biên độ lớn hơn hoặc bé hơn sóng vuông điều khiển. Qua mạch nắn và lọc chúng ta nhận được thế DC cần thiết.



Hình 11-8

Tần số hoạt động của bộ biến đổi (sóng vuông) là khoảng 10 KHz đến 100KHz.

Hình 11-9 là một mạch biến đổi DC-DC không ổn áp, sử dụng transistor.



Hình 11-9

Bộ tạo sóng vuông dùng OP AMP hoạt động tại tần số 20KHz. Q_1 là mạch tách pha để tạo 2 tín hiệu ngược pha kích thích cặp transistor đẩy kéo Q_2 và Q_3 .

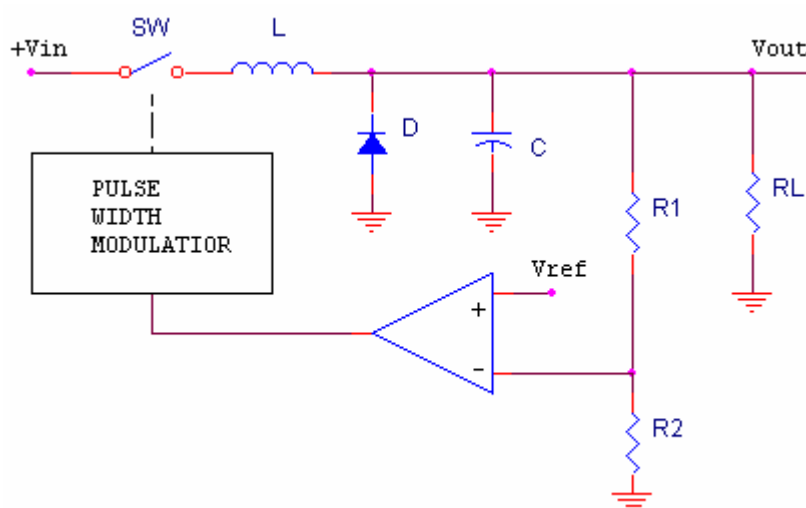
Bộ biến đổi DC-DC không ổn áp cần phải có thể lõi vào ổn định (lõi ra của ổn áp chẳng hạn)

XI.6 NGUỒN ỔN ÁP XUNG

Ổn áp xung thuộc loại biến đổi DC-DC nhưng sử dụng mạch ổn áp bên trong. Người ta thường dùng sự biến điệu độ rộng xung (Pulse Width Modulation PWM) để điều khiển thời gian on/off của transistor. Bằng cách thay đổi độ rộng của xung có thể ổn định điện áp lõi ra khi dòng tải hoặc thế nguồn thay đổi.

Trong ổn áp nối tiếp, transistor thông dẫn luôn luôn dẫn do đó công suất tiêu tán lớn và hiệu suất thấp. Để giảm công suất tiêu tán và nâng cao hiệu suất, một xung vuông điều khiển transistor thông dẫn chuyển giữa 2 chế độ bão hoà hoặc ngưng dẫn. Khi transistor ngưng dẫn công suất tiêu tán bằng 0. Khi transistor bão hoà công suất tiêu tán rất thấp vì sụt thế qua transistor bão hoà rất bé. Do vậy ổn áp xung có thể đạt hiệu suất đến 95%. Vì hiệu suất cao và kích thước bé nên ổn áp xung dùng nhiều trong các thiết bị điện tử thế hệ mới.

Có nhiều cấu hình cho ổn áp xung tùy theo dải công suất và yêu cầu về chất lượng. Hình 11-10 là một ổn áp xung thông thường.



Hình 11-10

Switch là transistor lưỡng cực hoặc FET công suất. Bộ biến điệu độ rộng xung là dao động sóng vuông có tần số cố định (từ 10 KHz đến 100KHz) nhưng độ xấp (tỷ số giữa thời gian xung ở mức cao và thời gian xung ở mức thấp) thay đổi được. Mạch so sánh dùng OP AMP.

Ban đầu khi power on, thế ra của mạch bằng 0. Khi đó thế phản hồi về lối vào – của OP AMP cũng bằng 0. Thế ra của OP AMP rất lớn làm cho độ xấp của xung là cực đại. Tại phần dương của xung điều khiển, SW đóng. Lúc này diode bị phân cực ngược và dòng vào chảy qua cuộn L. Dòng này tạo ra từ trường xung quanh cuộn L. Năng lượng từ trường cho bởi

$$W=0.5 LI^2$$

Dòng điện này nạp cho tụ C và chảy qua tải. Khi xung điều khiển có mức thấp, SW hở. Lúc này dòng qua cuộn giảm làm từ trường qua cuộn L cũng giảm làm xuất hiện thế tự cảm ngược chiều. Thế tự cảm này phân cực thuận diode và duy trì dòng qua cuộn như ban đầu. Dòng này chảy qua tải cũng với hướng như khi SW đóng. Nói cách khác khi SW hở cuộn cảm đóng vai trò như nguồn và tiếp tục cung cấp dòng qua tải cho đến khi cuộn trả hết năng lượng cho mạch hoặc khi SW đóng lại. Quá trình cứ thế tiếp tục và trên tải có dòng DC.

Giá trị trung bình của thế ra bằng

$$V_{out} = D V_{in} \quad (11-15)$$

Trong đó D là độ xấp của xung. Bằng cách kiểm soát D có thể làm cho V_{out} không thay đổi.

Vì OP AMP có hệ số khuếch đại rất lớn và ngắn mạch ảo giữa 2 lối vào nên

$$V_{FB} = V_{REF}$$

Do đó

$$V_{out} = (R_1 + R_2)V_{REF} / R_1 \quad (11-16)$$

Các bộ nguồn ổn áp kiểu xung thế hệ mới sử dụng khuếch đại đẩy kéo và biến áp xung cách ly giữa sơ cấp và thứ cấp của bộ nguồn. Trong trường hợp đó phải thực hiện nối quang học (dùng phototransistor) để phản hồi thế lối

ra về lối vào. Bộ nguồn của TV, máy tính, màn hình và máy in hiện nay đều là bộ ổn áp xung có công suất từ vài chục đến vài trăm W. Thế vào ac được nắn lọc trực tiếp để tạo ra nguồn dc chưa ổn áp. Nguồn dc chưa ổn áp này sau đó lại được biến đổi DC-DC kiểu xung nhằm tạo ra các điện thế thấp và ổn định cho các mạch điện tử. Tùy theo ứng dụng, các điện áp dc ở lối ra của các bộ nguồn kiểu xung có thể là 3.3V, 5V, 12V và một số các điện áp dc khác.

.....