

Chương 3

KĨ THUẬT XUNG - SỐ

"Kĩ thuật xung - số" là thuật ngữ bao gồm một lĩnh vực khá rộng và quan trọng của ngành kĩ thuật điện tử - tin học. Ngày nay trong bước phát triển nhảy vọt của kĩ thuật tự động hóa, nó mang ý nghĩa là khâu then chốt, là công cụ không thể thiếu để giải quyết các nhiệm vụ kĩ thuật cụ thể hướng tới mục đích giảm các chi phí về năng lượng và thời gian cho một quá trình công nghệ hay kĩ thuật, nâng cao độ tin cậy hay hiệu quả của chúng.

Trong chương này, do thời gian hạn chế, chúng ta chỉ đề cập tới một số vấn đề có tính chất cơ bản, mở đầu của kĩ thuật xung - số.

3.1. KHÁI NIỆM CHUNG

3.1.1. Tín hiệu xung và tham số

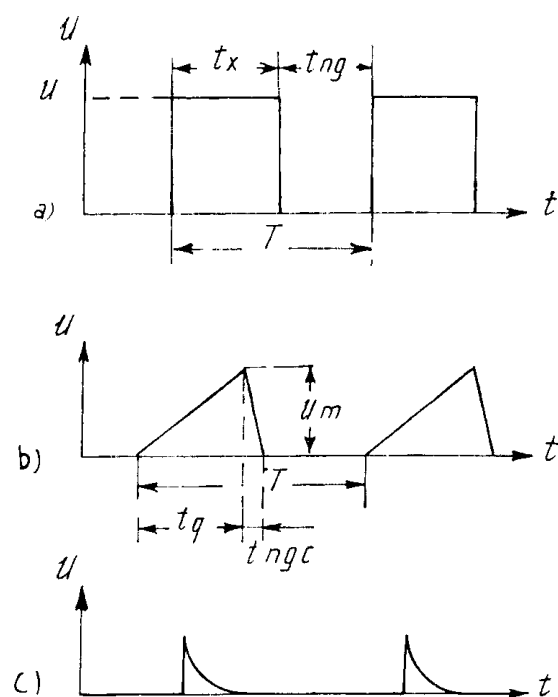
Tín hiệu điện áp hay dòng điện biến đổi theo thời gian (mang nội dung của một quá trình thông tin nào đó) có hai dạng cơ bản : liên tục hay rời rạc (gián đoạn). Tương ứng với chúng, tồn tại hai loại hệ thống gia công, xử lí tín hiệu có những đặc

điểm kĩ thuật khác nhau mang những ưu, nhược điểm khác nhau là hệ thống liên tục (analog) và hệ thống rời rạc (digital). Nhiều khi, do đặc điểm lịch sử phát triển và để phát huy đầy đủ ưu thế của từng loại ta gặp trong thực tế hệ thống lai ghép kết hợp cả việc gia công xử lí hai loại tín hiệu trên.

Đối tượng của chương này chỉ đề cập tới loại tín hiệu rời rạc theo thời gian gọi là tín hiệu xung.

Dạng các tín hiệu xung thường gặp cho trên hình 3.1. Chúng có thể là một dãy xung tuần hoàn theo thời gian với chu kì lặp lại T , hay chỉ là một xung đơn xuất hiện một lần, có cực tính dương, âm hoặc cực tính thay đổi.

Hình 3.2 chỉ ra một xung vuông thực tế với các đoạn đặc trưng : sườn trước, đỉnh và sườn sau. Các tham số cơ bản là biên độ, độ rộng xung, độ rộng sườn trước và sau, độ sụt đỉnh.



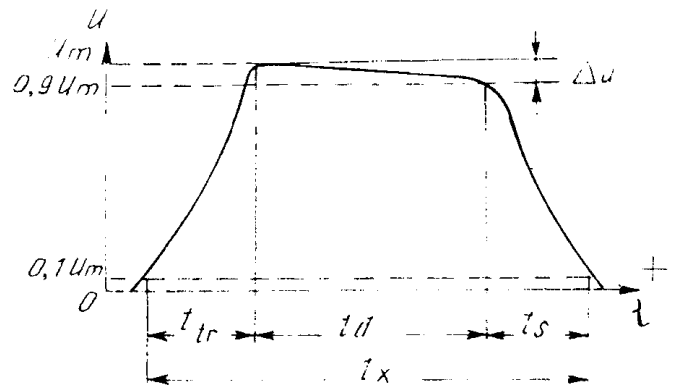
Hình 3.1 : Các dạng tín hiệu xung
a) Dãy xung vuông ;
b) Dãy xung tam giác (răng cưa) ;
c) Dãy xung hàm mũ (xung kim).

- Biên độ xung U_m xác định bằng giá trị lớn nhất của điện áp tín hiệu xung có được trong thời gian tồn tại của nó.

- Độ rộng sườn trước và sườn sau (t_{tr} và t_s) xác định bởi khoảng thời gian tăng và thời gian giảm của biên độ xung trong khoảng giá trị $0,1 U_m$ đến $0,9 U_m$.

- Độ rộng xung t_x xác định bằng khoảng thời gian có xung với biên độ trên mức $0,1 U_m$ (hay mức $0,5 U_m$).

- Độ sụt đỉnh xung thể hiện mức giảm biên độ xung ở đoạn đỉnh xung.



Hình 3.2 : Dạng xung vuông thực.

Với dãy xung tuần hoàn, còn có các tham số đặc trưng sau (cụ thể xét với dãy xung vuông).

- Chu kì lặp lại xung T (hay tần số xung $f = \frac{1}{T}$) là khoảng thời gian giữa các điểm tương ứng của hai xung kế tiếp nhau.

- Thời gian nghỉ t_{ng} (h.3.1a) là khoảng thời gian trống giữa hai xung liên tiếp.

- Hệ số lấp đầy γ là tỉ số giữa độ rộng t_x và chu kì T .

$$\gamma = \frac{t_x}{T}$$

từ đó có hệ thức : $T = t_x + t_{ng}$ và $\gamma < 1$

Trong kĩ thuật xung - số, người ta thường sử dụng phương pháp số đối với dạng tín hiệu xung với quy ước chỉ có hai trạng thái phân biệt :

- Trạng thái có xung (khoảng t_x) với biên độ lớn hơn một mức ngưỡng U_H gọi là mức cao hay mức "1", mức U_H thường được chọn cỡ bằng 1/2 điện áp nguồn cung cấp.

- Trạng thái không có xung (khoảng t_{ng} với biên độ nhỏ hơn một mức ngưỡng U_L gọi là mức thấp hay mức "0", mức U_L được chọn tùy theo phần tử khóa (tranzito, IC).

- Các mức điện áp ra trong dải $U_L < U_{ra} < U_H$ là các trạng thái cấm. Vấn đề này sẽ được đề cập kĩ hơn ở phần tiếp theo.

3.1.2. Chế độ khóa của tranzito

Tranzito làm việc ở chế độ khóa hoạt động như một khóa điện tử đóng mở mạch với tốc độ nhanh ($10^{-9} \div 10^{-6}$ s) do đó có nhiều đặc điểm khác với chế độ khuếch đại đã xét ở chương trước.

a - Yêu cầu cơ bản với một tranzito ở chế độ khóa là điện áp đầu ra có hai trạng thái khác biệt :

- $U_{ra} \geq U_H$ khi $U_{vào} \leq U_L$
- $U_{ra} \leq U_L$ khi $U_{vào} \geq U_H$

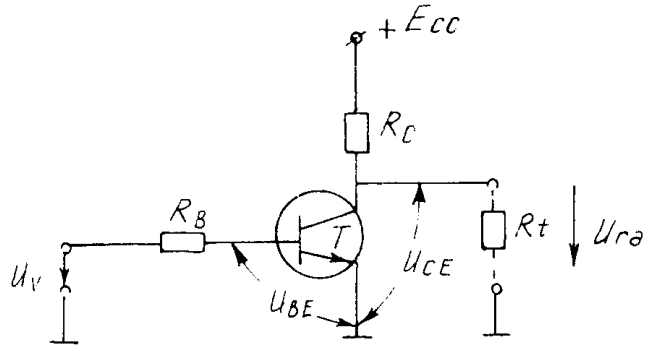
(3-1)

Chế độ khóa của tranzito được xác định bởi chế độ điện áp hay dòng điện một chiều cung cấp từ ngoài qua 1 mạch phụ trợ (khóa thường đóng hay thường mở). Việc chuyển trạng thái của khóa thường được thực hiện nhờ một tín hiệu xung có cực tính thích

hợp tác động tới đầu vào. Cũng có trường hợp khóa tự động chuyển đổi trạng thái một cách tuần hoàn nhờ mạch hồi tiếp dương nội bộ, khi đó không cần xung điều khiển (xem các phần mạch tạo xung tiếp sau).

Để đưa ra những đặc điểm chủ yếu của chế độ khóa, hãy xét mạch cụ thể hình 3.3.

Sơ đồ thực hiện được điều kiện (3-1) khi lựa chọn các mức U_{II} , U_L cũng như các giá trị R_C và R_B thích hợp. Ban đầu (khi $U_V = 0$ hay $U_V \leq U_L$) tranzito ở trạng thái đóng, dòng điện ra $I_C = 0$, lúc không có tải R_t .



Hình 3.3 : Mạch khóa (đào) dùng tranzito.

$$U_{ra} = +E_{cc}$$

Lúc điện trở tải nhỏ nhất $R_C = R_t$ (với R_t là điện trở vào của mạch tầng sau nối với đầu ra của sơ đồ) $U_{ra} = 1/2E_{cc}$ là mức nhỏ nhất của điện áp ra ở trạng thái H, để phân biệt chắc chắn, ta chọn $U_{II} < 1/2E_{cc}$ (chẳng hạn $U_{II} = 1,5V$ khi $E_{cc} = 5V$). Phù hợp với điều kiện (3-1), điện áp vào phải nằm dưới mức U_L (được hiểu là điện áp vào lớn nhất để tranzito vẫn bị khóa chắc $U_L = U_{Vmax}$). Với tranzito silic người ta chọn $U_L = 0,4V$.

Khi có xung điều khiển cực tính dương đưa tới đầu vào $U_{vào} \geq U_{II}$ tranzito chuyển sang trạng thái mở (bão hòa), điện áp ra khi đó phải thỏa mãn điều kiện $U_{ra} \leq U_L$. Điện trở R_C chọn thích hợp để thời gian quá độ đủ nhỏ và dòng I_C không quá lớn, chẳng hạn $R_C = 5k\Omega$. Xác định R_B để khi $U_V = U_{II} = 1,5V$ thì $U_{ra} \leq U_L = 0,4V$. Muốn vậy $I_{cbh} = E_{cc}/R_C = 1mA$ với $\beta = 100$ khi đó dòng bazơ $I_{Bbh} = 10\mu A$. Để tranzito bão hòa vững, chọn $I_B = 100\mu A$ (tức là có dự trữ 10 lần), lúc đó lưu ý $U_{BE} = 0,6V$ có

$$R_B = \frac{(1,5 - 0,6)V}{100\mu A} = 9k\Omega$$

b - Đặc tính truyền đạt của sơ đồ với những tham số trên cho ở hình 3.4. Để đánh giá mức tin cậy của khóa, người ta định nghĩa các tham số độ dự trữ chống nhiễu ở mức cao S_{II} và ở mức thấp S_L :

$$S_{II} = U_{ra \text{ khóa}} - U_{II} \quad (3-2)$$

$$S_L = U_L - U_{ra \text{ mở}}$$

Ở đây $U_{ra \text{ khóa}}$ và $U_{ra \text{ mở}}$ là các điện áp thực tế tại lối ra của tranzito lúc khóa hay mở tương ứng.

Với trường hợp cụ thể trên

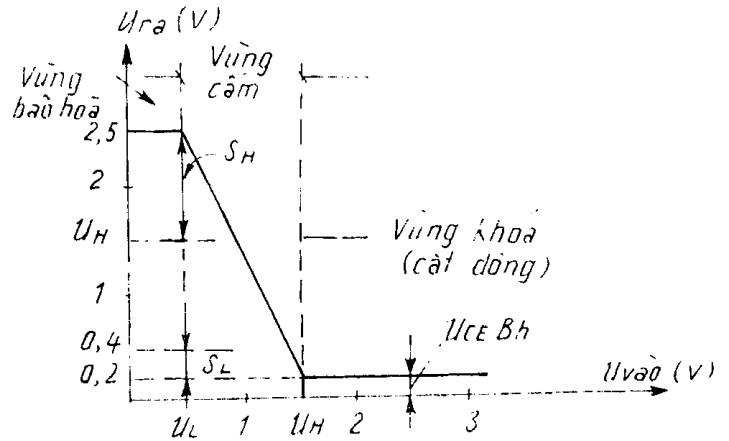
$$S_{II} = 2,5V - 1,5V = 1V \text{ (lúc } U_V \leq U_L)$$

$$S_L = 0,4V - 0,2V = 0,2V \text{ (lúc } U_V \geq U_{II})$$

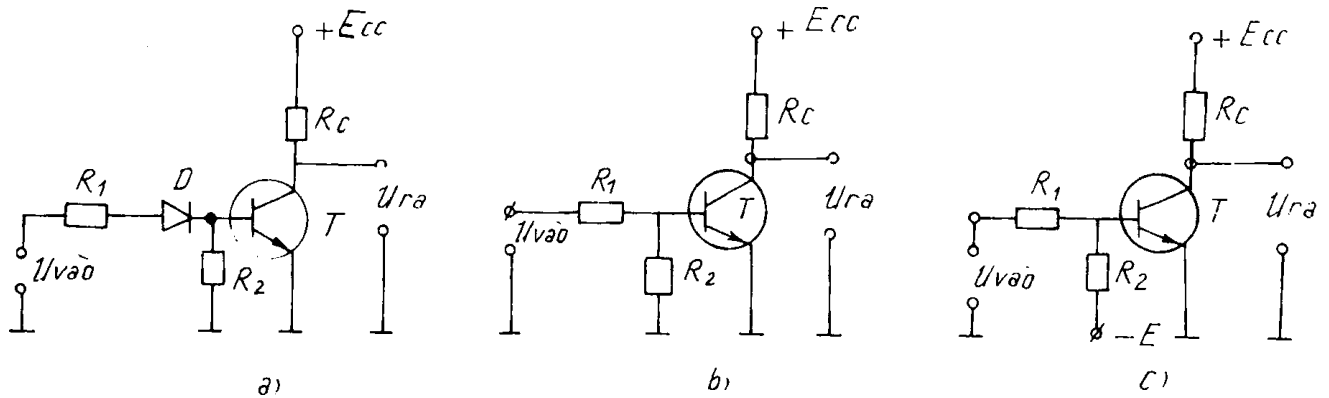
Từ đó có nhận xét sau :

- Có thể dễ dàng đạt được mức S_{11} lớn bằng cách chọn E_{cc} và các tham số R_c , R_B thích hợp.

- Do S_{11} thường nhỏ, cần phải quan tâm đặc biệt tới việc nâng cao tính chống nhiễu với mức thấp. Vì trị số điện áp ra $U_{rabb} = U_{CEbb}$ thực tế không thể giảm được, muốn S_{11} tăng, cần tăng mức U_L (xem biểu thức 3.2). Muốn vậy, người ta đưa vào mạch bazơ một hoặc vài diốt hoặc nối vào đó một mạch phân áp (h.3.5 a, b và c).



Hình 3.4 : Đặc tuyến truyền đạt của tranzito khóa.

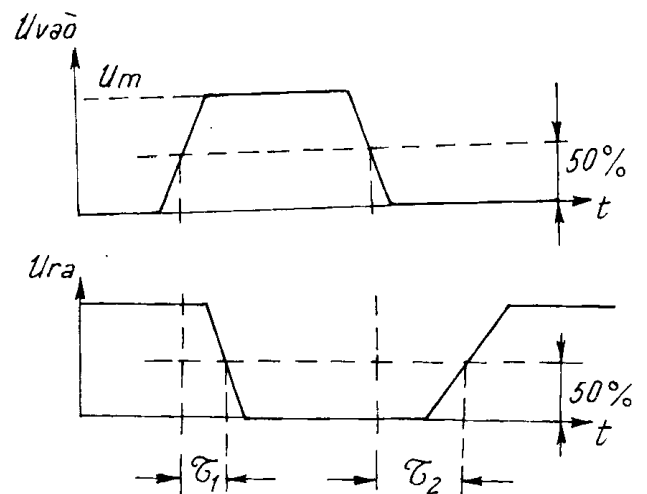


Hình 3.5 : Các biện pháp nâng cao S_{11} .

Những biện pháp nêu trên nhất thiết cần sử dụng khi dùng tranzito Gecmani làm phần tử khóa vì U_{BE} để mở tranzito phần lớn nhỏ hơn U_{CEbb} . Trong mạch 3.5a điện trở R_2 để nối mạch dòng ngược tiếp giáp với BC và mạch 3.5c R_2 được nối với một nguồn 1 chiều điện thế âm với mục đích để tranzito khóa chắc hơn khi không có xung điều khiển ở lối vào.

c - Một điểm cần lưu ý là khi sử dụng tranzito làm phần tử khóa cần chú ý tới các tính chất động (quá độ) của mạch và yêu cầu cơ bản là cần nâng cao tính tác động nhanh của khóa. Khi đó biện pháp cơ bản là ngăn ngừa hiện tượng bão hòa sâu của tranzito bằng các giải pháp kĩ thuật mạch (xem [1], [2]).

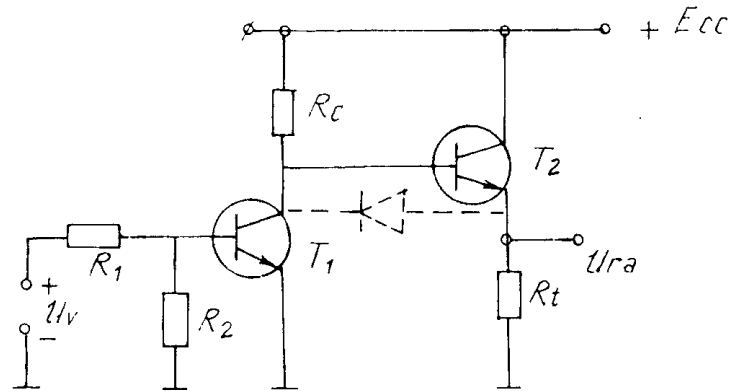
Thông thường, tính chất tần số của khóa được biểu thị bởi các tham số trung bình về thời gian trễ tín hiệu (h.3.6).



Hình 3.6 : Xác định thời gian trễ của mạch khóa trong đó τ_1 thời gian trễ sườn trước τ_2 thời gian trễ sườn sau được tính ở các mức biên độ 50% giá trị cực đại.

Các giá trị τ_1, τ_2 thường nhỏ ($10^{-8} - 10^{-9}$ s) nhưng không thể bỏ qua đặc biệt là τ_2 liên quan tới thời gian hồi phục điện trở ngược khi chuyển tranzito từ mở sang khóa khi quan tâm tới tính làm việc đồng bộ (nhịp nhàng) giữa các khối hoặc các sơ đồ khác nhau khi thực hiện một nhiệm vụ xử lý tin cụ thể, điều này càng quan trọng trong các hệ thống điều khiển, tính toán vì khi ghép nối giữa các khối hoặc các mạch, thời gian trễ này bị cộng tích lũy.

- Một điểm cần nhận xét nữa là từ hình 3.3 thấy rằng mức cao (mức H) nằm thấp hơn nhiều so với giá trị nguồn cung cấp U_{CC}^+ và phụ thuộc mạnh vào giá trị R_C , để khắc phục nhược điểm này, thực tế người ta thường mắc nối tiếp sau sơ đồ khóa emitter chung một sơ đồ mạch lặp collector chung ở chế độ khóa như hình 3.7.



Hình 3.7 : Sơ đồ khóa T_1 có mạch lặp tăng ra T_2

Khi đó, các nhược điểm đã nêu được khắc phục ; mức U_H được nâng lên tuy nhiên mức U_L khi đó cũng tăng (cỡ 0,8V) [4].

- Hoàn toàn tương tự có thể sử dụng các FET làm phần tử khóa với nhiều ưu điểm về mức tiêu hao công suất tín hiệu nhỏ, tác động nhanh... [3].

3.1.3. Chế độ khóa của khuếch đại thuật toán

Khi làm việc ở chế độ xung, mạch vi điện tử tuyến tính hoạt động như một khóa điện tử đóng, mở nhanh, điểm làm việc luôn nằm trong vùng bão hòa của đặc tuyến truyền đạt $U_{ra} = f(U_{vào})$ (h.2.104). Khi đó điện áp ra chỉ nằm ở một trong hai mức bão hòa U_{ramax}^+ và U_{ramax}^- ứng với các biên độ U_v đủ lớn. Để minh họa nguyên lý hoạt động của một IC khóa ta xét một ví dụ điển hình là mạch so sánh (comparator).

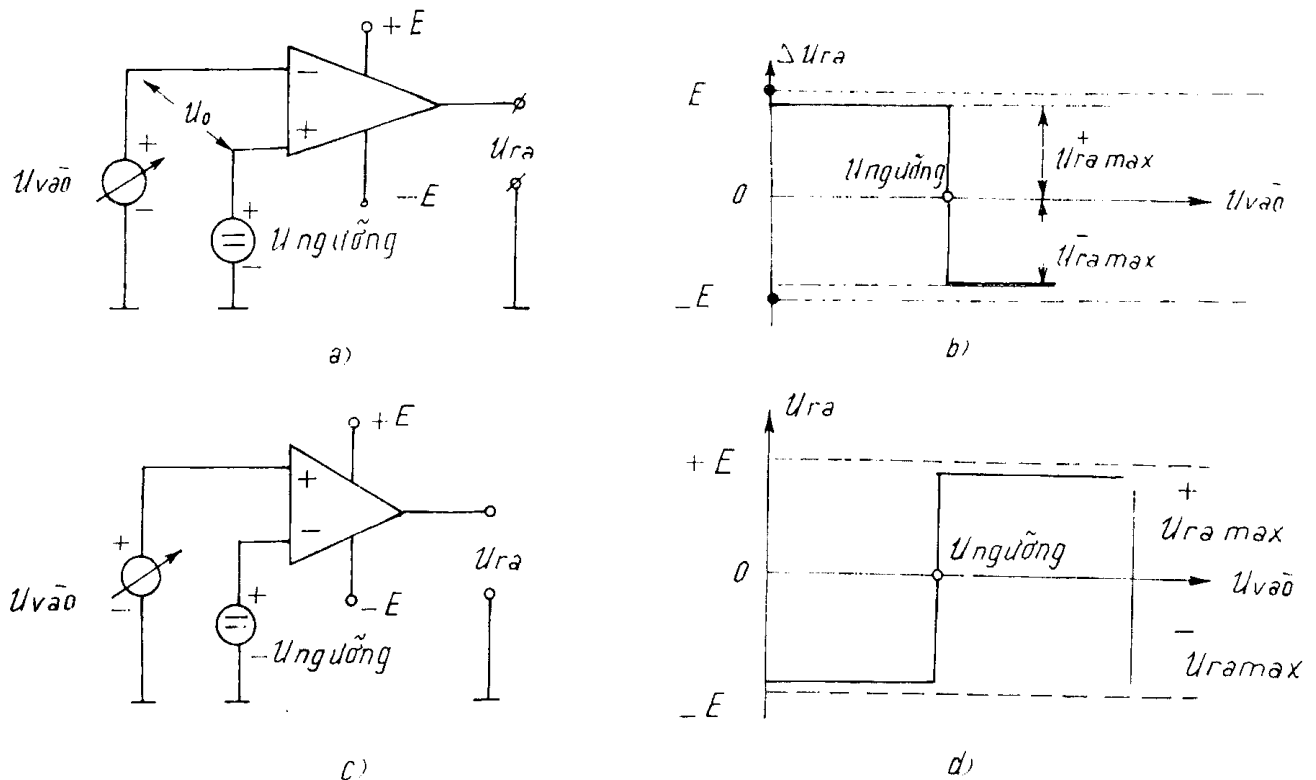
a - *Mạch so sánh* (h.3.8) thực hiện quá trình so sánh biên độ của điện áp đưa vào ($U_{vào}$) với một điện áp chuẩn ($U_{ngưỡng}$) có cực tính có thể là dương hay âm. Thông thường giá trị $U_{ngưỡng}$ được định trước cố định và mang ý nghĩa là một thông tin chuẩn (tương tự như quả cân trong phép cân trọng lượng kiểu so sánh), còn giá trị $U_{vào}$ là một lượng biến đổi theo thời gian cần được giám sát theo dõi, đánh giá, mang thông tin của quá trình động (thường biến đổi chậm theo thời gian) cần được điều khiển trong một dải hay ở một trạng thái mong muốn. Khi hai mức điện áp này bằng nhau ($U_{vào} = U_{ngưỡng}$) tại đầu ra bộ so sánh sẽ có sự thay đổi cực tính của điện áp từ U_{ramax}^+ tới U_{ramax}^- hoặc ngược lại. Trong trường hợp riêng, nếu chọn $U_{ngưỡng} = 0$ thì thực chất mạch so sánh đánh dấu lúc đổi cực tính của $U_{vào}$.

Trong mạch hình 3.8a $U_{vào}$ và $U_{ngưỡng}$ được đưa tới hai đầu vào đảo và không đảo tương ứng của IC. Hiệu của chúng $U_o = U_v - U_{ngưỡng}$ là điện áp giữa hai đầu vào của IC sẽ xác định hàm truyền của nó :

$$\text{Khi } U_v < U_{ngưỡng} \text{ thì } U_o < 0 \text{ do đó } U_{ra} = U_{ramax}^+ \quad (3-3)$$

$$\text{Khi } U_v \geq U_{ngưỡng} \text{ thì } U_o > 0 \text{ và } U_{ra} = -U_{ramax}^-$$

tức là điện áp ra đổi cực tính khi $U_{vào}$ chuyển qua giá trị - ngưỡng $U_{ngưỡng}$. Nếu $U_{vào}$ và $U_{ngưỡng}$ trong hình 3.8a đổi vị trí cho nhau hay cùng đổi cực tính (khi vị trí giữ nguyên) thì đặc tính hình 3.8b đảo ngược lại nghĩa là (h.3.8c và d).



Hình 3.8 : a), c) - Bộ so sánh dùng IC thuật toán với hai kiểu mắc khác nhau và b), d) - Hàm truyền đạt tương ứng của chúng.

$$\text{Khi } U_v < U_{ngưỡng} \text{ thì } U_{ra} = -U_{ra\ max}^-$$

(3-4)

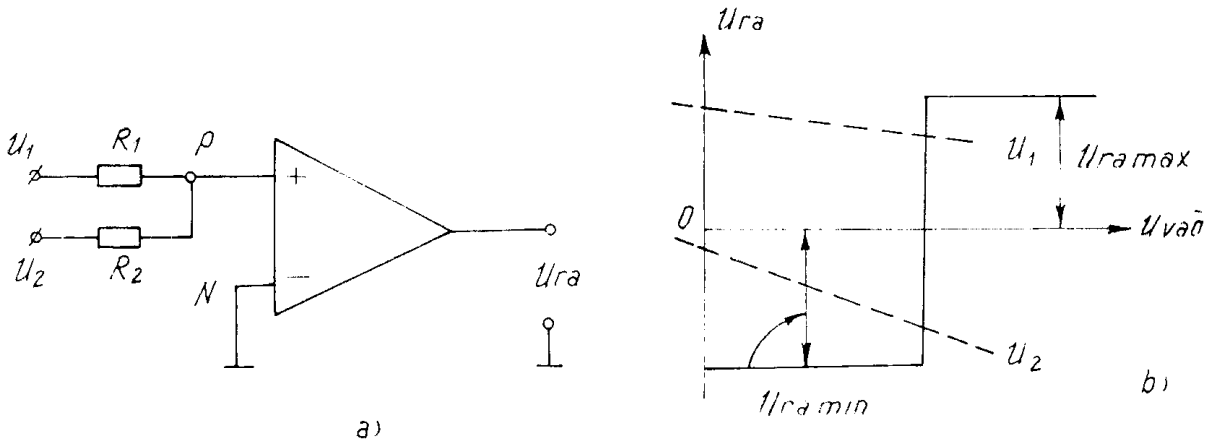
$$\text{Khi } U_v \geq U_{ngưỡng} \text{ thì } U_{ra} = +U_{ra\ max}^+$$

b - Trong những trường hợp biên độ của $U_{vào}$ và $U_{ngưỡng}$ lớn hơn giá trị điện áp đầu vào tối đa cho phép của IC, cần mắc chúng qua bộ phân áp điện trở trước khi đưa tới các đầu vào của IC. Giống như khóa tranzito, khi làm việc với các tín hiệu xung biến đổi nhanh cần lưu ý tới tính chất quán tính (trễ) của IC thuật toán. Với các IC thuật toán tiêu chuẩn hiện nay, thời gian tăng của điện áp ra khoảng $V/\mu s$, do đó việc dùng chúng trong các mạch comparator có nhiều hạn chế khi đòi hỏi độ chính xác cao. Trong điều kiện tốt hơn, việc sử dụng các IC chuyên dụng được chế tạo sẵn sẽ có tốc độ chuyển biến nhanh hơn nhiều cấp (cỡ V/ns ví dụ loại $\mu A710$, $A110$, $LM310-339$ hay $NE521...$). Hoặc dùng các biện pháp kỹ thuật mạch để giảm khoảng cách giữa 2 mức $U_{ra\ max}^\pm$

c - Có thể mở rộng chức năng của mạch so sánh nhờ mạch hình 3.9a với đặc tính truyền đạt cho trên hình 3.9b, gọi là bộ so sánh tổng.

Từ đặc tính hình 3.9b thấy rõ bộ so sánh tổng sẽ chuyển trạng thái ở đầu ra lúc tổng đại số của hai điện áp vào (đưa tới cùng một đầu vào) đạt tới 1 giá trị ngưỡng (đưa tới đầu vào kia). Nếu chọn $U_{ngưỡng} = 0$ (h.3.9a) thì mạch sẽ lật lúc có điều kiện

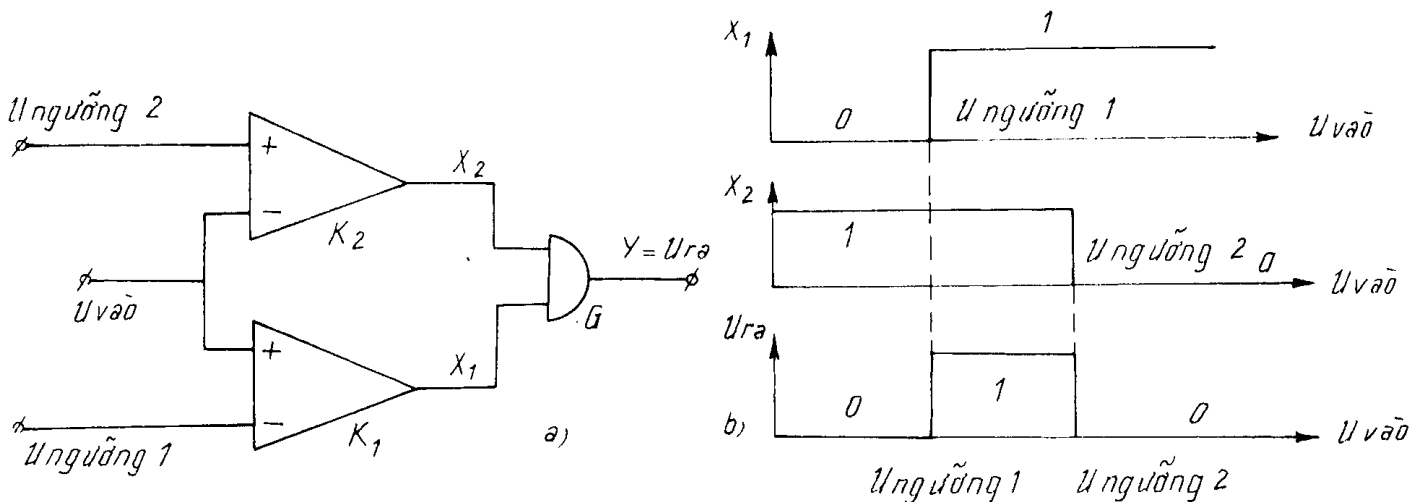
$U_1 + U_2 = 0$ (h.3.9b). Các nhận xét khác đối với mạch hình 3.8a ở đây đều đúng cho bộ so sánh tổng khi đảo lại : đặt U_1 và U_2 tới đầu vào N và $U_{ngưỡng}$ tới đầu vào P.



Hình 3.9 : Bộ so sánh tổng (a) và đặc tuyến truyền đạt của nó (b).

d - Để xác định xem điện áp vào có nằm trong một giới hạn giá trị cho trước hay không, người ta sử dụng mạch so sánh 2 ngưỡng hình 3.10a. Thực chất mạch này là sự kết hợp các mạch hình 3.8a và 3.8c trong cùng một sơ đồ. Để phối hợp các đầu ra của K_1 và K_2 , ở đây dùng 1 cửa logic phụ G (gọi là cửa "và", xem 3.7.2). Tại lối ra của G, $U_{ra} = Y = 1$ (tương ứng với mức điện áp cao) chỉ khi tại các lối ra của K_1 và K_2 có $X_1 = X_2 = 1$. Các trường hợp còn lại với mọi giá trị X_1 và X_2 (tức là khi $X_1 \cdot X_2 = 0$), $U_{ra} = Y = 0$ (tương ứng với mức điện áp thấp).

Kết hợp các tính chất của mạch 3.8a và c với tính chất của cửa G ta nhận được đặc tính truyền đạt X_1 , X_2 và $Y = U_{ra}$ phụ thuộc $U_{vào}$ thể hiện trên hình 3.10b.



Hình 3.10 : Mạch nguyên lý bộ so sánh 2 ngưỡng (ICNE521) (a) và giản đồ đặc tuyến truyền đạt (b).

Từ 3.10b thấy rõ $U_{ra} = 1$ khi $U_{ngưỡng1} < U_{vào} < U_{ngưỡng2}$
 và $U_{ra} = 0$ khi $U_{vào} < U_{ngưỡng1}$ hoặc $U_{vào} > U_{ngưỡng2}$ (3-5)
 (lưu ý ở đây cần chọn $U_{ngưỡng2} > U_{ngưỡng1}$)

Bộ so sánh hai ngưỡng được ứng dụng đặc biệt thuận lợi khi cần theo dõi và không chế tự động một thông số nào đó của một quá trình trong một giới hạn cho phép đã được định sẵn (thể hiện ở hai giá trị điện áp ngưỡng) hoặc ngược lại không cho phép thông số này rơi vào một vùng giới hạn cấm đã chỉ ra nhờ 2 ngưỡng điện áp tương ứng.

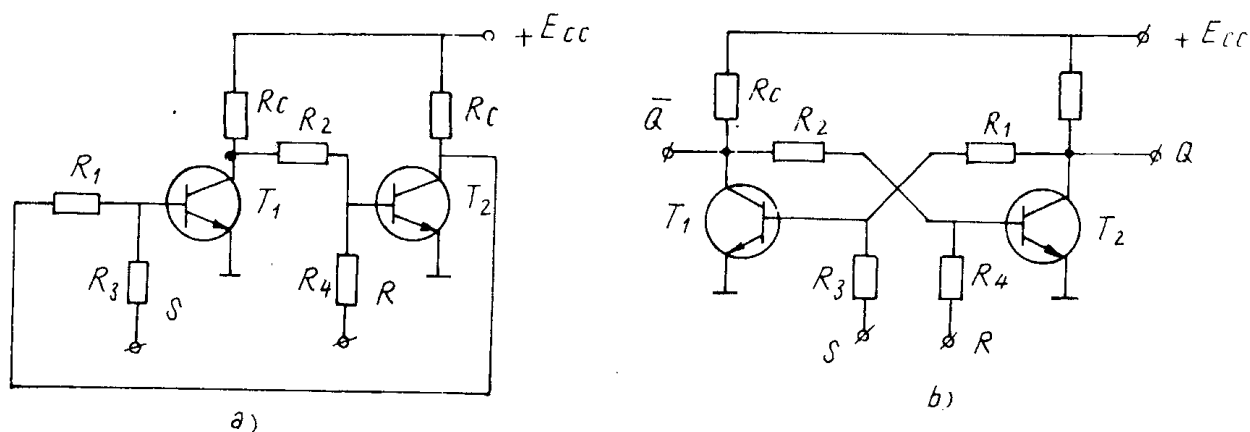
3.2. CÁC MẠCH KHÔNG ĐỒNG BỘ HAI TRẠNG THÁI ỔN ĐỊNH

Các mạch có hai trạng thái ổn định ở đầu ra (còn gọi là mạch trigơ) được đặc trưng bởi hai trạng thái ổn định bền theo thời gian và việc chuyển nó từ trạng thái này sang trạng thái kia (xảy ra tức thời nhờ các vòng hồi tiếp dương nội bộ) chỉ xảy ra khi đặt tới lối vào thích hợp của nó các xung điện áp có biên độ và cực tính thích hợp. Đây là phần tử cơ bản cấu trúc nên một ô nhớ (ghi, đọc) thông tin dưới dạng số nhị phân.

3.2.1. Triger đối xứng (RS-triger) dùng tranzito

Hình 3.11 a và b đưa ra dạng mạch nguyên lý của một trigơ RS đối xứng. Thực chất đây là hai mạch đảo hình 3.3 dùng T_1 và T_2 ghép liên tiếp nhau qua các vòng hồi tiếp dương bằng các cặp điện trở R_1R_3 và R_2R_4 (lưu ý rằng cách vẽ 3.11b hoàn toàn tương tự như 3.11a).

a - Nguyên lý hoạt động : Mạch 3.11 chỉ có hai trạng thái ổn định bền là : T_1 mở T_2 khóa ứng với mức điện áp ra $Q = 1, \bar{Q} = 0$ hay T_1 khóa T_2 mở ứng với trạng thái ra $Q = 0, \bar{Q} = 1$.



Hình 3.11 : Triger đối xứng kiểu RS dùng tranzito.

Các trạng thái còn lại là không thể xảy ra (T_1 và T_2 cùng khóa) hay là không ổn định (T_1 và T_2 cùng mở). T_1 và T_2 không thể cùng khóa do nguồn $+E_{cc}$ khi đóng mạch sẽ đưa một điện áp dương nhất định tới các cực bazơ. T_1 và T_2 có thể cùng mở nhưng do tính chất đối xứng không lí tưởng của mạch, chỉ cần một sự chênh lệch vô cùng bé giữa dòng điện trên 2 nhánh ($I_{B1} \neq I_{B2}$ hay $I_{C1} \neq I_{C2}$), thông qua các mạch hồi tiếp dương, độ chênh lệch này sẽ bị khoét sâu nhanh chóng tới mức sơ đồ chuyển về một trong hai trạng thái ổn định bền đã nêu (chẳng hạn thoát đầu $I_{B1} > I_{B2}$ từ đó $I_{C1} > I_{C2}$, các giảm áp âm trên colectơ của T_1 và dương trên colectơ của T_2 thông qua phân áp R_2R_4 hay R_1R_3 đưa về làm $I_{B1} \gg I_{B2}$... dẫn tới T_1 mở T_2 khóa. Nếu ngược lại lúc đầu $I_{B1} < I_{B2}$ thì sẽ dẫn tới T_1 khóa T_2 mở).

• Tuy nhiên, không nói chắc được mạch sẽ ở trạng thái nào trong hai trạng thái ổn định đã nêu. Để đầu ra đơn trị, trạng thái vào ứng với lúc $R = S = 1$ (cùng có xung dương) là bị cấm. Nói khác đi điều kiện cấm là $R.S = 0$. (3-6).

• Từ việc phân tích trên rút ra bảng trạng thái của trigơ RS cho phép xác định trạng thái ở đầu ra của nó ứng với tất cả các khả năng có thể của các xung đầu vào ở bảng 3.1. Ở đây chỉ số n thể hiện trạng thái hiện tại, chỉ số $(n + 1)$ thể hiện trạng thái tương lai của đầu ra, dấu chéo thể hiện trạng thái cấm. Đầu vào R gọi là đầu vào xóa (Reset). Đầu vào S gọi là đầu vào thiết lập (Set).

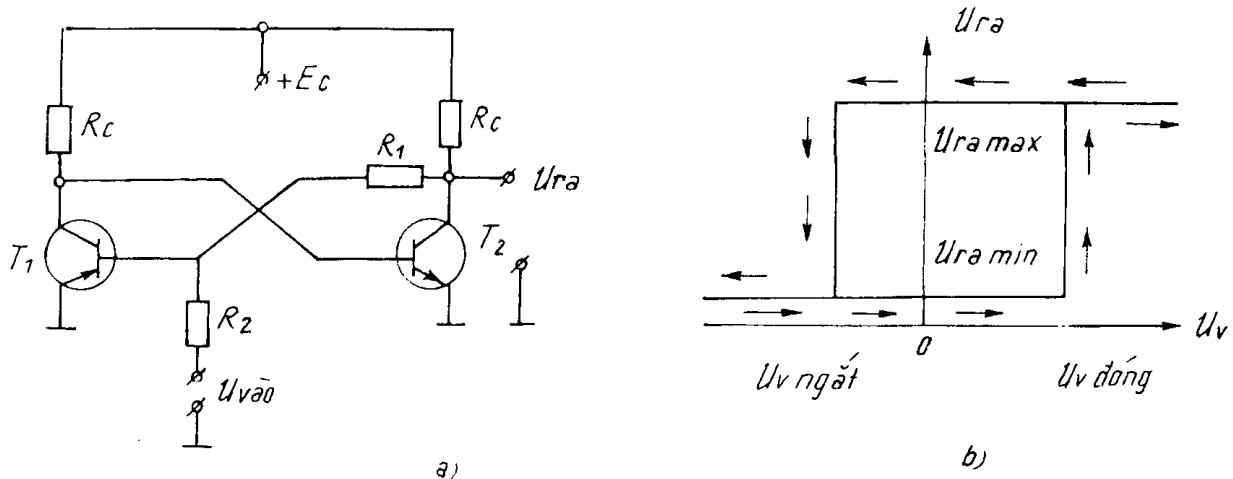
Bảng 3.1 : Bảng trạng thái của trigơ RS

Đầu vào		Đầu ra	
R_n	S_n	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	Q_n	$\bar{Q}_n$
0	1	1	0
1	0	0	1
1	1	x	x

3.2.2. Trigơ Smit dùng tranzito

Sơ đồ trigơ RS ở trên lật trạng thái khi đặt vào cực bazơ của tranzito đang khóa một xung dương có biên độ thích hợp để mở nó (chỉ xét với quy ước logic dương). Có thể sử dụng chỉ một điện áp vào duy nhất cực tính và hình dạng tùy ý (chỉ yêu cầu mức biên độ đủ lớn) làm lật mạch trigơ. Loại mạch này có tên là trigơ Smit, được cấu tạo từ các tranzito hay IC tuyến tính (còn gọi là bộ so sánh có trễ).

a - Hình 3.12 đưa ra mạch nguyên lý trigơ Smit dùng tranzito và đặc tuyến truyền đạt của nó. Qua đặc tuyến hình 3.12b thấy rõ :



Hình 3.12 : Trigơ Smit dùng tranzito (a) và đặc tuyến truyền đạt của nó (b).

- Lúc tăng dần $U_{vào}$ từ một trị số rất âm thì :

$$\text{khi } U_v < U_{\text{đóng}} ; U_{ra} = U_{ra\text{min}}$$

$$\text{khi } U_v \geq U_{\text{đóng}} ; U_{ra} = U_{ra\text{max}} \quad (3-7)$$

- Lúc giảm dần $U_{vào}$ từ 1 trị số dương lớn thì

$$\text{khi } U_v > U_{\text{ngắt}} ; U_{ra} = U_{ra\text{max}}$$

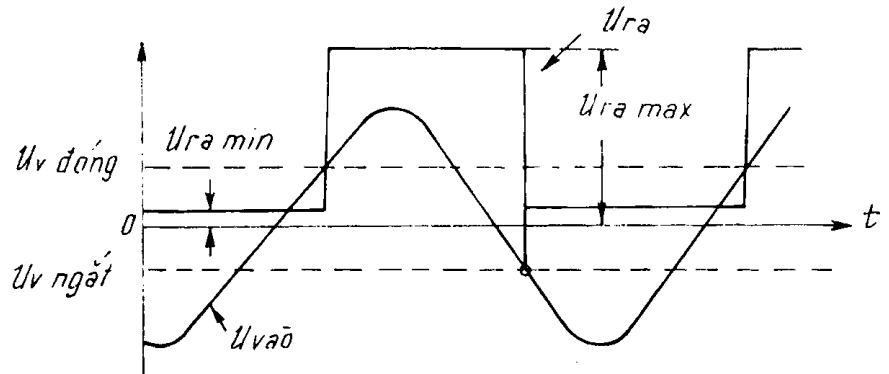
$$\text{khi } U_v \leq U_{\text{ngắt}} ; U_{ra} = U_{ra\text{min}} \quad (3-8)$$

b - Có thể giải thích hoạt động của mạch như sau : Ban đầu T_1 khóa (do B_1 được đặt tới 1 điện áp âm lớn) T_2 mở (do R_c định dòng làm việc từ E_c) lúc đó $U_{ra} = U_{CE2}$ bão hòa =

$= U_{ramin}$. Khi tăng U_v tới lúc $U_v \geq U_{vdong}$ T_1 mở qua mạch hồi tiếp dương ghép trực tiếp từ collector T_1 về bazơ T_2 làm T_2 bị khóa do đột biến điện áp âm từ C_1 đưa tới, qua mạch $R_1 R_2$ đột biến điện áp dương tại C_2 đưa tới bazơ T_1 ... quá trình dẫn tới T_1 mở bão hòa, T_2 khóa và $U_{ra} = U_{ramax}$. Phân tích tương tự, mạch sẽ lật trạng thái về T_1 khóa T_2 mở lúc U_{vao} giảm qua giá trị U_{ngat} .

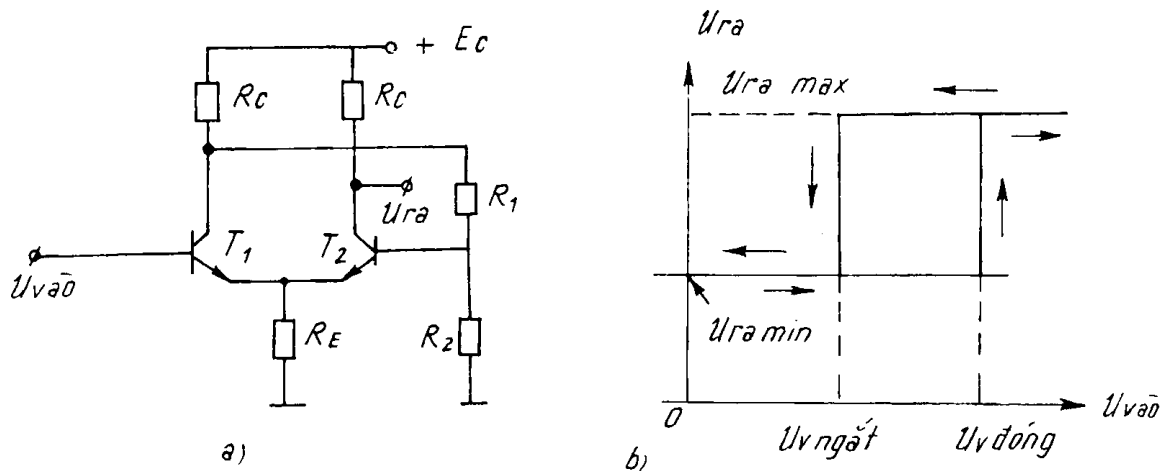
Các giá trị U_{vdong} và U_{ngat} do việc lựa chọn các giá trị R_c , R_1 , R_2 của sơ đồ 3.12a quyết định. Hiện tượng trên cho phép dùng trigơ Smit như một bộ tạo xung vuông, nhờ hồi tiếp dương mà quá trình lật trạng thái xảy ra tức thời ngay cả khi U_{vao} biến đổi từ từ. Hình 3.13 mô tả một ví dụ biến đổi tín hiệu hình sin thành xung vuông nhờ trigơ Smit. Giá trị hiệu số $U_{vdong} - U_{vngat}$ gọi là độ trễ chuyển mạch và càng nhỏ (điều mong muốn) nếu hiệu $U_{ramax} - U_{ramin}$ càng nhỏ hay hệ số suy giảm tín hiệu do phân áp R_1 , R_2 gây ra càng lớn tức là hệ số hồi tiếp dương càng giảm, (điều này làm xấu tính chất của dạng xung).

c - Như trên đã phân tích, mọi cố gắng làm giảm độ trễ chuyển mạch $\Delta U_{trc} = U_{ramax} - U_{ramin}$ đều làm xấu đi tính chất hồi tiếp dương và có thể làm mất đi hai trạng thái ổn định đặc trưng của sơ đồ 3.12(a). Để khắc phục nhược điểm này, người ta dùng trigơ Smit ghép cực emitter như trên hình 3.14a.



Hình 3.13 : Biến đổi thời gian biến đổi tín hiệu hình sin thành xung vuông nhờ trigơ Smit.

Mạch hình 3.14a là 1 tầng khuếch đại vi sai có hồi tiếp dương qua R_1 , R_2 và hồi tiếp âm dòng điện qua R_E . Bằng cách lựa chọn tham số thích hợp, có thể đạt tới trạng thái khi mạch lật dòng I_c của một tranzito (từ mở chuyển sang khóa) hoàn toàn truyền tới tranzito kia, nói khác đi, không xảy ra trạng thái bão hòa ở các tranzito lúc mở



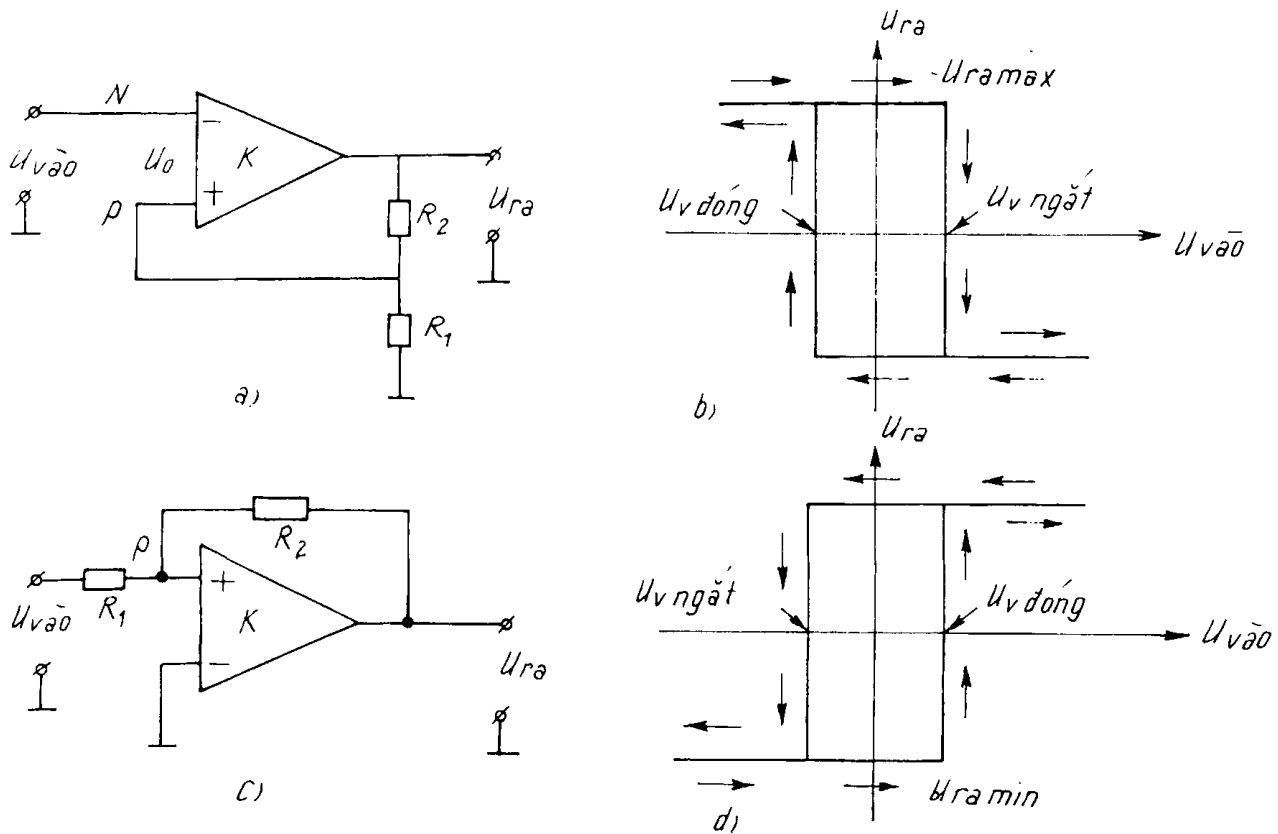
Hình 3.14 : Mạch nguyên lý trigơ Smit ghép emitter (a) và đặc tuyến truyền đạt của nó (b).

và do đó nâng cao được mức U_{ramin} ($U_{ramin} \gg U_{CEbh-}$) làm tăng tần số chuyển mạch lên đáng kể (100MHz).

3.2.3. Trơ Smit dùng IC tuyến tính

Trơ Smit dùng IC tuyến tính thực chất là mạch phát triển tiếp theo của sơ đồ hình 3.14a, có dạng cơ bản là 1 mạch so sánh hình 3.8 a hoặc c, nhưng nhờ có mạch hồi tiếp dương nên mức nổi và ngắt mạch không trùng nhau như ở bộ so sánh bình thường. Do có hai dạng cơ bản của mạch so sánh hình 3.8a và 3.8c, theo đó cũng có hai dạng cơ bản của trơ Smit cho trên hình 3.15a và c.

a - Với trơ Smit đảo (h.3.15a) khi tăng dần $U_{vào}$ từ 1 giá trị âm lớn, ta thu được đặc tính truyền đạt dạng hình 3.15(b). Tức là :



Hình 3.15 : Trơ Smit kiểu đảo (a) và kiểu không đảo (c) với các đặc tính truyền đạt tương ứng (b) và (d).

- Khi U_v có giá trị âm lớn $U_{ra} = +U_{ramax}$

trên lối vào không đảo (P) có $U_{Pmax} = \frac{U_{ramax}}{R_1 + R_2} R_1 = U_{vngắt}$ (3-9)

Tăng dần $U_{vào}$, trạng thái này không đổi cho tới khi $U_{vào}$ chưa đạt tới $U_{vngắt}$. Khi $U_{vào} \geq U_{vngắt}$, điện áp U_o giữa 2 đầu vào IC đổi dấu, dẫn tới $U_{ra} = -U_{ramin}$, qua mạch hồi tiếp dương có

$$U_{Pmin} = \frac{-U_{ramin}}{R_1 + R_2} \cdot R_1 = U_{vđóng} \quad (3-10)$$

và tiếp tục giữ nguyên khi U_v tăng.

- Khi giảm $U_{\text{vào}}$ từ 1 giá trị dương lớn, cho tới lúc $U_v = U_{\text{vdóng}}$ mạch mới lật làm U_{ra} chuyển từ $-U_{\text{ramin}}$ tới $+U_{\text{ramax}}$.
- Để đạt được hai trạng thái ổn định cần có điều kiện

$$\frac{R_1}{R_1 + R_2} \cdot K \geq 1 \quad (3-11)$$

với K là hệ số khuếch đại không tải của IC.

Khi đó độ trễ chuyển mạch được xác định bởi :

$$\Delta U_{\text{trễ}} = \frac{R_1}{R_2 + R_1} (U_{\text{ramax}} - U_{\text{ramin}}) = \beta(U_{\text{ramax}} - U_{\text{ramin}}) \quad (3-12)$$

b - Với *trigơ Smit không đảo* (h.3.15c) có đặc tính truyền đạt hình 3.15d dạng ngược với đặc tính hình 3.15b. Thực chất sơ đồ 3.15c có dạng là một bộ so sánh tổng 3.9a với 1 trong số hai đầu vào được nối tới đầu ra ($U_2 \equiv U_{\text{ra}}$). Từ phương trình cân bằng dòng điện cho nút P có :

$$\frac{U_{\text{vào}}}{R_1} = \frac{U_{\text{ra}}}{R_2} \quad \text{Suy ra giá trị ngưỡng :}$$

$$\left. \begin{aligned} U_{\text{vngắt}} &= -\frac{R_1}{R_2} U_{\text{ramax}} \\ U_{\text{vdóng}} &= -\frac{R_1}{R_2} U_{\text{ramin}} \end{aligned} \right\} \quad (3-13)$$

hay độ trễ chuyển mạch xác định bởi :

$$\Delta U_{\text{trễ}} = \frac{R_1}{R_2} (U_{\text{ramax}} - U_{\text{ramin}}) \quad (3-14)$$

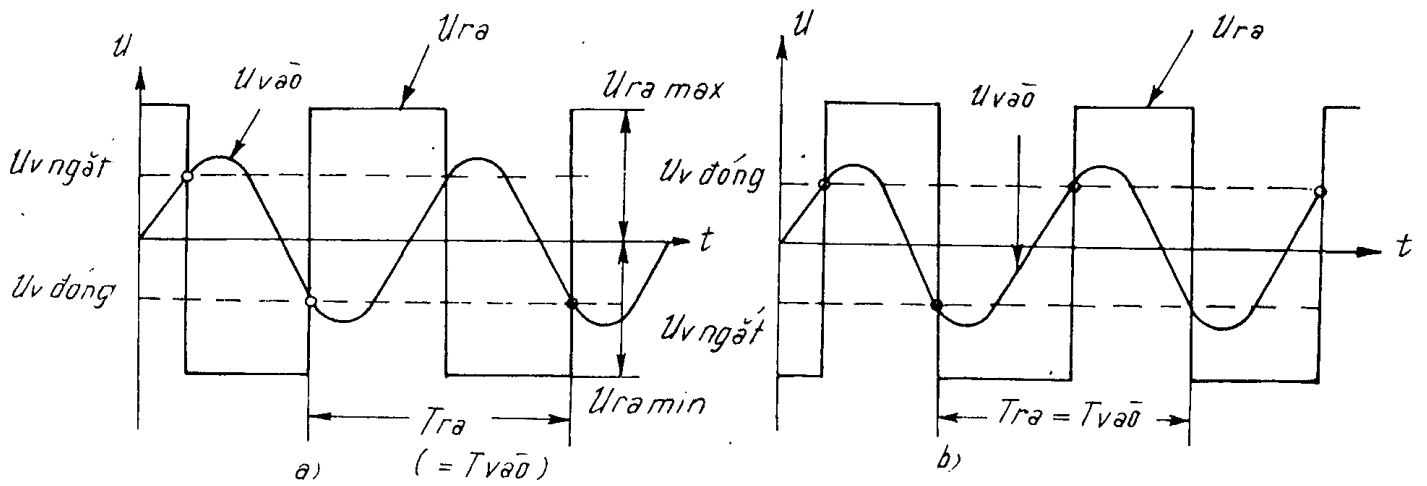
Do cách đưa điện áp vào tới lối vào không đảo (P) nên khi U_v có giá trị âm lớn : $U_{\text{ra}} = -U_{\text{ramin}}$ và khi U_v có giá trị dương lớn : $U_{\text{ra}} = +U_{\text{ramax}}$. Các phân tích khác tương tự như với mạch 3.15a đã xét.

c - *Tương tự như sơ đồ trigơ Smit dùng tranzito* hình 3.12a, có thể dùng các mạch 3.15a và 3.15c để tạo các xung vuông góc từ dạng điện áp vào bất kì (tuần hoàn). Khi đó chu kì xung ra $T_{\text{ra}} = T_{\text{vào}}$ điều này đặc biệt có ý nghĩa khi cần sửa và tạo lại dạng một tín hiệu tuần hoàn với thông số cơ bản là tần số giống nhau (hay chu kì đồng bộ nhau). Hình 3.16a và b đưa ra ví dụ giản đồ minh họa biến đổi điện áp hình sin lối vào thành xung vuông lối ra sử dụng trigơ Smit đảo (3.16a) và trigơ Smit không đảo (3.16b).

Các hệ thức từ (3-9) đến (3-14) cho phép xác định các mức ngưỡng lật của trigơ Smit và những thông số quyết định tới giá trị của chúng. Trigơ Smit là dạng mạch cơ bản để từ đó xây dựng các mạch tạo dao động xung dùng IC tuyến tính sẽ được xét trong các phần tiếp của chương này.

3.3. MẠCH KHÔNG ĐỒNG BỘ MỘT TRẠNG THÁI ỔN ĐỊNH

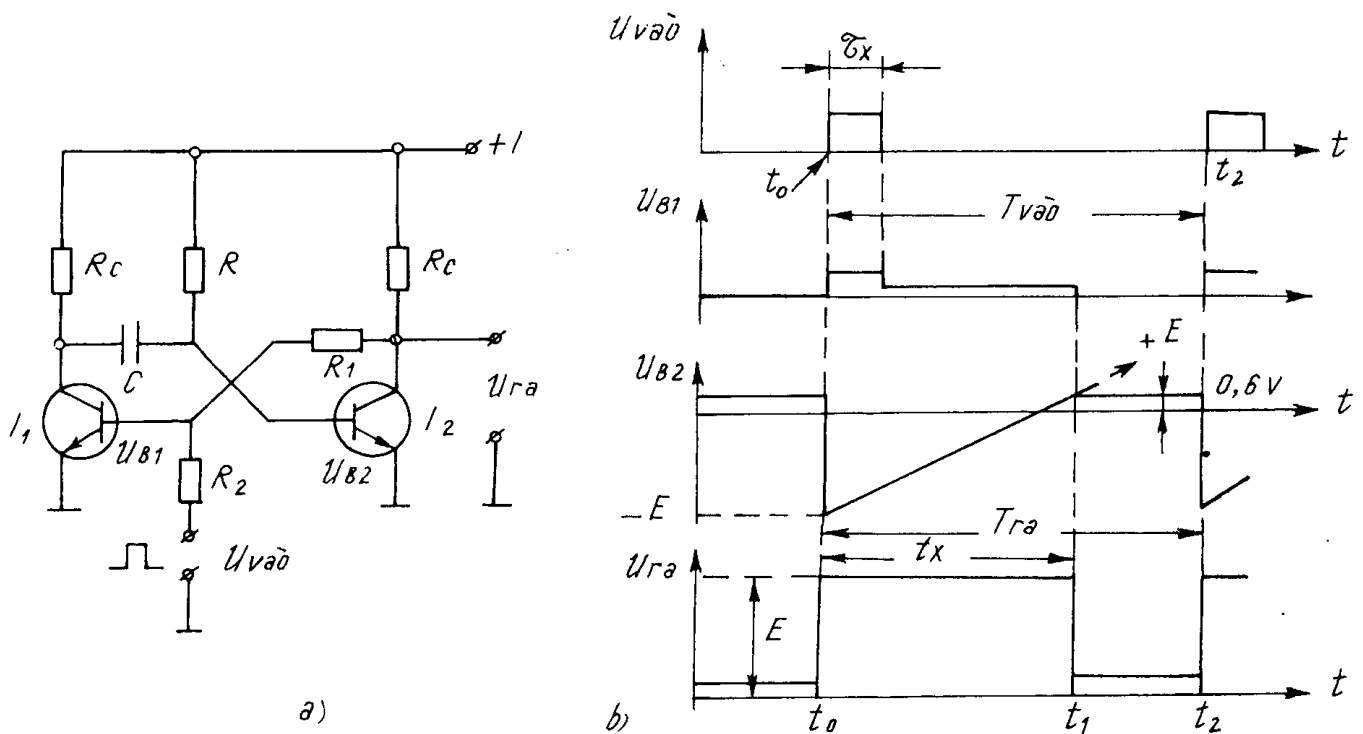
Đây là loại mạch có một trạng thái ổn định bền. Trạng thái thứ hai của nó chỉ ổn định trong một khoảng thời gian nhất định nào đó (phụ thuộc vào tham số của mạch) sau đó mạch lại quay về trạng thái ổn định bền ban đầu. Vì thế mạch còn có tên là trigơ một trạng thái ổn định hay đa hài dợt hay đơn giản hơn là mạch role thời gian.



Hình 3.16 : Biến đổi dao động hình sin sang logic xung vuông cùng tần số dùng trigơ Smit đảo(a) và không đảo (b).

3.3.1. Đa hài đợi dùng tranzito

Hình 3.17a chỉ ra mạch điện nguyên lý và hình 3.17b là giản đồ điện áp - thời gian minh họa nguyên lý hoạt động của mạch đa hài đợi dùng tranzito.



Hình 3.17 : Mạch điện nguyên lý đa hài đợi dùng tranzito (a) giản đồ thời gian (b).

Thực chất mạch hình 3.17a là một trigơ RS, trong đó một trong các điện trở hồi tiếp dương được thay bằng một tụ điện. Trạng thái ban đầu T_2 mở T_1 khóa nhờ R, T_2 mở bão hòa làm $U_{CE2} \approx U_{BE1} \approx 0$ nên T_1 khóa, đây là trạng thái ổn định bền (gọi là trạng thái đợi).

Lúc $t = t_0$, có xung điện áp dương ở lối vào mở T_1 , điện thế cực colectơ của T_1 giảm từ $+E$ xuống gần bằng 0. Bước nhảy điện thế này thông qua bộ lọc tần cao RC đạt toàn bộ đến cực bazơ của T_2 làm điện thế ở đó đột biến từ mức thông (khoảng $+0,6V$) đến mức $-E + 0,6V \approx -E$, do đó T_2 bị khóa lại. Khi đó T_1 được duy trì ở trạng thái mở nhờ mạch hồi tiếp dương $R_1 R_2$ ngay cả khi điện áp vào bằng 0. Tụ C (dấu qua R đến điện thế $+E$) bắt đầu nạp điện làm điện thế cực bazơ T_2 biến đổi theo quy luật :

$$U_{B2} \approx E \left[1 - 2\exp\left(-\frac{t}{RC}\right) \right] \quad (3-15)$$

với điều kiện đầu : $U_{B2}(t = t_0) = -E$

và điều kiện cuối : $U_{B2}(t \rightarrow \infty) = E$

T_2 bị khóa cho tới lúc $t = t_1$ (h.3.17b) khi U_{B2} đạt tới giá trị $+0,6$ khoảng thời gian này xác định từ điều kiện $U_{B2}(t_1) \approx 0$ và quyết định độ dài xung ra t_x :

$$t_1 - t_0 = t_x = RC \ln 2 = 0,7RC \quad (3-16)$$

Sau lúc $t = t_1$, T_2 mở và quá trình hồi tiếp dương qua R_1 , R_2 đưa mạch về lại trạng thái ban đầu, đợi xung vào tiếp sau (lúc $t = t_2$). Lưu ý những điều trình bày trên đúng khi $T > t_x > \tau_x$ (3-17)

(τ_x là độ rộng xung vào và T_v là chu kì xung vào) và khi điều kiện (3-17) được thỏa mãn thì ta luôn có chu kì xung ra $T_{ra} = T_v$.

3.3.2. Mạch đa hài đợi dùng IC thuật toán

Hình 3.18a đưa ra 1 dạng của sơ đồ nguyên lí mạch đa hài đợi dùng IC thuật toán và hình 3.18b là giản đồ thời gian giải thích hoạt động của mạch. Để đơn giản, giả thiết IC được cung cấp từ một nguồn đối xứng $\pm E$ và khi đó $U_{ramax} = |U_{ramin}| = U_{max}$

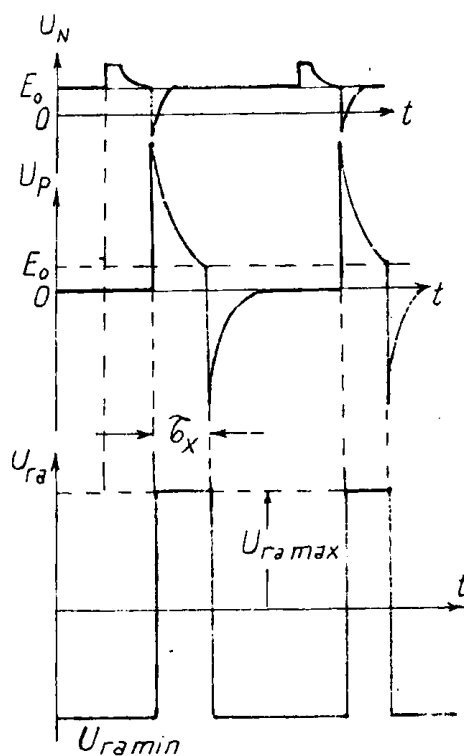
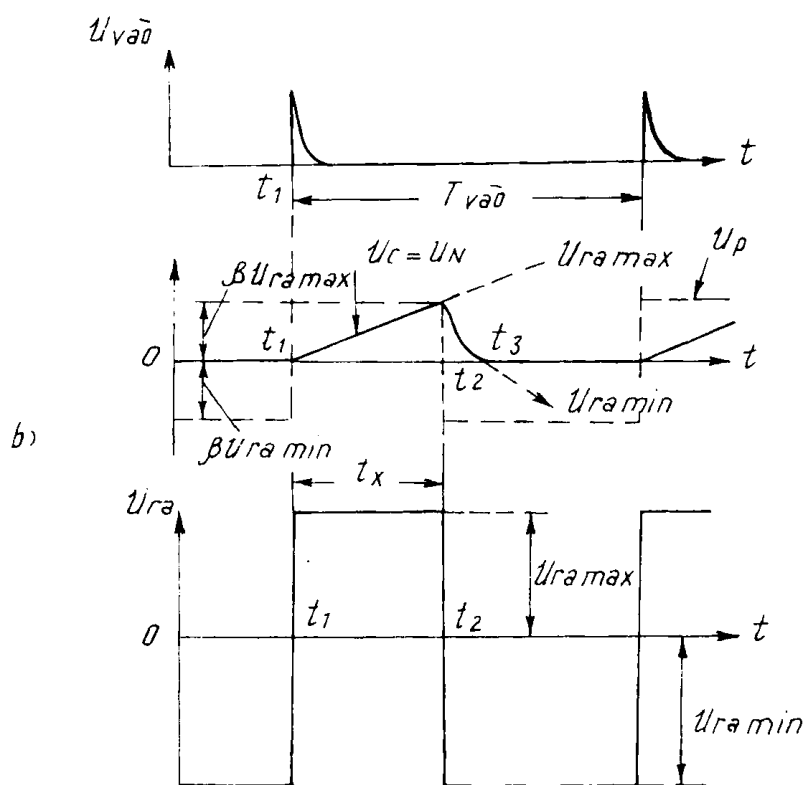
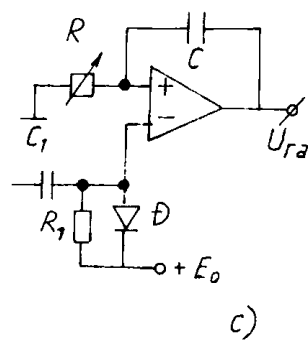
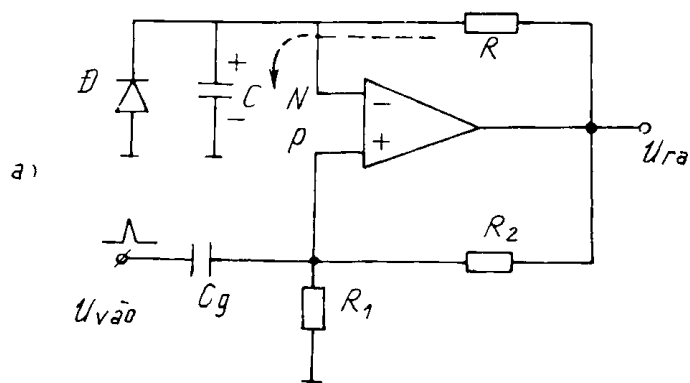
Ban đầu lúc $t < t_1$, $U_v = 0$; D thông nối đất (bỏ qua sụt áp thuận trên diôt) do $U_{ra} = -U_{max}$ từ đó $U_N = U_C = 0$. Qua mạch hồi tiếp dương $R_1 R_2$, $-U_{max}$ đưa tới đầu vào P điện áp $U_p = -\beta U_{max}$.

(với $\beta = \frac{R_1}{R_1 + R_2}$ là hệ số phân áp mạch hồi tiếp).

đây là trạng thái ổn định bền (trạng thái đợi) của mạch.

Lúc $t = t_1$ có xung nhọn cực tính dương tới đầu vào P. Nếu biên độ thích hợp vượt hơn giá trị $-\beta U_{max}$, sơ đồ lật sang trạng thái cân bằng không bền với $U_{ra} = +U_{ramax} = U_{max}$ và qua mạch hồi tiếp dương có $U_p = \beta U_{max}$. Sau lúc t_1 , điện áp ra U_{max} nạp cho tụ C làm cho $U_c = U_N$ dương dần cho tới lúc $t = t_2$ khi đó $U_N = \beta U_{max}$ thì xảy ra đột biến do điện thế đầu vào vi mạch $U_N - U_p$ đổi dấu, điện áp ra đổi dấu lần thứ hai $U_{ra} = -U_{max}$ (lưu ý trong khoảng $t_1 - t_2$, $U_N = U_C > 0$ nên diôt bị phân cực ngược và tách khỏi mạch).

Tiếp đó, sau lúc t_2 tụ C phóng điện qua R hướng tới giá trị điện áp ra lúc đó là $-U_{max}$, lúc $t = t_3$, $U_c = U_n \approx 0$ diôt trở nên mở, ghim mức thế đầu vào đảo ở giá trị 0, mạch quay về trạng thái đợi ban đầu. Nếu xung khởi động $U_{vào}$ cực tính âm, có thể dùng sơ đồ hình 3.18c với tần số xung ra thay đổi được nhờ R. Hoạt động của mạch được minh họa trên đồ thị hình 3-18d.



Hình 3.18 : Mạch nguyên lý đa hài đợi dùng IC. Khởi động bằng xung cực tính dương (a) và cực tính âm (c) giản đồ điện áp minh họa (b) và (d).

Với 3.18a, b, ta có nhận xét độ rộng xung $\tau_x = t_2 - t_1$ có liên quan tới quá trình nạp cho tụ C từ mức 0 tới mức $\beta U_{\max}$, từ đó (với giả thiết $U_{\text{ramax}}^+ = |U_{\text{ramin}}^-| = U_{\max}$) có

$$U_c(t) = U_N(t) = U_{\max} (1 - e^{t/RC}) \quad (3-18)$$

thay giá trị $U_c(t_1) = 0$, $U_c(t_2) = \beta U_{\max}$ vào phương trình (3-18) có :

$$\tau_x = t_2 - t_1 = RC \ln \left(\frac{1}{1 - \beta} \right) = RC \ln \left(1 + \frac{R_1}{R_2} \right) \quad (3-19)$$

Gọi $t_3 - t_2 = t_{hph}$ là thời gian hồi phục về trạng thái ban đầu của sơ đồ, có liên quan tới quá trình phóng điện của tụ C từ mức βU_{max} về mức 0 hướng tới lúc xác lập $U_c(\infty) = -U_{max}$ xuất phát từ phương trình : [5]

$$U_c(t) = U_c(\infty) - [U_c(\infty) - U_c(0)] \exp\left(-\frac{t}{RC}\right) \quad (3-20)$$

có kết quả :

$$t_{hph} = RC \ln(1 + \beta) = RC \ln\left(1 + \frac{R_1}{R_1 + R_2}\right) \quad (3-21)$$

So sánh hai biểu thức xác định τ_x và t_{hf} thấy do $\beta < 1$ nên $\tau_x \gg t_{hf}$. Người ta cố gắng chọn các thông số và cải tiến mạch để t_{hph} giảm nhỏ, nâng cao độ tin cậy của mạch khi có dây xung tác động đầu vào. Khi đó cần tuân theo điều kiện :

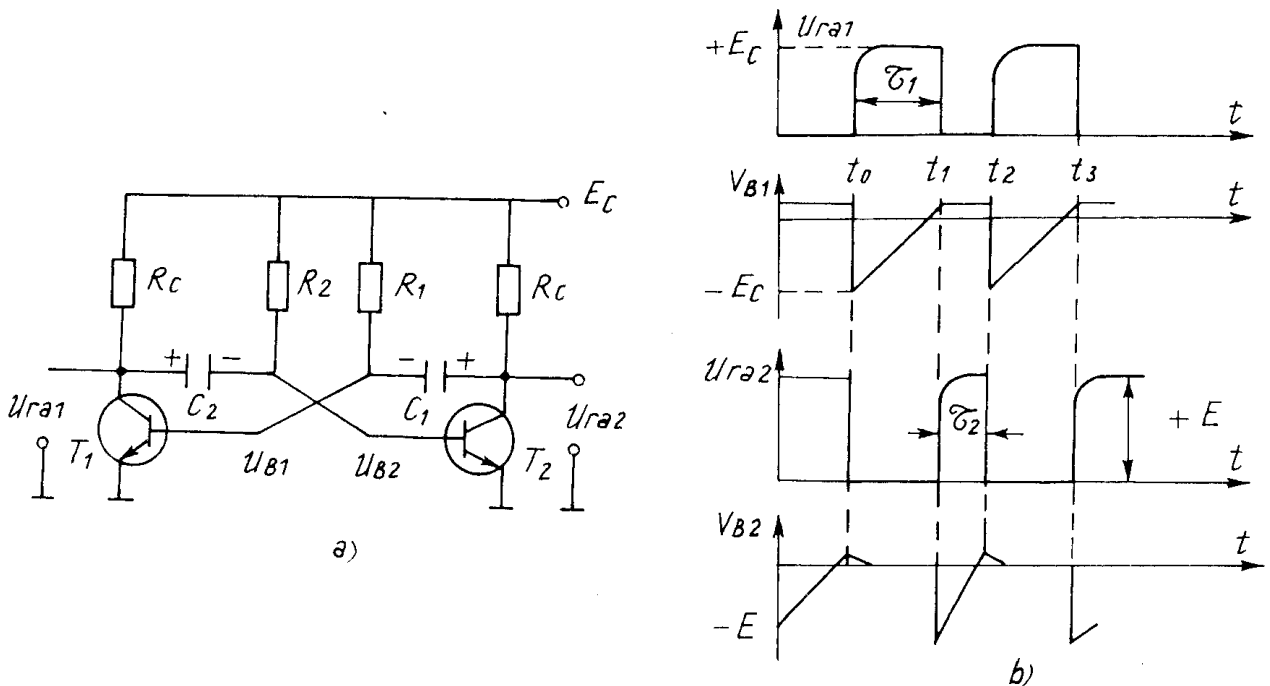
$$\tau_x + t_{hf} < T_{vào} = T_{ra} \quad (3-22)$$

với T_v là chu kỳ dây xung khởi động ở cửa vào. Các hệ thức (3-19) và (3-21) cho xác định các thông số quan trọng nhất của mạch 3.18a.

3.4. MẠCH KHÔNG ĐỒNG BỘ HAI TRẠNG THÁI KHÔNG ỔN ĐỊNH (ĐA HÀI TỰ DAO ĐỘNG)

3.4.1. Đa hài dùng tranzito

Nếu thay thế điện trở hồi tiếp còn lại trong mạch hình 3.17 bằng 1 tụ điện thứ 2 ta nhận được mạch hình 3.19 là mạch đa hài tự dao động dùng tranzito. Lúc đó trạng thái cân bằng của mạch (một tranzito khóa, một tranzito mở) chỉ ổn định trong một thời gian hạn chế nào đó, rồi tự động lật sang trạng thái kia và ngược lại. Hình 3.19b cho biểu đồ thời gian của mạch đa hài tự dao động 3.19a.



Hình 3.19 : Mạch nguyên lý bộ đa hài tự dao động (a) và biểu đồ thời gian của nó (b).

a) ● Hai trạng thái nêu trên của mạch đa hài tự dao động còn được gọi là các trạng thái chuẩn cân bằng. Ở đó những thay đổi tương đối chậm của dòng điện và điện áp giữa các điểm trong sơ đồ dần dần tới một trạng thái tới hạn nào đó, mà tại đây có những điều kiện để tự động chuyển đột ngột từ trạng thái này sang trạng thái khác. Nếu tác động tới các cửa vào một điện áp đồng bộ nào đó có chu kỳ lặp xấp xỉ nhưng ngắn hơn chu kỳ bản thân của điện áp dao động, quá trình chuyển đột ngột sẽ xảy ra sớm hơn, tương ứng lúc đó ta có chế độ làm việc đồng bộ của đa hài tự dao động mà đặc điểm chính là chu kỳ của xung ra phụ thuộc vào chu kỳ của điện áp đồng bộ, còn độ rộng xung ra do các thông số RC của mạch quy định.

● Nguyên lý hoạt động của mạch hình 3.19a có thể tóm tắt như sau : Việc hình thành xung vuông ở cửa ra được thực hiện sau một khoảng thời gian $\tau_1 = t_1 - t_0$ (đối với cửa ra 1) hoặc $\tau_2 = t_2 - t_1$ (với cửa ra 2) nhờ các quá trình đột biến chuyển trạng thái của sơ đồ tại các thời điểm $t_0, t_1, t_2...$

Trong khoảng τ_1 , tranzito T_1 khóa T_2 mở. Tụ C_1 đã được nạp đầy điện tích trước lúc t_0 phóng điện qua T_2 qua nguồn E_c , qua R_1 theo đường $+C_1 \rightarrow T_2 \rightarrow R_1 \rightarrow -C_1$ làm điện thế trên cực bazơ của T_1 thay đổi theo hình 3.19.b. Đồng thời trong khoảng thời gian này tụ C_2 được nguồn E nạp theo đường $+E \rightarrow R_c \rightarrow T_2 \rightarrow -E$ làm điện thế trên cực bazơ T_2 thay đổi theo dạng 3.19b.

Lúc $t = t_1$ $U_{B1} \approx +0,6V$ T_1 mở, xảy ra quá trình đột biến lần thứ nhất, nhờ mạch hồi tiếp dương làm sơ đồ lật đến trạng thái T_1 mở T_2 khóa.

Trong khoảng thời gian $\tau_2 = t_2 - t_1$ trạng thái trên được giữ nguyên, tụ C_2 (đã được nạp trước lúc t_1) bắt đầu phóng điện và C_1 bắt đầu quá trình nạp tương tự như đã nêu trên cho tới lúc $t = t_2$, $U_{B2} \approx +0,6V$ làm T_2 mở và xảy ra đột biến lần thứ hai chuyển sơ đồ về trạng thái ban đầu : T_1 khóa T_2 mở...

b) ● Các tham số chủ yếu và xung vuông đầu ra được xác định dựa trên việc phân tích nguyên lý vừa nêu trên và ta thấy rõ độ rộng xung ra τ_1 và τ_2 liên quan trực tiếp với hằng số thời gian phóng của các tụ điện từ hệ thức (3-16), tương tự có kết quả : [1], [5]

$$\tau_1 = RC \ln 2 \approx 0,7 R_1 C_1 \quad (3-23)$$

$$\tau_2 = R_2 C_2 \ln 2 \approx 0,7 R_2 C_2$$

Nếu chọn đối xứng $R_1 = R_2$; $C_1 = C_2$, T_1 giống hệt T_2 , ta có $\tau_1 = \tau_2$ và nhận được sơ đồ đa hài đối xứng, ngược lại ta có đa hài không đối xứng ($\tau_1 \neq \tau_2$). Chu kỳ xung vuông

$$T_{ra} = \tau_1 + \tau_2$$

Biên độ xung ra được xác định gần đúng bằng giá trị nguồn E cung cấp.

Ta có một nhận xét nữa là : Để tạo ra các xung có tần số thấp hơn 1000Hz, các tụ C_1, C_2 trong sơ đồ cần có điện dung rất lớn. Còn để tạo ra các xung có tần số cao hơn 10kHz ảnh hưởng có hại của quán tính các tranzito (tính chất tần số) làm xấu các thông số của xung vuông nghiêm trọng. Do vậy dải ứng dụng của sơ đồ hình 3.19a là hạn chế và ở vùng tần số thấp và cao người ta đưa ra các sơ đồ đa hài khác tạo xung có ưu thế hơn mà ta sẽ xét dưới đây.

3.4.2. Mạch đa hài dùng IC tuyến tính

Để lập các xung vuông tần số thấp hơn 1000Hz sơ đồ đa hài (đối xứng hoặc không đối xứng) dùng IC tuyến tính dựa trên cấu trúc của một mạch so sánh hồi tiếp dương có nhiều ưu điểm hơn sơ đồ dùng tranzito đã nêu. Tuy nhiên do tính chất tần số của IC khá tốt nên với những tần số cao hơn việc ứng dụng sơ đồ IC vẫn mang nhiều ưu điểm (xét với tham số xung). Hình 3.20a và b đưa ra mạch điện nguyên lý của đa hài đối xứng dùng IC thuật toán cùng giản đồ thời gian giải thích hoạt động của sơ đồ.

Dựa vào các kết quả đã nêu ở 3.2.3, với trigơ Smit, có thể giải thích tóm tắt hoạt động của mạch 3.20(a) như sau : Khi điện thế trên đầu vào N đạt tới ngưỡng lật của trigơ Smit thì sơ đồ chuyển trạng thái và điện áp ra đột biến giá trị ngược lại với giá trị cũ. Sau đó điện thế trên đầu vào N thay đổi theo hướng ngược lại và tiếp tục cho tới khi chưa đạt được ngưỡng lật khác (ví dụ khoảng $(t_1 \div t_2)$ trên hình vẽ 3.20b). Sơ đồ lật về trạng thái ban đầu vào lúc t_2 khi $U_N = U_{\text{đóng}} = -\beta U_{\text{max}}$. Quá trình thay đổi U_N được điều khiển bởi thời gian phóng và nạp của C bởi U_{ra} qua R.

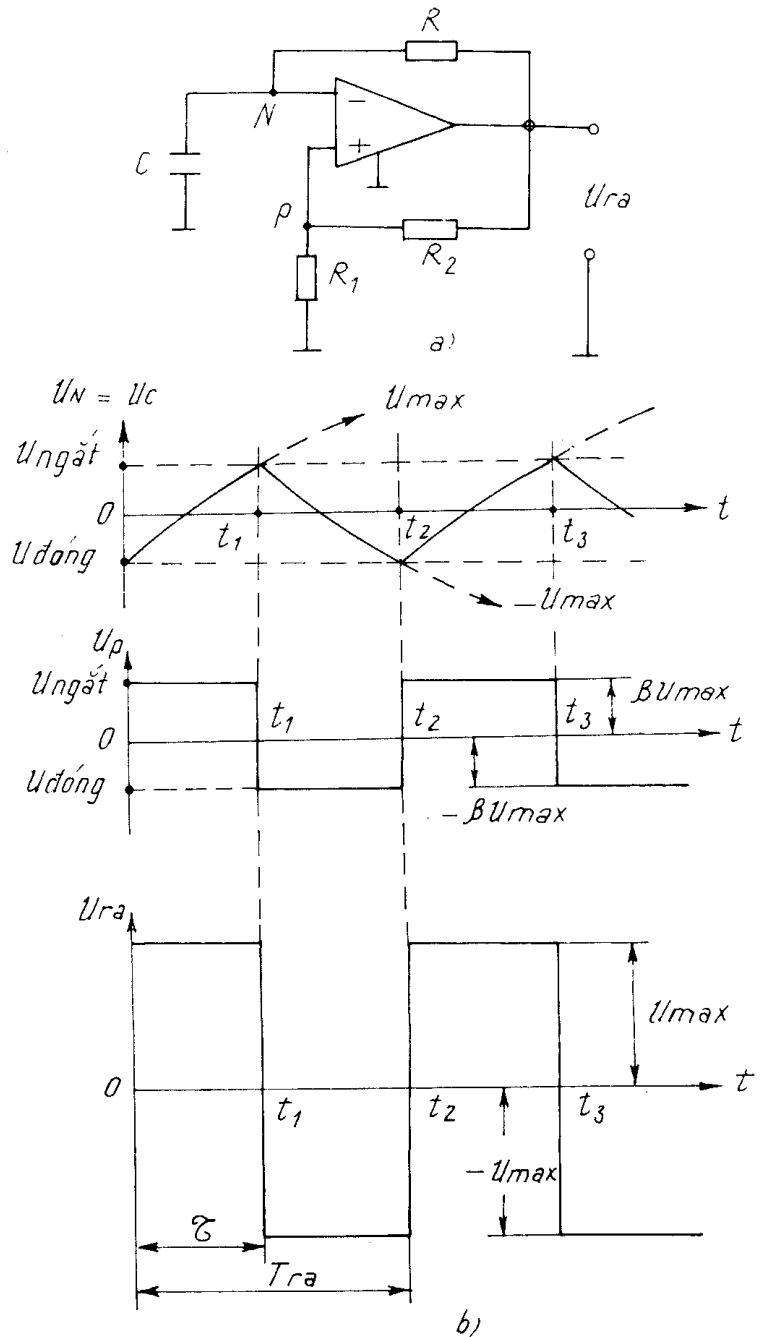
Nếu chọn

$$U_{\text{ramax}} = -U_{\text{ramin}} = U_{\text{max}}$$

thì $U_{\text{đóng}} = -\beta U_{\text{max}}$;

$$U_{\text{ngắt}} = \beta U_{\text{max}} ; \text{ Với } \beta = \frac{R_1}{R_1 + R_2}$$

là hệ số hồi tiếp dương của mạch. Cần lưu ý điện áp vào cửa N chính là điện áp trên tụ C, sẽ biến thiên theo thời gian mang quy luật quá trình phóng điện và nạp điện



Hình 3.20 : Bộ đa hài trên cơ sở bộ khuếch đại thuật toán (a).
Giản đồ thời gian làm việc của bộ dài (b).

của C từ nguồn $U_{\max}$ hoặc $-U_{\max}$ thông qua R trong các khoảng thời gian $0 \div t_1$ và $t_1 \div t_2 \dots$ lúc đó phương trình vi phân để xác định $U_N(t)$ có dạng :

$$\frac{dU_N}{dt} = \pm \frac{U_{\max} - U_N}{RC} \quad (3-24)$$

với điều kiện đầu $U_N(t = 0) = U_{\text{đồng}} = -\beta U_{\max}$

có nghiệm
$$U_N(t) = U_{\max} \left[1 - \left(1 + \beta \exp \left(-\frac{t}{RC} \right) \right) \right] \quad (3-25)$$

U_N sẽ đạt tới ngưỡng lật của trigơ Smit sau một khoảng thời gian bằng :

$$\tau = RC \ln \left[\frac{1 + \beta}{1 - \beta} \right] = RC \ln \left(1 + \frac{2R_1}{R_2} \right) \quad (3-26)$$

Từ đó chu kỳ của dao động được xác định bởi :

$$T_{ra} = 2\tau = 2RC \ln \left(1 + \frac{2R_1}{R_2} \right) \quad (3-27)$$

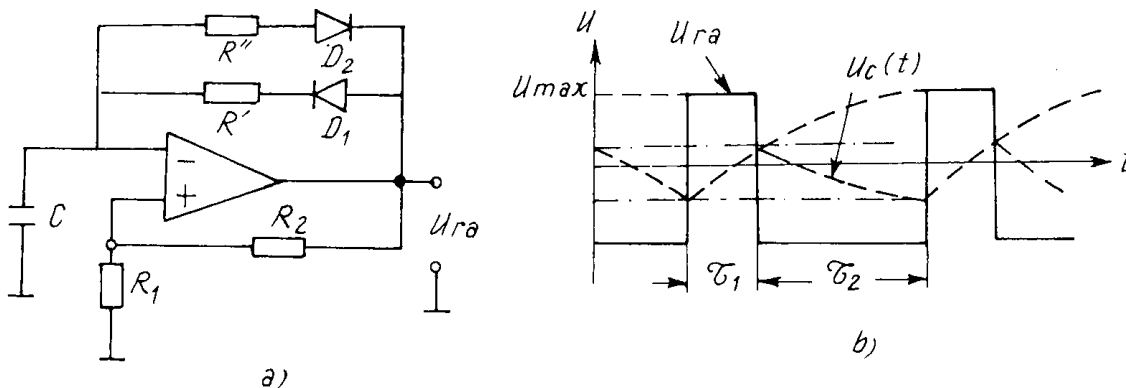
Nếu chọn $R_1 = R_2$ ta có : $T_{ra} \approx 2,2 RC$ (3-28a)

tức chu kì dao động tạo ra chỉ phụ thuộc các thông số mạch ngoài R_1, R_2 (mạch hồi tiếp dương) và R, C (mạch hồi tiếp âm). Các hệ thức (3-26) và (3-27) cho xác định các tham số cơ bản nhất của mạch.

Khi cần thiết kế các mạch đa hài có độ ổn định tần số cao hơn và có khả năng điều chỉnh tần số ra, người ta sử dụng các mạch phức tạp hơn (ví dụ có hai bộ so sánh) [4].

Một nhận xét nữa là khi cần dạng xung ra không đối xứng, sơ đồ hình 3.21 được sử dụng với đặc điểm tạo ra không đối xứng giữa mạch phóng (qua R'', D_2) và mạch nạp (qua R', D_1) với $R'' \neq R'$. Khi đó $\tau_1 = R' C \ln \left(1 + \frac{2R_1}{R_2} \right)$; $\tau_2 = R'' C \ln \left(1 + \frac{2R_1}{R_2} \right)$ và

do đó : $T = \tau_1 + \tau_2 = C(R' + R'') \ln \left(1 + \frac{2R_1}{R_2} \right)$ (3-28b)



Hình 3.21 : Mạch đa hài không đối xứng (a) và đồ thị thời gian dạng xung ra (b).

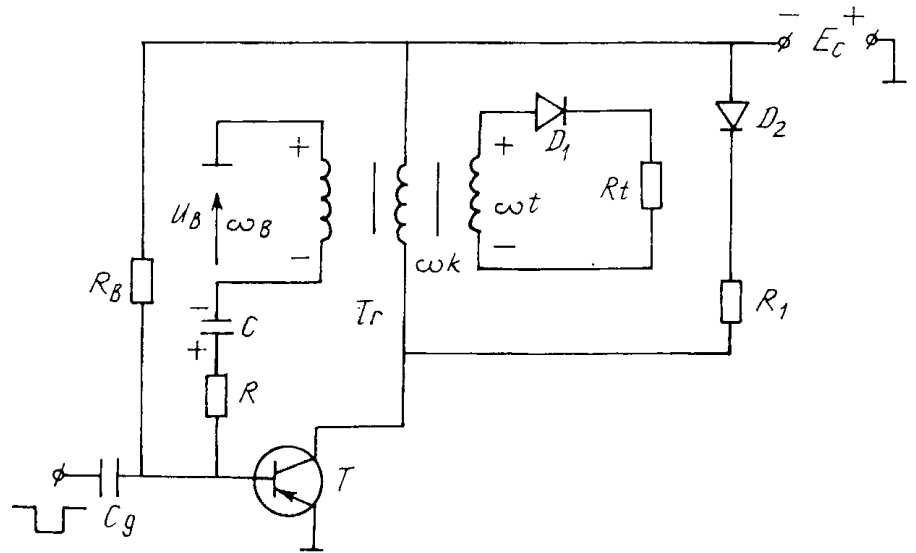
Bằng cách thay đổi giá trị tương quan giữa R' và R'' ta sẽ thay đổi được τ_1 hoặc τ_2 trong khi chu kỳ $T = \tau_1 + \tau_2$ được giữ nguyên không đổi.

Các diôt D_1 , D_2 có nhiệm vụ khóa ngắt nhánh tương ứng khi nhánh kia làm việc hoặc ngược lại.

3.5. BỘ DAO ĐỘNG BLOCKING

Blocking (bộ dao động nghẹt) là một bộ khuếch đại đơn hay đẩy kéo, có hồi tiếp dương mạnh qua một biến áp xung (h.3.22a), nhờ đó tạo ra các xung có độ rộng hẹp (cỡ $10^{-3} \div 10^{-6}s$) và biên độ lớn. Blocking thường được dùng để tạo ra các xung điều khiển trong các hệ thống số. Blocking có thể làm việc ở chế độ khác nhau : chế độ tự dao động, chế độ đợi, chế độ đồng bộ hay chế độ chia tần.

Hình 3.22a là mạch nguyên lý Blocking tự dao động gồm một tranzito T mắc emitter chung với biến áp xung T_r có 3 cuộn ω_k sơ cấp, ω_B và ω_1 (thứ cấp).



Hình 3.22a : Mạch nguyên lý Blocking đơn (a)
và giản đồ thời gian minh họa nguyên lý hoạt động của Blocking (b).

Quá trình hồi tiếp dương thực hiện từ ω_k qua ω_B nhờ cực tính ngược nhau của chúng. Tụ C và điện trở R để hạn chế dòng điện cực bazơ. Điện trở R tạo dòng phóng điện cho tụ C (lúc T khóa). Diôt D_1 để loại xung cực tính âm trên tải sinh ra khi tranzito chuyển chế độ từ mở sang khóa. Khâu mạch R_1 , D_2 để bảo vệ tranzito khỏi bị quá áp. Các hệ số biến áp xung là n_B và n_1 được xác định bởi :

$$n_B = \frac{\omega_k}{\omega_B} ; n_1 = \frac{\omega_k}{\omega_1} \quad (3-29)$$

• Quá trình dao động xung liên quan tới thời gian mở và được duy trì ở trạng thái bão hòa (nhờ mạch hồi tiếp dương) của tranzito. Kết thúc việc tạo dạng xung là lúc tranzito ra khỏi trạng thái bão hòa và chuyển đột biến về tắt (khóa) nhờ hồi tiếp dương.

+ Trong khoảng $0 < t < t_1$ T tắt do điện áp đã nạp trên C : $U_C > 0$; tụ C phóng điện qua mạch $\omega_B \rightarrow C \rightarrow R \rightarrow R_B \rightarrow -E_{cc}$ lúc t_1 , $U_C = 0$

+ Trong khoảng $t_1 < t < t_2$, khi U_C chuyển qua giá trị 0 xuất hiện quá trình đột biến Blocking thuận nhờ hồi tiếp dương qua ω_B , dẫn tới mở hẳn tranzito tới bão hòa.

+ Trong khoảng $t_2 < t < t_3$ T bão hòa sâu, điện áp trên cuộn ω_k gần bằng trị số E_{cc} , đó là giai đoạn tạo đỉnh xung, có sự tích lũy năng lượng từ trong các cuộn dây của biến áp, tương ứng điện áp hồi tiếp qua ω_B là

$$U_{\omega_B} = \frac{E_{cc}}{n_B} \quad (3-30)$$

và điện áp trên cuộn tải ω_1 là

$$U_{\omega_1} = \frac{E_{cc}}{n_1}$$

Lúc này tốc độ thay đổi dòng colectơ giảm nhỏ nên sức điện động cảm ứng trên ω_K , ω_B giảm làm dòng cực bazơ i_B giảm theo, do đó làm giảm mức bão hòa của T đồng thời tụ C được i_B nạp qua mạch đất - tiếp giáp emitơ - bazơ của T - RC - ω_B - đất. Lúc đó do i_B giảm tới trị số tới hạn $i_B = i_{Bbh} = i_c = i_{chh}/\beta$ xuất hiện quá trình hồi tiếp dương theo hướng ngược lại (quá trình Blocking ngược) : T thoát khỏi trạng thái bão hòa $i_c \downarrow i_B \downarrow \dots$ đưa T đột ngột về trạng thái khóa dòng $i_c = 0$ tuy nhiên do quán tính của cuộn dây trên cực colectơ xuất hiện sđđ tự cảm chống lại sự giảm đột ngột của dòng điện, do đó hình thành một mức điện áp âm biên độ lớn (quá giá trị nguồn E_{cc}) đây là quá trình tiêu tán năng lượng từ trường đã tích lũy trước, nhờ dòng thuận từ chảy qua mạch $D_2 R_1$, lúc này cuộn ω_1 cảm ứng điện áp âm làm D_1 tắt và tách mạch tải khỏi sơ đồ. Sau đó tụ C phóng điện duy trì T khóa cho tới khi $U_c = 0$ sẽ lập lại một nhịp làm việc mới.

Việc phân tích chi tiết hơn các hệ thức liên quan tới quá trình Blocking và hình thành đỉnh xung dẫn tới kết quả [5] [6].

- Độ rộng xung Blocking tính được là :

$$t_x = t_3 - t_1 = (R + r_v) \text{Cln} \frac{B \cdot R_1}{n_B(R_1 + r_v)} \quad (3-31)$$

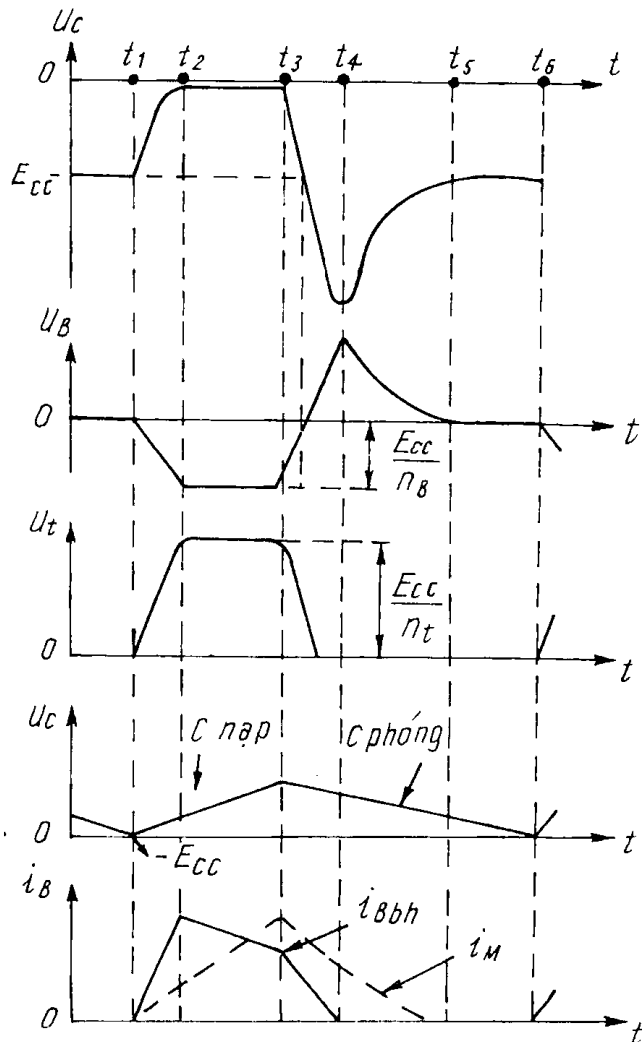
trong đó r_v là điện trở vào của tranzito lúc mở

$R_1 = n_1^2 R_l$ là tải phản ánh về mạch cực colectơ (mạch sơ cấp)

β là hệ số khuếch đại dòng tĩnh T.

- Thời gian hồi phục $t_4 \div t_6$ (h.3.22) do thời gian phóng điện của tụ quyết định và được xác định bởi :

$$t_{\text{thph}} = t_6 - t_4 = C \cdot R_B \ln \left(1 + \frac{1}{n_B} \right) \quad (3-32)$$



Hình 3.22b : Giản đồ thời gian minh họa nguyên lý hoạt động của Blocking.

nếu bỏ qua các thời gian tạo sườn trước và sườn sau của xung thì chu kì xung

$$T_x \approx t_x + t_{hph} \quad (3-33a)$$

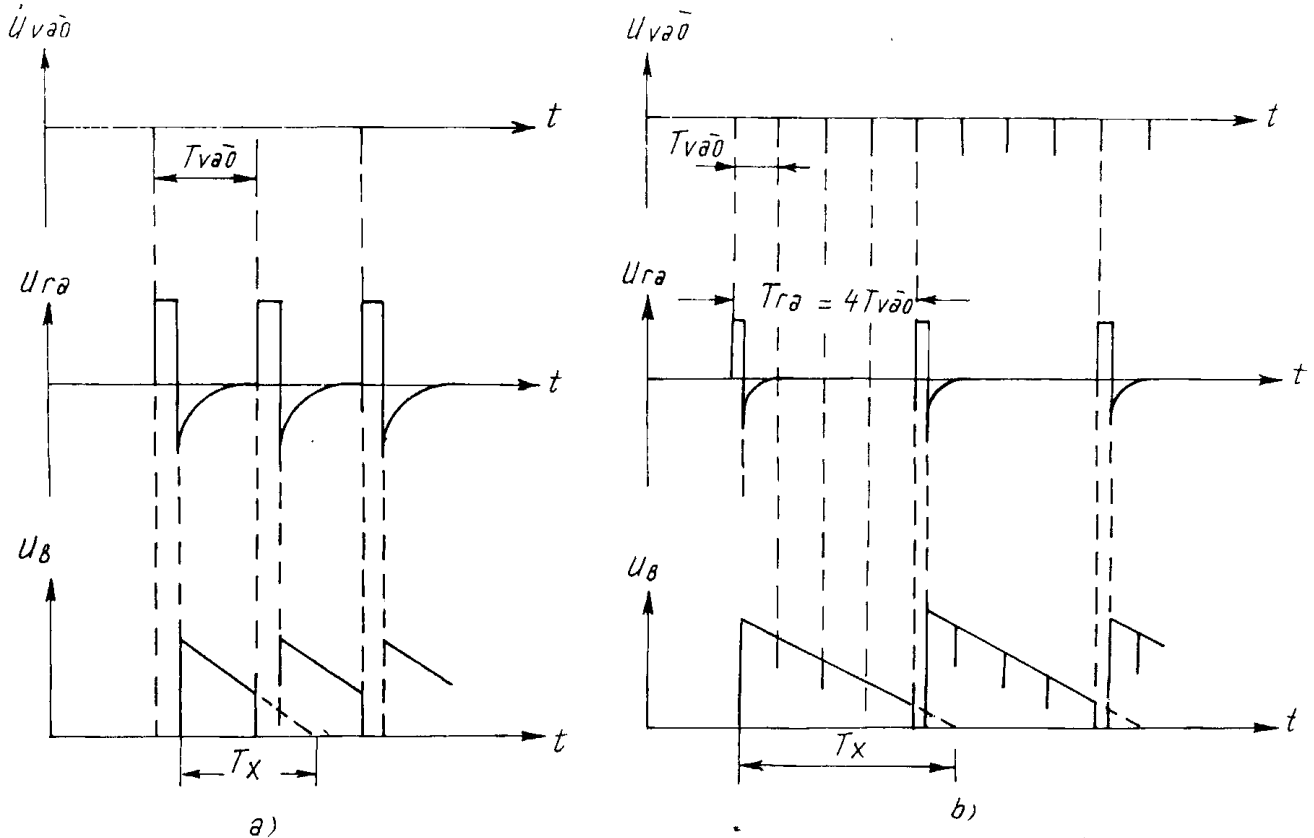
và tần số của dãy xung là :

$$f = \frac{1}{t_x + t_{hph}}$$

• Sơ đồ Blocking có thể xây dựng từ hai tranzito mắc đẩy kéo làm việc với một biến xung bão hòa từ để tạo các xung vuông với hiệu suất năng lượng cao và chất lượng tham số xung tốt [6].

• Điểm lưu ý sau cùng là khi làm việc ở chế độ đồng bộ cần chọn chu kì của dãy xung đồng bộ T_v nhỏ hơn chu kì của T_x của dãy xung do Blocking tạo ra, còn nếu ở chế độ chia tần thì cần tuân theo điều kiện $T_x \gg T_v$ và khi đó có dãy xung đầu ra chu kỳ lặp là :

$T_{ra} = nT_{vào}$ (h.3.23a và b) với n là hệ số chia.



Hình 3.23 : Blocking ở chế độ $T_x > T_{vào}$ (a) $T_{ra} = T_{vào}$ và ở chế độ chia tần với $T_x \gg T_{vào}$, $T_{ra} = nT_{vào}$ với $n = 4$ (b).

3.6. MẠCH TẠO XUNG TAM GIÁC (XUNG RĂNG CỬA)

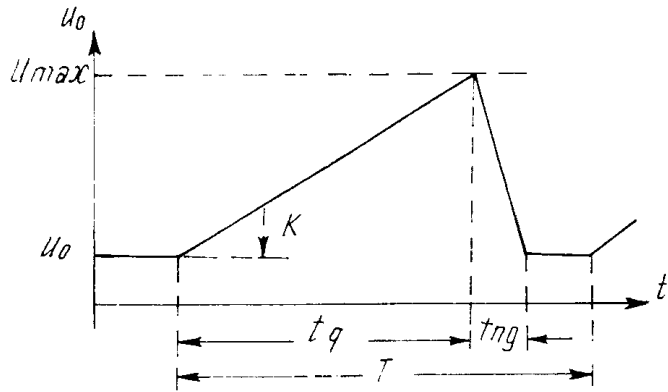
3.6.1. Các vấn đề chung

• Xung tam giác được sử dụng phổ biến trong các hệ thống điện tử : Thông tin, đo lường hay tự động điều khiển làm tín hiệu chuẩn hai chiều biên độ (mức) và thời gian có vai trò quan trọng không thể thiếu được hầu như trong mọi hệ thống điện tử hiện đại. Hình 3.24 đưa ra dạng xung tam giác lý tưởng với các tham số chủ yếu sau :

Biên độ $U_{\max}$, mức một chiều ban đầu $U_q(t=0) = U_0$, chu kỳ lặp lại T (với xung tuần hoàn), thời gian quét thuận t_q và thời gian quét ngược t_{ng} (thông thường $t_{ng} \gg t_q$), tốc độ quét thuận

$$K = \frac{dU_q(t)}{dt}$$

hay độ nghiêng vi phân của đường quét.



Hình 3.24 : Xung tam giác lý tưởng.

Để đánh giá chất lượng U_q thực tế so với lý tưởng có hệ số không đường thẳng ε được định nghĩa là :

$$\varepsilon = \frac{dU_q/dt(t \approx 0) - dU_q/dt(t = t_q)}{dU_q/dt(t = 0)} = \frac{U'_q(0) - U'_q(t_q)}{U'_q(0)} \cdot \% \quad (3-33b)$$

Ngoài ra còn các tham số khác như : tốc độ quét trung bình

$$K_{TB} = \frac{U_{\max}}{t_q} \text{ và hiệu suất năng lượng } \eta = \frac{U_{\max}}{E_{\text{nguồn}}}$$

Từ đó có hệ số phẩm chất của U_q là $Q = \frac{\eta}{\varepsilon}$

Nguyên lý tạo xung tam giác dựa trên việc sử dụng quá trình nạp hay phóng điện của một tụ điện qua một mạch nào đó. Khi đó quan hệ dòng và áp trên tụ biến đổi theo thời gian có dạng

$$i_c(t) = C \frac{dU_c(t)}{dt} \quad (3-34)$$

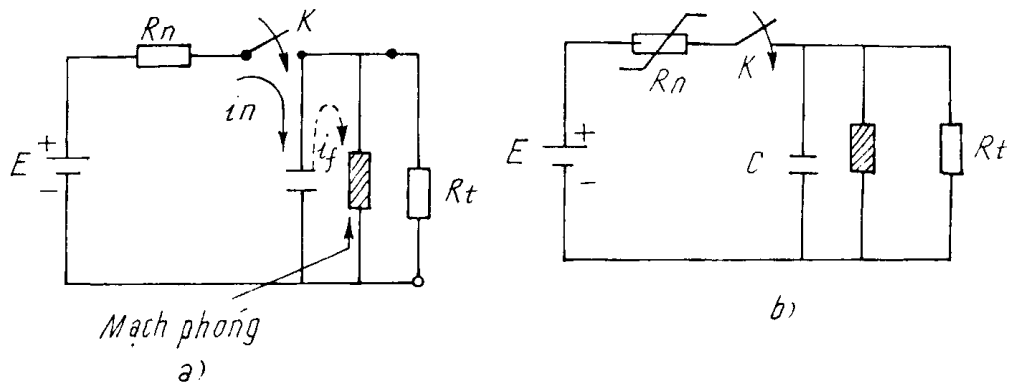
trong điều kiện C là một hằng số, muốn quan hệ $U_c(t)$ tuyến tính cần thỏa mãn điều kiện $i_c(t) = \text{hằng số}$. Nói cách khác, sự phụ thuộc của điện áp trên tụ điện theo thời gian càng tuyến tính khi dòng điện phóng hay nạp cho tụ càng ổn định.

- Có hai dạng xung tam giác cơ bản là : trong thời gian quét thuận t_q , U_q tăng đường thẳng nhờ quá trình nạp cho tụ từ nguồn một chiều nào đó và trong thời gian quét thuận t_q , U_q giảm đường thẳng nhờ quá trình phóng của tụ điện qua một mạch tải. Với mỗi dạng kể trên có các yêu cầu khác nhau, để đảm bảo $t_{ng} \ll t_q$, với dạng tăng đường thẳng cần nạp chậm phóng nhanh và ngược lại với dạng giảm đường thẳng cần nạp nhanh phóng chậm.

- Để điều khiển tức thời các mạch phóng nạp, thường sử dụng các khóa điện tử tranzito hay IC đóng mở theo nhịp điều khiển từ ngoài. Trên thực tế để ổn định dòng điện nạp hay dòng điện phóng của tụ cần một khối tạo nguồn dòng điện (xem 2.6) để nâng cao chất lượng xung tam giác. Về nguyên lý có 3 phương pháp cơ bản sau :

a - Dùng một mạch tích phân đơn giản (h.3.25a) gồm một khâu RC đơn giản để nạp điện cho tụ từ nguồn E . Quá trình phóng, nạp được một khóa điện tử K điều khiển. Khi đó, $U_{\max} \ll E$ do đó phẩm chất của mạch thấp vì hệ số phi tuyến tỷ lệ với tỷ số $U_{\max}/E$: $\varepsilon = \frac{U_{\max}}{E} \quad (3-35).$

Nếu sử dụng phần tăng đường thẳng ta có $U_c(t) = E \left[1 - \exp\left(-\frac{t}{R_n C}\right) \right]$ với $R_n C \gg R_{\text{phóng}} \cdot C$. Nếu chọn nguồn E cực tính âm ta có $U_c(t)$ là giảm đường thẳng.



Hình 3.25 : Phương pháp Miller tạo U_q .

b - Dùng một phần tử ổn định dòng kiểu thông số cố định trở phụ thuộc vào điện áp đặt trên nó $R_n = f(U_{Rn})$ làm điện trở nạp cho tụ C. Để giữ cho dòng nạp không đổi, điện trở R_n giảm khi điện áp trên nó giảm, lúc đó

$$\varepsilon = \frac{U_{\max}}{E_{td}} \text{ với } E_{td} = I_{\text{nạp}} \cdot R_i \quad (3-36)$$

R_i là điện trở trong của nguồn dòng nên khá lớn, do vậy E_{td} lớn và cho phép nâng cao $U_{\max}$ với một mức méo phi tuyến cho trước.

c - Thay thế nguồn E cố định ở đầu vào bằng một nguồn biến đổi

$$e(t) = E + K (U_c - U_o)$$

hay

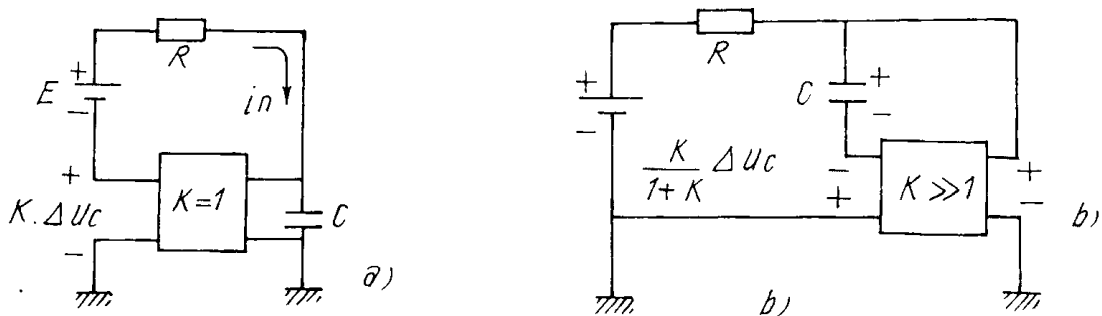
$$e(t) = E + K\Delta U_c \quad (3-37)$$

với K là hằng số tỉ lệ bé hơn 1 : $k = \frac{de(t)}{dU_c} < 1$ (với hình 3.26a)

Nguồn bổ sung $K\Delta U_c$ bù lại mức giảm của dòng nạp nhờ một mạch khuếch đại có hồi tiếp thay đổi theo điện áp trên tụ U_c , khi đó mức méo phi tuyến xác định bởi [2] :

$$\varepsilon = \frac{U_{\max}}{E} (1-k) \quad (3-38)$$

giá trị này thực tế nhỏ vì $k \approx 1$ nên $1-k$ là VCB và vì thế có thể lựa chọn được $U_{\max}$ lớn xấp xỉ E làm tăng hiệu suất của mạch mà ε vẫn nhỏ.



Hình 3.26 : Phương pháp Bootstrap tạo U_q .

3.6.2. Mạch tạo xung tam giác dùng tranzito

Hình 3.27 đưa ra các sơ đồ dùng tranzito thông dụng để tạo xung tam giác trong đó (a) là dạng đơn giản, (b) là mạch dùng phần tử ổn dòng (phương pháp Miller) và (c) là mạch bù có khuếch đại bấm kiểu Bootstrap.

a - Với mạch (a) : Ban đầu khi $U_v = 0$ (chưa có xung điều khiển) T mở bão hòa nhờ R_B , điện áp ra $U_{ra} = U_c = U_{CE:bh} \approx 0V$. Trong thời gian có xung vuông, cực tính âm điều khiển đưa tới cực bazơ, T khóa, tụ C được nạp từ nguồn +E qua R làm điện áp trên tụ tăng dần theo quy luật $U_c(t) = E (1 - e^{-t/RC})$ (3-39)

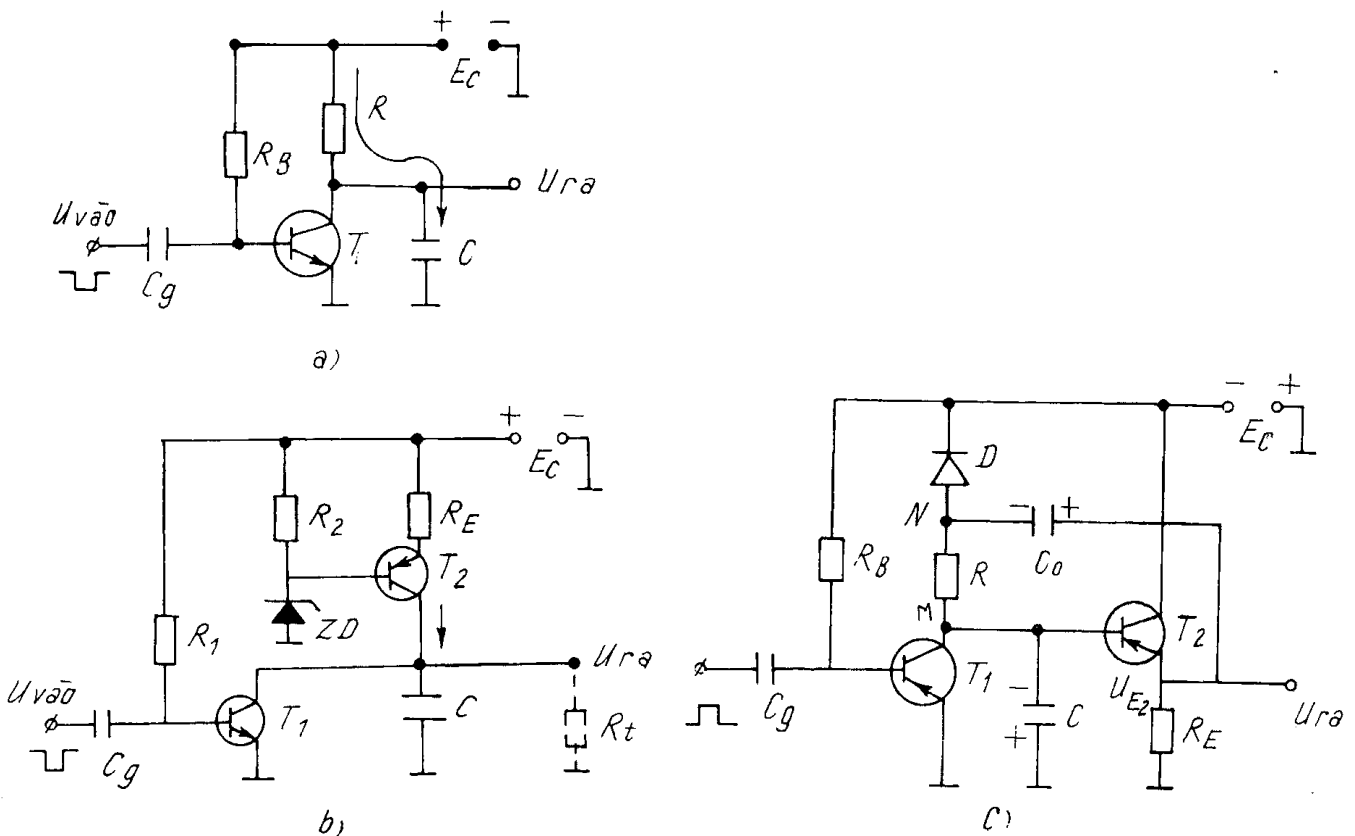
Điện áp này $U_c(t) = U_{ra}(t)$ ở gần đúng bậc nhất tăng đường thẳng theo t với hệ số phi tuyến

$$\varepsilon = \frac{i_0 - i(t_q)}{i_0} = \frac{U_m}{E} \text{ với } i(0) = \frac{E}{R} \quad (3-40)$$

và $i(t_q) = \frac{E - U_m}{R}$ là các dòng nạp lúc đầu và cuối

Khi hết xung điều khiển T mở lại, C phóng điện nhanh qua T ; $U_{ra} = U_c \approx 0$ mạch về lại trạng thái ban đầu.

Từ biểu thức sai số ε (3-40) thấy rõ muốn sai số bé cần chọn nguồn E lớn và biên độ ra của xung tam giác U_m nhỏ. Đây là nhược điểm căn bản của sơ đồ đơn giản hình 3.27a.



Hình 3.27 : Các mạch tạo xung tam giác dùng tranzito thông dụng nhất.

b - Với mạch (b) tranzito T_2 mắc kiểu bazơ chung có tác dụng như một nguồn ổn dòng (có bù nhiệt nhờ dòng ngược qua ZD là diốt ổn áp) (xem 2.6) cung cấp dòng I_{E2} ổn định nạp cho tụ trong thời gian có xung vuông cực tính âm điều khiển làm khóa T_1 . Với điều kiện gần đúng dòng cực colectơ T_2 không đổi thì :

$$U_c(t) = \frac{1}{C} \int_0^{t_q} I_{c_2} dt = \frac{I_{c_2}}{C} t \text{ là quan hệ bậc nhất} \quad (3-41)$$

Mạch (b) cho phép tận dụng toàn bộ E tạo xung tam giác với biên độ nhận được là $U_m \approx E$. Tuy vậy, khi có tải R_l nối song song trực tiếp với C thì có phân dòng qua R_l và U_m giảm và do đó sai số ε tăng. Để sử dụng tốt cần có biện pháp nâng cao R_l hay giảm ảnh hưởng của R_l đối với mạch ra của sơ đồ.

c - Với mạch (c) T_1 là phần tử khóa thường mở nhờ R_B và chỉ khóa khi có xung vuông cực tính dương điều khiển. T_2 là phần tử khuếch đại đệm chế độ đóng mở ($k < 1$).

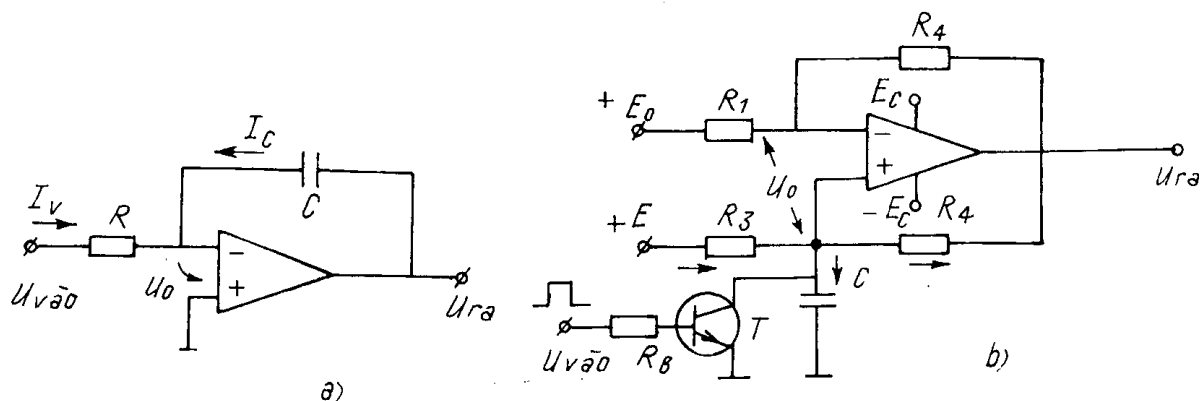
Ban đầu ($U_v = 0$) T_1 mở nhờ R_B , diốt D thông qua R có dòng $I_0 \approx E/(R + R_d)$ với $U_c = U_{CE1bh} \approx 0$. Qua T_2 ta nhận được $U_{ra} \approx 0$. Tụ C_0 được nạp tới điện áp $U_N - U_{E2} \approx E$ với cực tính như hình 3.27. Trong thời gian có xung vào T_1 bị khóa, C được nạp qua D và R làm điện thế tại M (cũng là điện thế cực bazơ T_2) âm dần T_2 mở mạnh, gia số ΔU_c qua T_2 và qua C_0 (có điện dung lớn) gần như được đưa toàn bộ về điểm N bù thêm với giá trị sẵn có tại N (đang giảm theo quy luật dòng nạp) giữ ổn định dòng trên R nạp cho C. Chú ý khi dòng hồi tiếp qua C_0 về N có trị số bằng E/R thì không còn dòng qua D dẫn tới cân bằng động, nguồn E dường như cắt khỏi mạch và C được nạp nhờ điện thế E đã được nạp trước trên C_0 .

Sơ đồ (c) có ưu điểm là biên độ U_m đạt xấp xỉ giá trị nguồn E trong khi sai số ε giảm đi $(1 - k)$ lần (với k là hệ số truyền đạt của T_2 mắc chung emítơ) và ảnh hưởng của R_l mắc tại cực emítơ của T_2 thông qua tầng đệm phân cách T_2 tới $U_c(t)$ rất yếu.

Các sơ đồ 3.27 a b c có thể sử dụng với xung điều khiển cực tính ngược lại khi chuyển mạch T_1 được thiết kế ở dạng thường khóa (không có R_B)

3.6.3. Mạch tạo xung tam giác dùng vi mạch thuật toán

Hình 3.28 a và b đưa ra hai sơ đồ tạo xung tam giác dùng IC thuật toán.



Hình 3.28 : Các mạch tạo xung tam giác dùng IC tuyến tính.

a) Dạng mạch tích phân đơn giản ;

b) Dạng mạch phức tạp có điều chỉnh hướng quét và cực tính.

a - Mạch 3.28 a xây dựng trên cơ sở khuếch đại có đảo trong đó thay điện trở R_{ht} bằng tụ C, khi đó điện áp ra được mô tả bởi (giả thiết $U_o \approx 0$)

$$U_{ra}(t) = \frac{Q(t)}{C} = \frac{1}{C} \left[\int_0^t I_c(t) dt + Q_0 \right] \quad (3-42)$$

với Q_0 là điện tích có trên tụ tại lúc $t = 0$

với $I_c(t) = -\frac{U_{vào}(t)}{R}$ có

$$U_{ra}(t) = -\frac{1}{RC} \int_0^t U_{vào}(t) dt + U_{ra} \quad (3-43)$$

Thành phần U_{rao} xác định từ điều kiện ban đầu của tích phân :

$$U_{rao} = U_{ra}(t = 0) = \frac{Q_0}{C}$$

Nếu $U_{vào}(t)$ là một xung vuông có giá trị không đổi trong khoảng $0 \div t$ thì $U_{ra}(t)$ là một điện áp đường thẳng

$$U_{ra}(t) = \left(-\frac{1}{RC} U_{vào} \right) \cdot t + U_{rao} \quad (3-44)$$

Độ chính xác của (3.44) là tùy thuộc vào giả thiết gần đúng $U_o \approx 0$ hay dòng điện đầu vào IC gần bằng 0, các vi mạch chất lượng cao đảm bảo điều kiện này khá tốt.

b - Hoạt động của mạch 3.28b được minh họa bằng giản đồ thời gian hình 3.29

- Khi có xung điều khiển cực tính dương, T mở bão hòa, thông mạch phóng điện cho tụ C trong khoảng thời gian t_o ($t_o < t_{ng}$ với $t_{ng} = t_{vào}$ là thời gian có xung điều khiển).

- Trong khoảng t_q (không có xung điều khiển) IC làm việc ở chế độ khuếch đại tuyến tính, nếu $U_o = 0$ thì

$$U_p = U_N = U_c \quad (3-45)$$

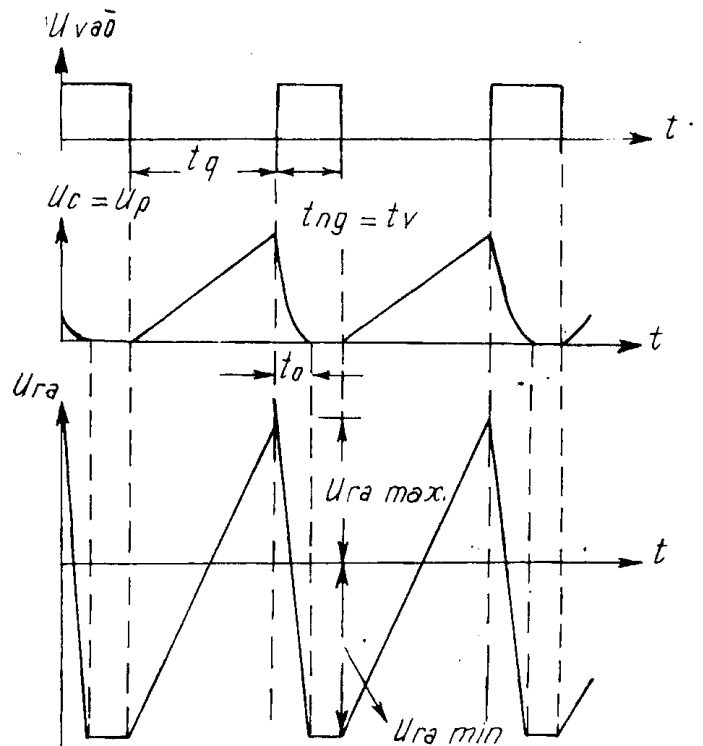
- Ta xác định quy luật biến đổi của $U_c(t)$, từ đó tìm điều kiện để có quan hệ là tuyến tính như sau :

Phương trình dòng điện tại nút N với mạch hồi tiếp âm :

$$\frac{E_o - U_N}{R_1} = \frac{U_N - U_{ra}}{R_2}$$

suy ra

$$U_{ra} = U_c \frac{R_1 + R_2}{R_1} - E_o \frac{R_2}{R_1} \quad (3-46)$$



Hình 3.29 : Giản đồ thời gian mạch tạo xung tam giác hình 3.28b.

Phương trình dòng tại nút P với mạch hồi tiếp dương :

$$\frac{E - U_c}{R_3} = C \frac{dU_c}{dt} + \frac{U_c - U_{ra}}{R_4} \quad (3-47)$$

Từ hai hệ thức (3-46) và (3-47) rút ra phương trình của $U_c(t)$

$$\frac{dU_c}{dt} + \frac{U_c}{C} \left(\frac{1}{R_3} - \frac{R_2}{R_1 R_4} \right) = \frac{1}{C} \left(\frac{E}{R_3} - E_o \frac{R_2}{R_1 R_4} \right) \quad (3-48)$$

Tính chất biến đổi của $U_c(t)$ phụ thuộc vào hệ số của số hạng thứ hai vế trái của (3-48) :

Nếu $R_3 > \frac{R_1 R_4}{R_2}$ đường $U_c(t)$ có dạng đường cong lồi

Nếu $R_3 < \frac{R_1 R_4}{R_2}$ đường $U_c(t)$ có dạng đường cong lõm.

$$\text{còn khi } \frac{R_2}{R_1} = \frac{R_4}{R_3} \quad (3-49)$$

thì U_c phụ thuộc bậc nhất vào t

$$\text{Khi đó có } U_c = \frac{1}{C} \left(\frac{E}{R_3} - E_o \frac{R_2}{R_1 R_4} \right) t \quad (3-50)$$

$$\begin{aligned} \text{Nếu chọn } R_1 &= R_3 \\ R_2 &= R_4 \end{aligned}$$

$$\text{ta có biểu thức thu gọn } U_c = \frac{1}{R_3 C} (E - E_o)t \quad (3-51)$$

Từ đó :

Nếu $E > E_o$ có U_{ra} là điện áp tăng đường thẳng.

Nếu $E < E_o$ có U_{ra} giảm đường thẳng.

Nếu chọn $E_o = 0$ ta nhận được xung tam giác cực tính dương, còn chọn E_o là 1 nguồn điều chỉnh được thì U_{ra} có dạng có hai cực tính với biên độ gần bằng $2E_c$ ($\pm E_c$ là nguồn cung cấp cho IC).

Trên thực tế, thường chọn $E = E_c$ và E_o lấy từ E_c qua chia áp. Biên độ cực đại trên tụ C xác định bởi :

$$U_{cmax} = \frac{1}{R_3 C} (E - E_o)t_q \quad (3-52)$$

• Người ta có thể tạo ra đồng thời một xung vuông và một xung tam giác nhờ ghép nối tiếp một bộ tích phân sau một trigơ Smit (h. 3.30).

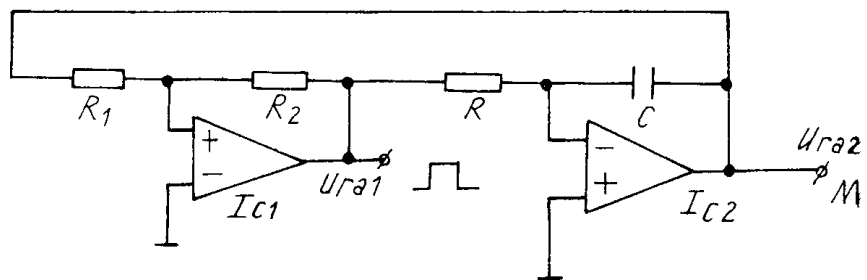
Bộ tích phân IC₂ lấy tích phân điện áp ra ổn định trên lõi ra (U_{ra1}) của trigơ Smit. Khi U_{ra2} đạt ngưỡng lật của trigơ thì điện áp ra của nó đổi dấu đột biến do đó U_{ra2} đổi hướng quét ngược lại. Quá trình lại tiếp diễn cho tới khi đạt tới ngưỡng lật thứ hai của trigơ Smit và sơ đồ quay về trạng thái đầu. Tần số của dao động thay

đổi nhờ R hoặc C. Biên độ U_{ra2} chỉ phụ thuộc ngưỡng lật của trigơ Smit, được xác định bởi :

$$U_{ra2} = \frac{U_{max} R_1}{R_2} \quad (3-53)$$

(với U_{max} là giá trị điện áp ra bão hòa của IC_1).

Chu kỳ dao động xác định bởi [4,9].



Hình 3.30 : Sơ đồ tạo đồng thời xung vuông (U_{ra1}) và xung tam giác (U_{ra2})

$$T = 4RC \frac{R_1}{R_2} \quad (3-54)$$

3.7. CƠ SỞ ĐẠI SỐ LOGIC VÀ CÁC PHẦN TỬ LOGIC CƠ BẢN

3.7.1. cơ sở của đại số logic

a - Hệ tiên đề và định lý

Đại số logic là phương tiện toán học để phân tích và tổng hợp các hệ thống thiết bị và mạch số. Nó nghiên cứu các mối liên hệ (các phép tính cơ bản) giữa các biến số trạng thái (biến logic) chỉ nhận một trong hai giá trị "1" (có) hoặc "0" (không có). Kết quả nghiên cứu này thể hiện là một hàm trạng thái cũng nhận chỉ các trị số "0" hoặc "1".

- Người ta xây dựng 3 phép tính cơ bản giữa các biến logic đó là :

Phép phủ định logic (đảo), kí hiệu bằng dấu "-" phía trên kí hiệu của biến

Phép cộng logic (tuyến), kí hiệu bằng dấu "+"

Phép nhân logic (hội), kí hiệu bằng dấu "."

Kết hợp với hai hằng số "0" và "1" có nhóm các quy tắc sau :

- Nhóm 4 quy tắc của phép cộng logic :

$$\begin{aligned} x + 0 &= x, & x + x &= x \\ x + 1 &= 1, & x + \bar{x} &= 1 \end{aligned} \quad (3-55)$$

- Nhóm 4 quy tắc của phép nhân logic :

$$\begin{aligned} x \cdot 0 &= 0, & x \cdot x &= x \\ x \cdot 1 &= x, & x \cdot \bar{x} &= 0 \end{aligned} \quad (3-56)$$

- Nhóm hai quy tắc của phép phủ định logic.

$$(\bar{x}) = \overline{\bar{x}}, \quad (\overline{\bar{x}}) = x \quad (3-57)$$

Có thể minh họa tính hiển nhiên của các quy tắc trên qua ví dụ các khóa mạch điện nối song song (với phép cộng) và nối tiếp (với phép nhân) và hằng số "1" ứng với khóa thường đóng nối mạch, "0" khóa thường mở ngắt mạch [4] [5].

- Tồn tại các định luật hoán vị, kết hợp và phân bố trong đại số logic với các phép cộng và nhân.

• Luật hoán vị : $x + y = y + x$; $xy = yx$ (3-58)

• Luật kết hợp $x + y + z = (x + y) + z = x + (y + z)$ (3-59)

$$xyz = (xy)z = x(yz)$$

• Luật phân bố $x(y + z) = xy + xz$ (3-60)

- Xuất phát từ các quy tắc và luật trên có thể đưa ra một số định lý thông dụng sau :

$$x \cdot y + x\bar{y} = x ; x(\bar{x} + y) = xy$$

$$x + xy = x ; (x + y)(x + z) = x + yz \quad (3-61)$$

$$x(x + y) = x ; \bar{x}\bar{y} + y = x + y$$

Định lý Demorgan : $\overline{F(x, y, z, \dots, +, \cdot)} = F(\bar{x}, \bar{y}, \bar{z}, \dots, \cdot, +)$

Ví dụ :

$$\overline{(x + y + z)} = \bar{x} \cdot \bar{y} \cdot \bar{z} \text{ và } \overline{(x \cdot y \cdot z)} = \bar{x} + \bar{y} + \bar{z} \quad (3-62)$$

b - Hàm logic và cách biểu diễn chúng.

Có 3 cách biểu diễn hàm logic tương đương nhau :

- *Biểu diễn giải tích* với các kí hiệu hàm, biến và các phép tính giữa chúng. Có hai dạng giải tích được sử dụng là dạng tuyến : hàm được cho dưới dạng một tổng của các tích các biến và dạng hội - dưới dạng một tích của các tổng các biến.

Nếu mỗi số hạng trong dạng tuyến chứa đủ mặt các biến ta gọi đó là một mintec kí hiệu là m và có dạng tuyến đầy đủ, tương tự với dạng hội đầy đủ là tích các maxtec (M).

Mỗi hàm logic có thể có vô số cách biểu diễn giải tích tương đương ngoài hai dạng trên, tuy nhiên chỉ tồn tại một cách biểu diễn gọn nhất, tối ưu về số biến và số số hạng hay thừa số và được gọi là dạng tối thiểu. Việc tối thiểu hóa hàm logic, là đưa chúng từ một dạng bất kì về dạng đã tối thiểu, mang một ý nghĩa kinh tế kĩ thuật đặc biệt khi tổng hợp các mạch logic phức tạp.

Ví dụ : Dạng tuyến đầy đủ $F = x.y.\bar{z} + \bar{x}yz + x\bar{y}z = m_1 + m_2 + m_3$

Dạng hội đầy đủ $F = (x + y + z)(\bar{x} + y + \bar{z})(x + \bar{y} + z) = M_1 \cdot M_2 \cdot M_3$

- Biểu diễn hàm logic bằng bảng trạng thái trong đó liệt kê toàn bộ số tổ hợp biến có thể có được và giá trị hàm tương ứng với mỗi tổ hợp đã kể.

Ví dụ với $F(x, y, z) = \bar{x}\bar{y}z + x\bar{y}z + x.y.z = m_1 + m_6 + m_7$ (3-63)

có bảng trạng thái sau : (xem bảng 3.2). Có thể thấy rõ tính chất tương đương của hai cách biểu diễn bảng và giải tích (lưu ý kí hiệu $x = 1$ thì $\bar{x} = 0$), nghĩa là $F = 1$ khi :

$$\text{hoặc } x = 0 \text{ và } y = 0 \text{ và } z = 1 \quad (m_1 = 1)$$

$$\text{hoặc } x = 1 \text{ và } y = 1 \text{ và } z = 0 \quad (m_6 = 1)$$

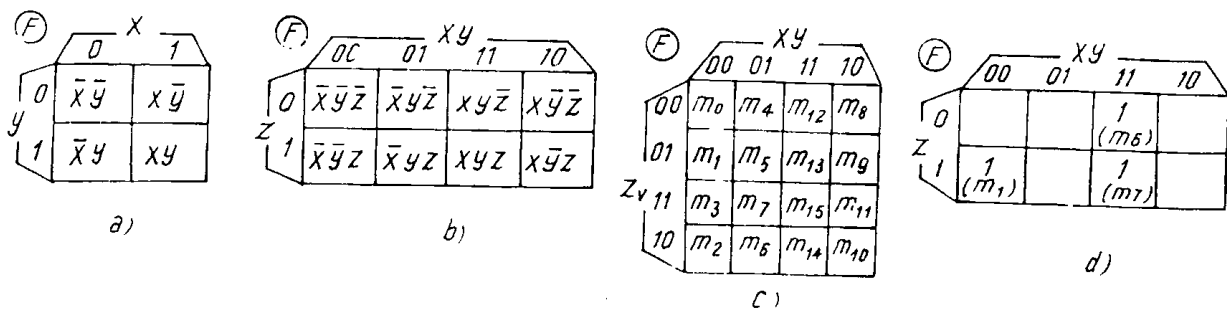
$$\text{hoặc } x = 1 \text{ và } y = 1 \text{ và } z = 1 \quad (m_7 = 1).$$

Dạng giải tích của F gồm 3 mintec (ứng với các tổ hợp thứ 1, 6, 7) hoặc gồm 5 maxtec (ứng với các tổ hợp còn lại).

- Cách biểu diễn hàm logic bằng bìa cacnô là biểu diễn bằng một đồ hình các ô vuông mỗi mintec được biểu thị bằng 1 ô. Trị số của mintec là trị ghi trong ô vuông đó. Hai ô vuông kế nhau chỉ được khác nhau giá trị của 1 biến, các hàng và cột được đánh số theo trị của biến tương ứng. Ví dụ cụ thể với hàm hai, ba hoặc 4 biến cho trên các bảng dưới (xem bảng 3.3) (a) (b) (c) tương ứng.

Lấy ví dụ hàm F cho theo bảng trạng thái (3.2) hay biểu thức (3.63) gồm có 3 mintec có giá trị 1 (là m_1 , m_6 và m_7) và 5 mintec còn lại có giá trị 0 (ở đây giá trị 0 ta để trống cho đơn giản, xem bảng 3.3d).

Bảng 3.3



c - Phương pháp tối thiểu hóa hàm logic bằng bìa cacnô.

Để thực hiện việc tối thiểu hóa hàm logic bằng phương pháp cacnô, cần nắm vững quy tắc dán ô sau đây :

"Các ô chỉ khác nhau một giá trị biến được gọi là kế nhau, (tính cả các biến của hàng và cột). Hai mintec có trị 1 kế nhau sẽ được thay thế bằng một mintec mới có số biến giảm đi một. Tổng quát nếu có 2^n mintec có trị 1 kế nhau thì chúng được thay thế bằng chỉ một mintec mới với số biến giảm đi n".

Tuần tự các bước tiến hành là:

Bước 1 : Chuyển hàm logic về dạng các mintec có đủ mặt các biến số hay phủ định của chúng.

Bước 2 : Lập bìa cacnô cho hàm dạng đầy đủ ở bước 1 đã có.

Bước 3 : Tiến hành dán từng nhóm 2^n các ô có trị "1" nằm kế nhau thành 1 khối vuông hay chữ nhật theo nguyên tắc : số ô dán được trong mỗi nhóm là tối đa, số nhóm độc lập (không chứa nhau) sau khi dán là ít nhất.

Ta hãy xét các ví dụ cụ thể sau để làm rõ quy tắc trên :

Ví dụ 1 : Tối thiểu hàm

$$F_1 = \bar{x}\bar{y}\bar{z} + \bar{x}\bar{y}z + \bar{z}y\bar{z} + \bar{x}yz + x\bar{y}z + xyz = m_0 + m_1 + m_3 + m_4 + m_5 + m_7 \quad (3-64)$$

Bước 1 không cần nữa vì F_1 đã có dạng đầy đủ. *Bảng 3.4*

Bước 2 lập bảng các nơ : Đây là hàm 3 biến gồm 6 mintec có trị "1", 2 mintec có trị "0" (xem bảng 3.4).

Bước 3 : Dán các ô theo từng nhóm : nhóm A có 4 ô ứng với hàng $z = 1$. Trong nhóm này chỉ trị z không đổi, còn trị x và y thay đổi theo từng cột, vậy mintec mới chỉ còn biến z : $A = z$

Nhóm B có 4 ô ứng với các cột $xy = 00$ và $xy = 10$

trong đó các trị x và z thay đổi, trị y không đổi mintec mới còn 1 biến y : $B = \bar{y}$

$$\text{Kết quả sau khi tối thiểu} \quad F_1 = A + B = z + \bar{y} \quad (3-65)$$

Lưu ý rằng : 1) có thể tối thiểu F_1 theo các ô trống ở đó F_1 nhận trị 0, lúc đó dạng maxtéc của F_1 là :

$$F_1 = (x + \bar{y} + z)(\bar{x} + \bar{y} + z) = M_2.M_6 \text{ hay có thể viết dưới dạng tổng các mintec :}$$

$$\bar{F}_1 = \bar{x}y\bar{z} + x\bar{y}\bar{z} = m_2 + m_6$$

Thực hiện dán 2 ô trống sẽ mất đi biến x vì x đảo trị, còn lại

$$\bar{F}_1 = y\bar{z} \text{ áp dụng định lí Demorgan (3-62) cho } F_1 \text{ lưu ý tới quy tắc (3.57) có}$$

$$\bar{\bar{F}}_1 = \bar{y} + z \text{ hay } F_1 = \bar{y} + z \text{ chính là kết quả (3-65)}$$

2) Một hay vài ô trị 1 có thể dùng nhiều lần khi tối thiểu.

• Ví dụ 2 : Cho F_2 biểu diễn dưới dạng bảng các nơ của 1 hàm 4 biến ở bảng (3.5). Ở đây không cần 2 bước tối thiểu đầu tiên vì đã cho trước.

Bảng 3.5

		xy			
		00	01	11	10
z	00	1	1	1	1
	01	1	1	1	1
	11				
	10	1		1	

Bước 3 việc dán ô sẽ cho 3 nhóm

Nhóm A : gồm 8 ô ứng với 2 dòng trên

$zv = 00$ và $zv = 01$, trong nhóm này các biến x, y, v đảo trị vậy chỉ còn $\bar{z}$: $A = \bar{z}$.

Nhóm B : gồm 2 ô ứng với cột $xy = 00$ hàng $zv = 00$ và $zv = 10$;

Ở đây chỉ z đảo trị, còn lại $\bar{x}\bar{y}\bar{v}$. Vậy $B = \bar{x}\bar{y}\bar{v}$

Nhóm C gồm 2 ô ứng cột $xy = 11$ hàng $zv = 00$ và $zv = 10$ tương tự chỉ có z đảo trị còn lại $C = x\bar{y}\bar{v}$. Kết quả sau khi tối thiểu, F_2 từ dạng tổng của 10 số hạng (mỗi số hạng đủ 4 biến) về dạng rút gọn :

$$\bar{F}_2 = A + B + C = \bar{z} + \bar{x}\bar{y}\bar{v} + x\bar{y}\bar{v} \quad (3-66)$$

Tương tự ví dụ 1, nếu dùng các ô trống để tối thiểu có 3 nhóm đặc trưng cho 3 mintec của $\bar{F}_2$ có kết quả :

$$\bar{F}_2 = zv + \bar{x}yz + x\bar{y}z$$

$$\text{Từ đó nhận được } F_2 = \bar{\bar{F}}_2 = \overline{z(v + \bar{x}y + x\bar{y})}$$

$$\begin{aligned} F_2 &= \bar{z} + \overline{(v + \bar{x}y + x\bar{y})} \\ &= \bar{z} + \bar{v}(\bar{x} + y)(\bar{x} + y) \\ &= \bar{z} + \bar{v}(\bar{x} + y)(\bar{x} + y) \\ &= \bar{z} + \bar{x}\bar{y}\bar{z} + x\bar{y}\bar{v} \text{ chính là dạng (3-66)} \end{aligned}$$

Sau khi đã tối thiểu hàm logic, người ta tìm cách thực hiện nó bằng các phần tử logic cơ bản sẽ được trình bày ở phần tiếp sau.

d - Các hệ thống số đếm thường sử dụng trong kĩ thuật số

- *Hệ đếm thập phân Hindu* sử dụng các số đếm Ả-rập từ 0 đến 9. Một số N bất kì (thực, hữu tỉ) được biểu diễn dưới dạng thập phân :

$$\begin{aligned}(N)_{10} &= a_k \cdot 10^k + \dots + a_0 \cdot 10^0 + b_1 \cdot 10^{-1} + \dots + b_m \cdot 10^{-m} \\ &= (a_k \dots a_0, b_1 \dots b_m)_{10}\end{aligned}\quad (3-67)$$

trong đó a_i chỉ phần nguyên b_j chỉ phần thập phân $0 \leq a_i, b_j \leq 9$ a_i, b_j là các số nguyên, không âm và không quá 9. Qua đó, thấy rõ các đặc trưng cơ bản của một hệ thống số đếm là :

- Tổng các chữ số được sử dụng bằng cơ số
 - Chữ số lớn nhất bằng cơ số trừ đi 1
 - Giá trị thực của mỗi số bằng chính nó nhân với giá trị của vị trí của nó.
- *Hệ đếm nhị phân* : ở đây chỉ sử dụng hai chữ số là 0 và 1

$$\begin{aligned}(N)_2 &= C_k \cdot 2^k + \dots + C_0 \cdot 2^0 + d_1 \cdot 2^{-1} + \dots + d_m \cdot 2^{-m} \\ &= (C_k \dots C_0, d_1 \dots d_m)_2 \quad (C_i, d_j = 0 \text{ hoặc } 1)\end{aligned}\quad (3-68)$$

Hệ thức (3.68) cho cách biểu diễn đầy đủ hay rút gọn của số N trong hệ đếm nhị phân (cơ số hai). Mỗi giá trị C_i được gọi là 1 bit nhị phân. Ví dụ : $(N)_2 = (1011, 1101)_2$ sẽ tương đương với số thập phân là $(N)_{10} = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 + 1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 0 \cdot 2^{-3} + 1 \cdot 2^{-4} = (11,8125)_{10}$.

• Để thực hiện biến đổi một số từ hệ đếm cơ sở này sang hệ cơ sở khác, người ta thực hiện chia liên tiếp số cần đổi cho cơ số của hệ sẽ chuyển đến cho tới lúc số dư nhỏ hơn cơ số. Các kết quả của phép chia và số dư cuối cùng cho một bộ số mới là biểu diễn của số đã cho trong hệ đếm mới.

Ví dụ chuyển biểu diễn số $(N)_{10}$ sang hệ đếm cơ số a .

$$\begin{aligned}(N)_{10} &= q_0 \cdot a + r_0 \quad (r_0 < q_0) \\ q_0 &= q_1 \cdot a + r_1 \quad (r_1 < q_1) \\ &\dots \\ q_{n-1} &= q_n \cdot a + r_n \quad (q_n < a) \\ &\quad (r_n < a)\end{aligned}\quad (3-69)$$

lúc đó

$$\begin{aligned}(N)_{10} &= q_n \cdot a^{n+1} + r_n a^n + \dots + r_1 a^1 + r_0 a^0 \\ &= (q_n r_n \dots r_1 r_0)_a\end{aligned}$$

- *Các hệ thống số đếm thường sử dụng trong kĩ thuật số* :

Bảng 3.6 đưa ra các cách biểu diễn một số trong bốn hệ đếm thông dụng thường gặp trong kĩ thuật tính toán (viết cho 16 số đầu tiên của hệ thập phân).

Bảng 3.6. Các hệ đếm thông dụng

Hệ 10	Hệ 2	Hệ 8	Hệ 16	Hệ 10	Hệ 2	Hệ 8	Hệ 16
0	0000	00	00	8	1000	10	08
1	0001	01	01	9	1001	11	09
2	0010	02	02	10	1010	12	0A
3	0011	03	03	11	1011	13	0B
4	0100	04	04	12	1100	14	0C
5	0101	05	05	13	1101	15	0D
6	0110	06	06	14	1110	16	0E
7	0111	07	07	15	1111	17	0F

Ví dụ có 4 cách biểu diễn tương đương : $(14)_{10} = (1110)_2 = (16)_8 = (0E)_{16}$.

3.7.2. Các phần tử logic cơ bản

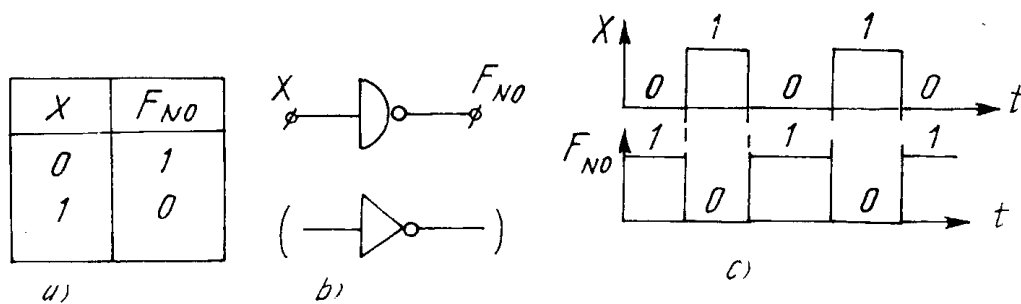
Các phép toán cơ bản của đại số logic có thể được thực hiện bằng các mạch khóa điện tử (tranzito hoặc IC) đã nêu ở phần 3.1. Nét đặc trưng nhất ở đây là hai mức điện thế cao hoặc thấp của mạch khóa hoàn toàn cho một sự tương ứng đơn trị với hai trạng thái của biến hay hàm logic. Nếu sự tương ứng được quy ước là điện thế thấp - trị "0" và điện thế cao - trị "1" ta gọi đó là logic dương. Trong trường hợp ngược lại, với quy ước mức thế thấp trị "1" và mức thế cao - trị "0", ta có logic âm. Để đơn giản, trong chương này, chúng ta chỉ xét với các logic dương.

a - Phần tử phủ định logic (phần tử đảo - NO)

- Phần tử phủ định có 1 đầu vào biến và 1 đầu ra thực hiện hàm phủ định logic

$$F_{NO} = \bar{x} \quad (3-70)$$

tức là $F_{NO} = 1$ khi $x = 0$ hoặc ngược lại $F_{NO} = 0$ khi $x = 1$. Bảng trạng thái, kí hiệu quy ước và giản đồ thời gian minh họa được cho trên hình 3.31a, b và c tương ứng.



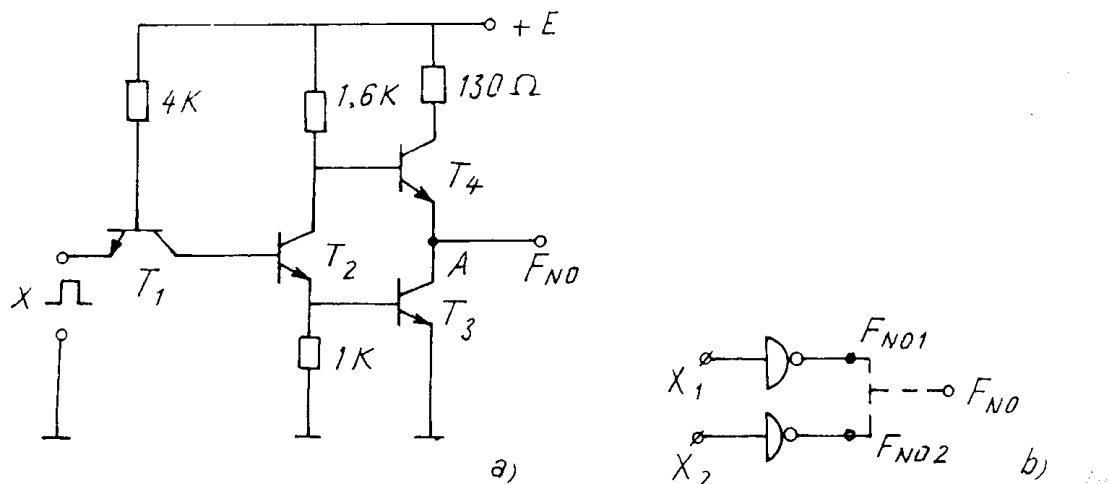
Hình 3.31 : Bảng trạng thái (a) kí hiệu quy ước (b) và giản đồ điện áp minh họa (c) của phần tử NO.

- Để thực hiện hàm F_{NO} , có thể dùng một trong các sơ đồ mạch khóa (tranzito hay IC) đã nêu ở 3.1.2 dựa trên tính chất đảo pha của một tầng EC đối với tranzito hay với đầu vào N của IC thuật toán. Mạch điện thực tế có phức tạp hơn để nâng cao khả năng làm việc tin cậy và chính xác. Hình 3.32 đưa ra một sơ đồ bộ đảo kiểu TTL (tranzito - tranzito - logic) hoàn thiện trong 1 vỏ IC số. Mạch ra của sơ đồ gồm 2 tranzito T_3 và T_4 làm việc ngược pha nhau (ở chế độ khóa) nhờ tín hiệu lấy trên

các lỗi ra phân tải của T_2 . Mạch vào của sơ đồ dùng tranzito T_1 mắc kiểu BC và tín hiệu vào (x) được đưa tới cực emitơ của T_1 thể hiện là các xung điện áp cực tính dương (lúc $x = 1$) có biên độ lớn hơn mức U_{H1} hoặc không có xung (lúc $x = 0$) điều khiển x_1 khóa (lúc $x = 1$) hay mở (lúc $x = 0$). Nghĩa là khi $x = 0$ T_1 mở, điện thế $U_{c1} = U_{B2}$ ở mức thấp là T_2 khóa, điều này làm T_3 khóa (vì U_{E2} ở mức thấp) và T_4 mở (vì U_{c2} ở mức cao), kết quả là tại đầu ra, điện thế tại điểm A ở mức cao hay $F_{NO} = 1$. Nhờ T_4 mở mức thế tại A được nâng lên xấp xỉ nguồn $+E$ (ưu điểm hơn so với việc dùng một điện trở R_{c3}) nên T_4 được gọi là tranzito "kéo lên", điều này còn làm tăng khả năng chịu tải nhỏ hay dòng lớn cho tầng ra. Khi $x = 1$, tình hình sẽ ngược lại T_1 khóa, T_2 mở làm T_4 khóa và T_3 mở dẫn tới $F_{NO} = 0$.

Ta cũng có nhận xét sau :

- Kết cấu mạch hình 3.32 không cho phép đấu chung các lỗi ra của hai phần tử đảo kiểu song song nhau (3.32b) vì khi đó nếu $F_{NO1} = 1$ và $F_{NO2} = 0$ sẽ xảy ra ngắn mạch T_{41} với T_{32} hoặc ngược lại. Lúc đó cần sử dụng các phần tử NO kiểu để hở colectơ T_3 (không có T_4) và dùng điện trở R_{c3} ở mạch ngoài.



Hình 3.32 : Bộ đảo TTL có đầu ra hai trạng thái kết cấu dưới dạng một vi mạch số (a)
Kiểu mắc chung sai đầu ra cho hai phần tử NO (b).

- Có thể kết cấu phần tử NO từ 1 cặp MOSFET kênh n và kênh p (một loại thường mở và một loại thường khóa) như hình 3.33.

Khi $x = 0$ ($U_{vào} = 0$) T_2 mở T_1 khóa

$U_a = U_{DD}$ hay $F_{NO} = 1$

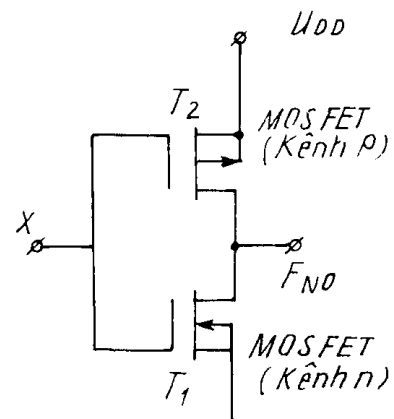
Khi $x = 1$ ($U_{vào} = U_{DD}$) T_2 khóa T_1 mở

$U_{ra} \approx 0$ hay $F_{NO} = 0$

Sơ đồ hình 3.33 được chế tạo theo công nghệ CMOS và có ưu điểm căn bản là dòng tĩnh lỗi vào cũng như lỗi ra gần bằng 0.

b - Phần tử và (AND) là phần tử có nhiều đầu vào biến và một đầu ra thực hiện hàm nhân logic, tức là hàm F_{AND}

$$F_{AND} = x_1 x_2 x_3 \dots x_n \quad (3-71)$$



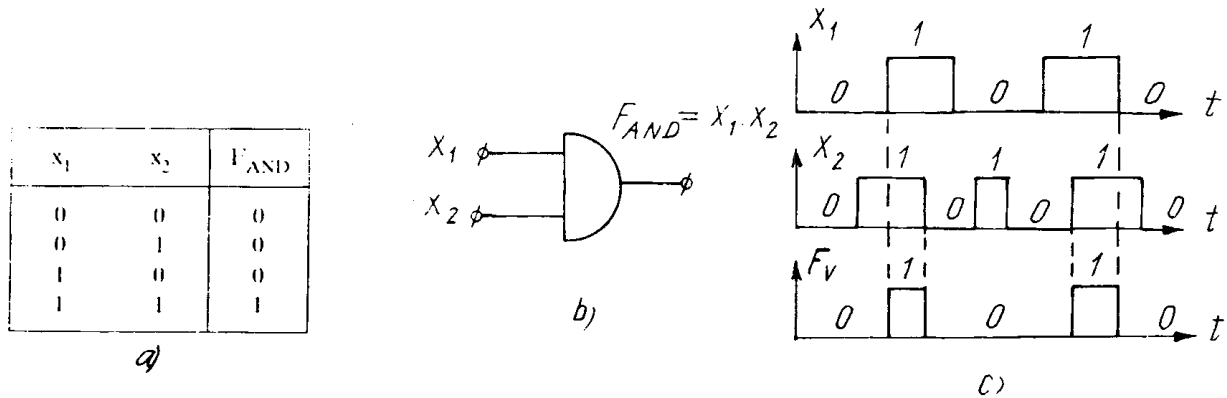
Hình 3.33 : Sơ đồ NO kiểu CMOS.

$F_{AND} = 1$ khi và chỉ khi tất cả các biến x_i nhận trị 1

$F_{AND} = 0$ khi ít nhất 1 trong các biến x_i có trị 0

• Bảng trạng thái, kí hiệu quy ước và giản đồ thời gian minh họa của F_{AND} cho trên hình 3.34 (với $n = 2$).

• Mạch điện thực hiện F_{AND} loại đơn giản nhất dựa trên các khóa diôt cho trên hình 3.35, bình thường khi $x_1 = x_2 = 0$ nhờ E qua phân áp R_1, R_2 có $U_A > 0$ các diôt D_1, D_2 đều mở, điện áp ra ở mức thấp (cỡ bằng sụt áp thuận của diôt) $F_{AND} = 0$. Tình hình trên không thay đổi khi chỉ $x_1 = 0$ hoặc $x_2 = 0$



Hình 3.34 : Bảng trạng thái (a) kí hiệu quy ước (b) và giản đồ thời gian (c) của phần tử AND.

Khi $x_1 = x_2 = 1$ (ứng với trạng thái các đầu vào có xung vuông biên độ lớn hơn U_A), các diôt đều khóa các nhánh đầu vào, lúc đó

$$U_A = \frac{E}{R_1 + R_2} \cdot R_2 \text{ ở thế cao } F_{AND} = 1$$

(khi $R_2 \gg R_1$)

Lưu ý khi số lượng đầu vào nhiều hơn số biến, các đầu vào không dùng cần nối với $+E$ để nhánh tương ứng tách khỏi mạch (diôt khóa) tránh được nhiễu với các đầu khác đang làm việc.

c - Phần tử hoặc (OR) là phần tử có nhiều đầu vào biến, một đầu ra thực hiện hàm cộng logic :

$$F_{OR} = x_1 + x_2 + \dots + x_n \quad (3-72)$$

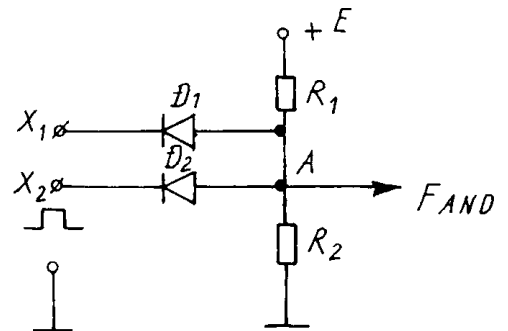
$F_{OR} = 1$ khi ít nhất một trong các biến x_i nhận trị 1.

$F_{OR} = 0$ khi tất cả các biến nhận trị 0 : $x_1 = \dots x_n = 0$

• Bảng trạng thái kí hiệu quy ước và đồ thị thời gian minh họa của F_{OR} cho trên hình 3.36 (cho với $n = 1$)

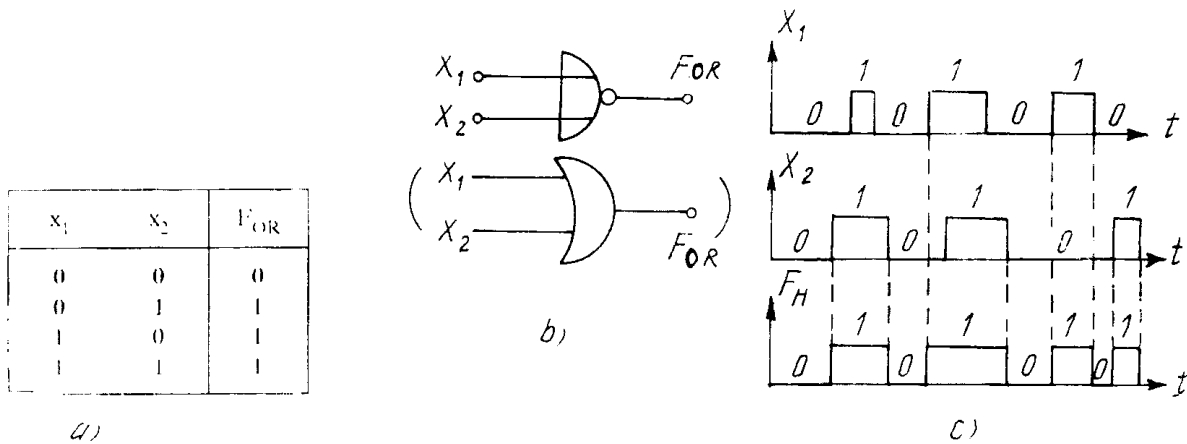
Có thể dùng khóa diôt thực hiện hàm F_{OR} (3-37)

Bình thường khi $x_1 = x_2 = 0$ các diôt đều khóa trên R không có dòng điện $U_r = 0$, $F_{OR} = 0$ khi ít nhất một đầu vào có xung dương diôt tương ứng mở tạo dòng trên



Hình 3.35 : Sơ đồ nguyên lý mạch AND dựa trên diôt.

R do đó U_A ở mức cao hay $F_{OR} = 1$. Khi số đầu vào nhiều hơn số biến, đầu vào không dùng được nối đất để chống nhiễu.



Hình 3.36 : Bảng trạng thái (a) kí hiệu quy ước (b) và giản đồ thời gian (c) của phần tử OR.

d - Phần tử và phủ định (NAND) là phần tử nhiều đầu vào biến một đầu ra thực hiện hàm logic và - phủ định :

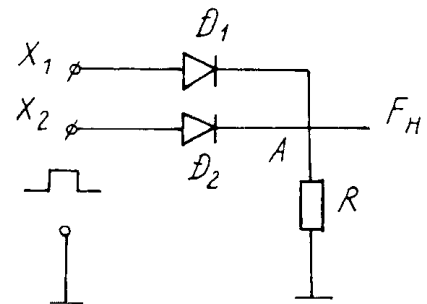
$$F_{NAND} = \overline{x_1 x_2 \dots x_n} \quad (3-73)$$

$F_{NAND} = 0$ khi tất cả các đầu vào các biến có trị 1

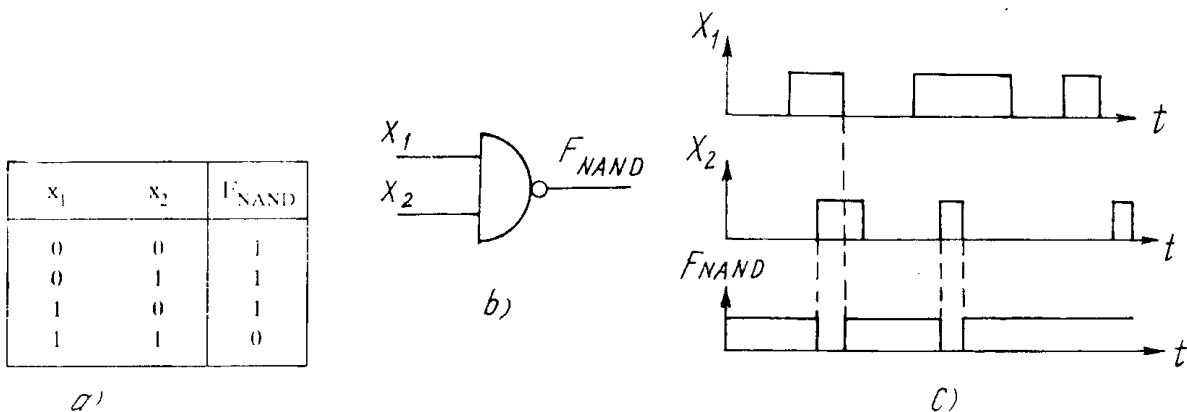
$F_{NAND} = 1$ trong các trường hợp còn lại.

• Hình 3.38 đưa ra bảng trạng thái, kí hiệu quy ước và đồ thị thời gian minh họa trong trường hợp $n = 2$.

• Cũng như các phần tử NO, OR, AND, có thể thực hiện phần tử NAND bằng nhiều cách khác nhau dựa trên các công nghệ chế tạo bán dẫn : loại điện trở tranzito - logic (RTL) loại điốt - tranzito - logic (DTL), loại tranzito - tranzito - logic (TTL) hay công nghệ MOS.

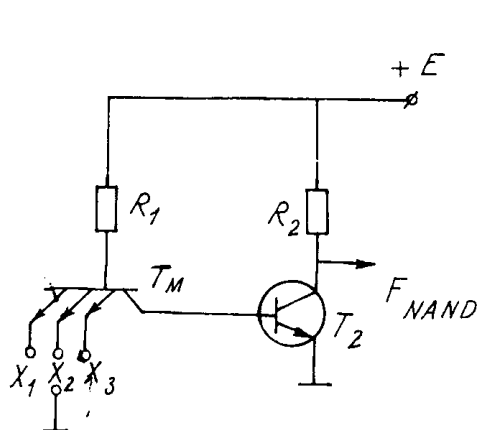


Hình 3.37 : Sơ đồ nguyên lý mạch OR dùng điốt.

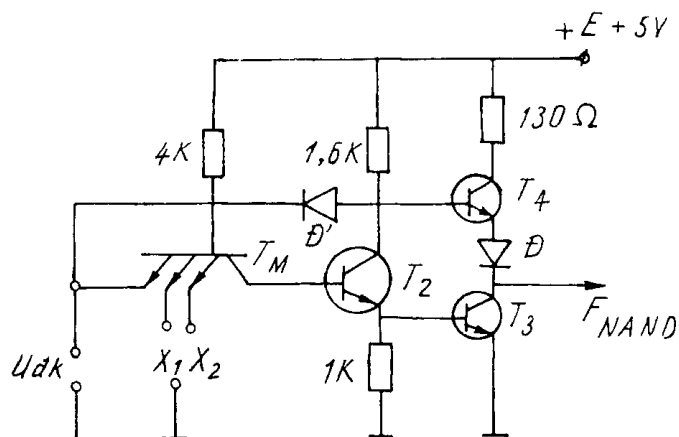


Hình 3.38 : Bảng trạng thái (a) kí hiệu quy ước (b) giản đồ thời gian (c) của phần tử NAND.

CMOS ... Để minh họa, hình 3.39 đưa ra một phần tử NAND dựa trên công nghệ TTL, sử dụng loại tranzito nhiều cực emitơ, có ưu điểm là bảo đảm mức logic, tác động nhanh và khả năng tải lớn.



Hình 3.39 : Nguyên lý xây dựng phần tử NAND loại TTL.



Hình 3.40 : Phần tử logic NAND TTL, thực tế có đầu vào điều khiển (loại 3 trạng thái ra ổn định).

Với mạch 3.39 khi tất cả các lối vào có điện áp cao ($x_1 = x_2 = x_3 = 1$) T_M khóa $U_{CM} = U_{B2}$ ở mức cao làm T_2 mở $F_{NAND} = 0$. Nếu chỉ một trong các lối vào có mức điện áp thấp tiếp giáp emitơ - bazơ tương ứng của T_M mở làm mất dòng I_{B2} nên T_2 khóa : $F_{NAND} = 1$. Thực tế T_2 được thay bằng 1 mạch ra (h.3.40) dạng đẩy kéo tương tự hình 3.32 cho dòng ra lớn tăng khả năng tải và chống nhiễu. Khi T_2 khóa T_3 cũng khóa (do $U_{E2} \approx 0$) $F_{NAND} = 1$ nhờ bộ lập cực emitơ T_4 trở kháng ra thấp tăng khả năng chịu tải cho toàn mạch.

Khi T_2 mở T_3 mở T_4 khóa, D tách nhánh T_4 khỏi mạch ra $F_{NAND} = 0$ (mức ra cỡ + 0,1V).

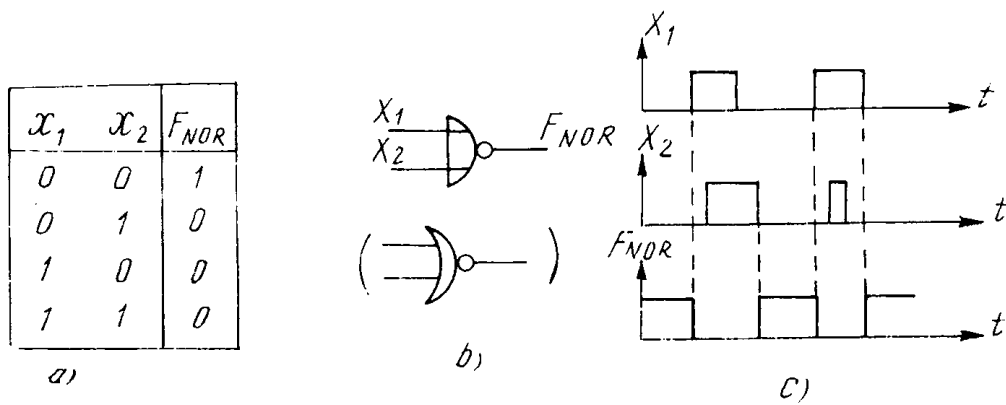
• Để điều khiển tăng ra, có thể dùng một lối vào đặc biệt khi $U_{dk} \approx 0$ (mức thấp) T_3 T_4 đều bị khóa (trạng thái ổn định thứ 3 của sơ đồ còn gọi là trạng thái trở kháng cao). Khi U_{dk} ở mức cao điốt D' khóa, sơ đồ làm việc bình thường như đã phân tích ở trên với hai trạng thái ổn định còn lại. Tín hiệu U_{dk} được gọi là tín hiệu chọn vô (CS) tạo khả năng cho phép (lúc $CS = 1$) hay không cho phép (lúc $CS = 0$) mạch NAND làm việc, điều này đặc biệt thuận lợi khi phải điều khiển nhiều NAND làm việc chung với 1 lối ra.

e - Phần tử hoặc - phủ định (NOR) gồm nhiều đầu vào biến, một đầu ra thực hiện hàm logic hoặc - phủ định

$$F_{NOR} = \overline{x_1 + x_2 + \dots + x_n} \quad (3-74)$$

$F_{NOR} = 1$ khi mọi biến vào có trị số "0" và $F_{NOR} = 0$ trong các trường hợp còn lại.

• Bảng trạng thái, kí hiệu quy ước và giản đồ thời gian minh họa của F_{NOR} (với $n = 2$) cho trên hình 3.41.

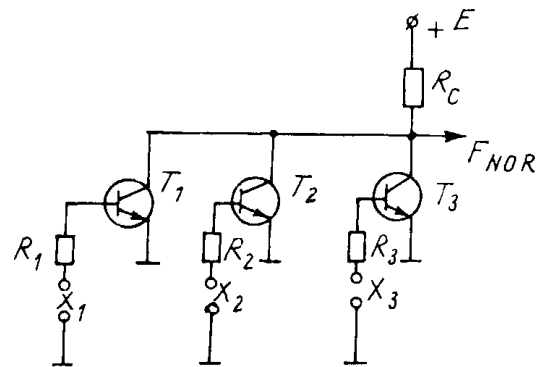


Hình 3.41 : Bảng trạng thái (a) kí hiệu quy ước (b), giản đồ thời gian (c) của phần tử NOR.

- Hình 3.42 cho kết cấu thực hiện F_{NOR} trên công nghệ RTL.

Khi ít nhất một trong các cửa vào có xung dương mở, điện áp ra ở mức thấp $F_{NOR} = 0$, còn khi $x_1 = x_2 = \dots = x_n = 0$, do các tranzito được thiết kế ở chế độ thường khóa. Tất cả các tranzito khóa $F_{NOR} = 1$ (lưu ý nếu thiết kế các tranzito thường mở thì mạch hoạt động như 1 phần tử NAND với các xung vào cực tính âm điều khiển khóa các tranzito).

- Có thể thực hiện phần tử NOR dựa trên công nghệ MOS hoặc CMOS (từng cặp MOS_n và MOS_p với mỗi đầu vào) với nhiều ưu điểm nổi bật : thời gian chuyển biến nhanh, không có dòng dò và tiêu thụ công suất cực bé [4,6].



Hình 3.42 : Phần tử NOR với cực collector hở.

3.7.3. Các thông số đặc trưng của phần tử IC logic

Để đánh giá đặc tính kĩ thuật và khả năng sử dụng của IC logic, người ta thường sử dụng các tham số cơ bản sau :

Tính tác động nhanh (phản ứng về thời gian của phần tử với sự biến đổi đột biến của tín hiệu vào) thể hiện qua thời gian trễ trung bình khi truyền tín hiệu xung qua nó :

$$\tau_{tr\bar{c}} = \frac{t^+ + t^-}{2} \quad (3-75)$$

t^+ là thời gian trễ sườn trước khi chuyển mức logic "0" lên "1"

t^- là thời gian trễ sườn sau khi chuyển "1" về "0".

Nếu $\tau_{tr\bar{c}} < 10^{-8}s$ có loại phần tử cực nhanh

$\tau_{tr\bar{c}} < 3 \cdot 10^{-8}s$ loại nhanh

$\tau_{tr\bar{c}} < 3 \cdot 10^{-7}s$ loại trung bình

$\tau_{tr\bar{c}} \geq 0,3 \mu s$ loại chậm

- Khả năng sử dụng thể hiện qua số lượng đầu vào m và hệ số phân tải n ở đầu ra (số đầu vào của các phần tử logic khác có thể ghép với đầu ra của nó)

Thường $n = 4 \div 10$, nếu có các bộ khuếch đại đệm ở đầu ra có thể tăng $n = 20 \div 50$;
 $m = 2 \div 6$.

- Người ta quy định với những phần tử logic loại TTL, các mức điện áp (mức logic) cao và thấp như sau (với logic dương) :

Dải đảm bảo mức "1" ở đầu ra $+E \geq U_{ra} \geq 2,4V$

Dải đảm bảo mức "0" ở đầu ra $0,4V \geq U_{ra,0} \geq 0V$

Dải cho phép mức "1" ở đầu vào $+E \geq U_{v1} \geq 2V$

Dải cho phép mức "0" ở đầu vào $0,8V \geq U_{v0} \geq 0V$

Như vậy, dự trữ chống nhiễu ở mức "1" là $2 \div 2,4V$

dự trữ chống nhiễu mức "0" là $0,4 \div 0,8V$

Độ chênh lệch cực tiểu giữa 2 mức logic tại đầu vào $0,8V \div 2V$.

- Tính tương hỗ giữa các phần tử logic khi chuyển logic dương $\Rightarrow$ logic âm :

NO $\rightarrow$ NO

OR $\rightarrow$ AND

NOR $\rightarrow$ NAND

3.8. CÁC PHẦN TỬ LOGIC THÔNG DỤNG

3.8.1. Phần tử tương đương (đồng dấu) có hai đầu vào biến, 1 đầu ra thực hiện phép so sánh tương đương :

$$F_{td} = x_1 x_2 + \bar{x}_1 \bar{x}_2 \quad (3-76)$$

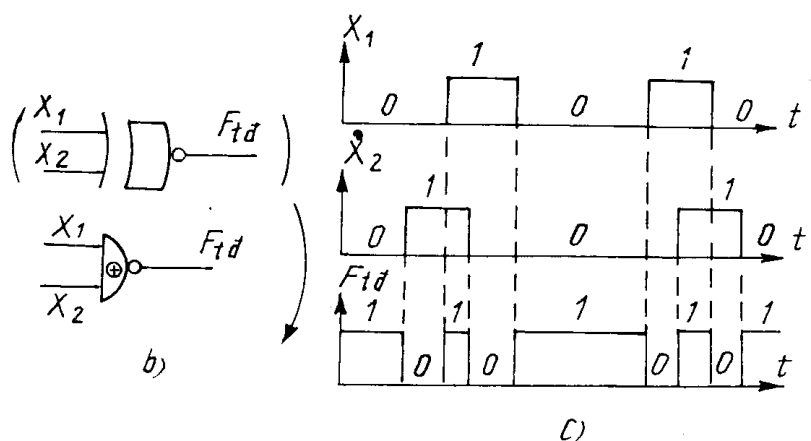
$F_{td} = 1$ khi các biến vào có cùng giá trị

$F_{td} = 0$ khi các biến vào khác trị nhau.

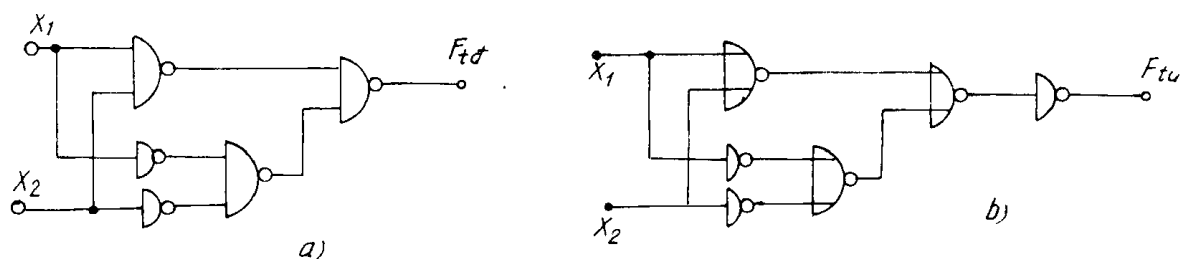
- Bảng trạng thái, kí hiệu quy ước vào đồ thị thời gian minh họa của phần tử tương đương cho trên hình 3.43.

x_1	x_2	F_{td}
0	0	1
0	1	0
1	0	0
1	1	1

a)



Hình 3.43 : Bảng trạng thái (a) ; kí hiệu quy ước (b) ;
 giản đồ thời gian (c) của phần tử tương đương.



Hình 3.44 : Phần tử tương đương cấu trúc từ phần tử NAND (a) hoặc phần tử NOR (b).

• F_{td} được xây dựng từ các phần tử cơ bản đã có ở 3-72, tuy nhiên có nhiều cách lựa chọn, ví dụ áp dụng định lý Demorgan (3-62) cho F_{td} có

$$\overline{F_{td}} = \overline{\overline{x_1} \overline{x_2} + x_1 x_2} = \overline{\overline{x_1} \overline{x_2}} \cdot \overline{x_1 x_2} = (x_1 + x_2) \cdot (\overline{x_1} + \overline{x_2}) \quad (3-77)$$

Từ (3-77) ta có cách xây dựng F_{td} từ các phần tử NAND hoặc từ các phần tử NOR (h.3.44).

3.8.2. Phần tử khác dấu (công modun 2) là phần tử có hai đầu vào biến, 1 đầu ra thực hiện phép cộng modun 2 không nhớ.

$$F_{kd} = x_1 \overline{x_2} + \overline{x_1} x_2 = x_1 \oplus x_2 \quad (3-78)$$

$F_{kd} = 1$ khi các biến vào có trị khác nhau

$F_{kd} = 0$ khi các biến vào có trị giống nhau.

. Bảng trạng thái, kí hiệu quy ước và đồ thị thời gian minh họa của hàm khác dấu (3-78) cho trên hình 3.45

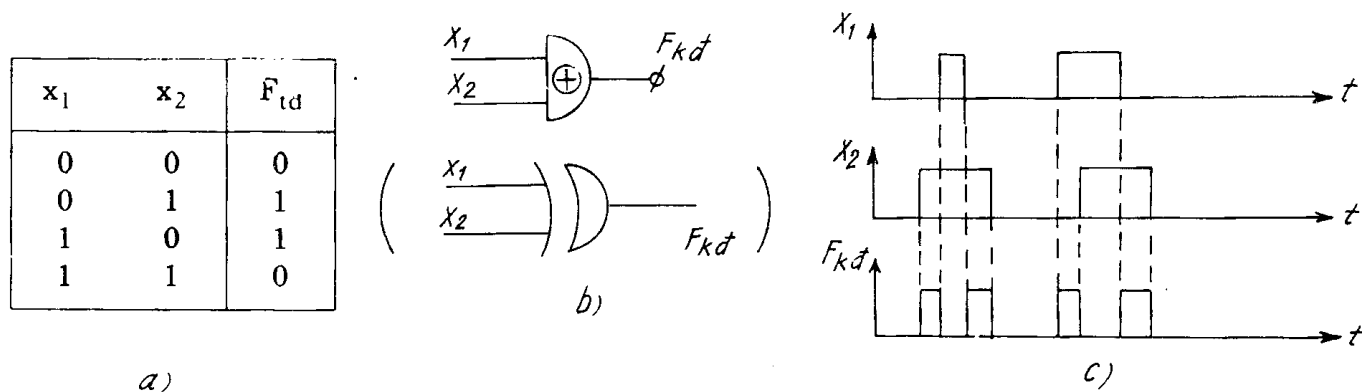
Dễ dàng nhận xét là

$$\overline{F_{kd}} = F_{td}$$

hay

$$F_{td} = \overline{x_1 \oplus x_2} \quad (3.79)$$

Từ đó có thể xây dựng F_{kd} từ các mạch hình 3.44.



Hình 3.45 : Bảng trạng thái (a), kí hiệu quy ước (b) giản đồ thời gian (c) của bộ cộng modun 2.

Cần lưu ý tới một tính chất khác của phép cộng modun 2 là :

$$\text{Nếu } x_1 \oplus x_2 = x_3 \text{ thì } x_1 \oplus x_3 = x_2 \text{ và } x_2 \oplus x_3 = x_1. \quad (3-80)$$

3.8.3. Phần tử so sánh hai số nhị phân thực hiện thuật toán so sánh hai số nhị phân

$$A_n = (a_n \dots a_1 a_0)_2 \text{ và } B_n = (b_n \dots b_1 b_0)_2$$

Kết quả so sánh phát hiện ra một trong ba trạng thái có thể xảy ra : $A_n < B_n$ hoặc $A_n = B_n$ hoặc $A_n > B_n$.

a - Phép so sánh bằng nhau

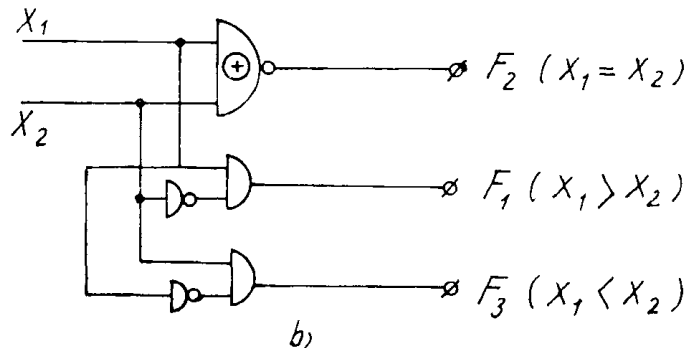
$A = B$ khi tất cả các bit nhị phân tương ứng bằng nhau ($a_j = b_j$). Để so sánh từng bit trong cùng cấp (cùng chỉ số j), người ta dùng một phần tử tương đương hình 3.43, kết quả sau mỗi phép so sánh từng bit tổng hợp lại qua một phần tử AND (3.46).

b- Phép so sánh vận năng hai số 1 bit

Phần tử so sánh hai số 1 bit có 2 đầu vào biến, 3 đầu ra thực hiện bằng trạng thái hình 3.47 (a) và có sơ đồ cấu trúc cho trên hình 3.47b

x_1	x_2	F_1 $x_1 > x_2$	F_2 $x_1 = x_2$	F_3 $x_1 < x_2$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

a)



b)

Hình 3.47 : Bảng trạng thái (a) và cấu trúc phần tử so sánh vận năng 2 bit (b).

c - So sánh hai số nhị phân nhiều bit A_n với B_n .

Thực hiện phép so sánh theo thuật toán thông thường, bắt đầu với 2 bit nhị phân cấp cao nhất a_n và b_n (dùng cấu trúc 3.47b), nếu kết quả cho $F_{2(n)} = 1 (a_n = b_n)$ thì tiếp tục với 2 bit cấp thấp hơn kế đó (a_{n-1} và b_{n-1})... Nếu kết quả so sánh a_n với b_n cho $F_{1(n)}$ hoặc $F_{3(n)}$ bằng 1 thì đó là kết quả chung của việc so sánh A_n với B_n .

Ví dụ $F_{1(n)} = 1$ thì $A_n > B_n$

$$F_{3(n)} = 1 \text{ thì } A_n < B_n \quad (3-81)$$

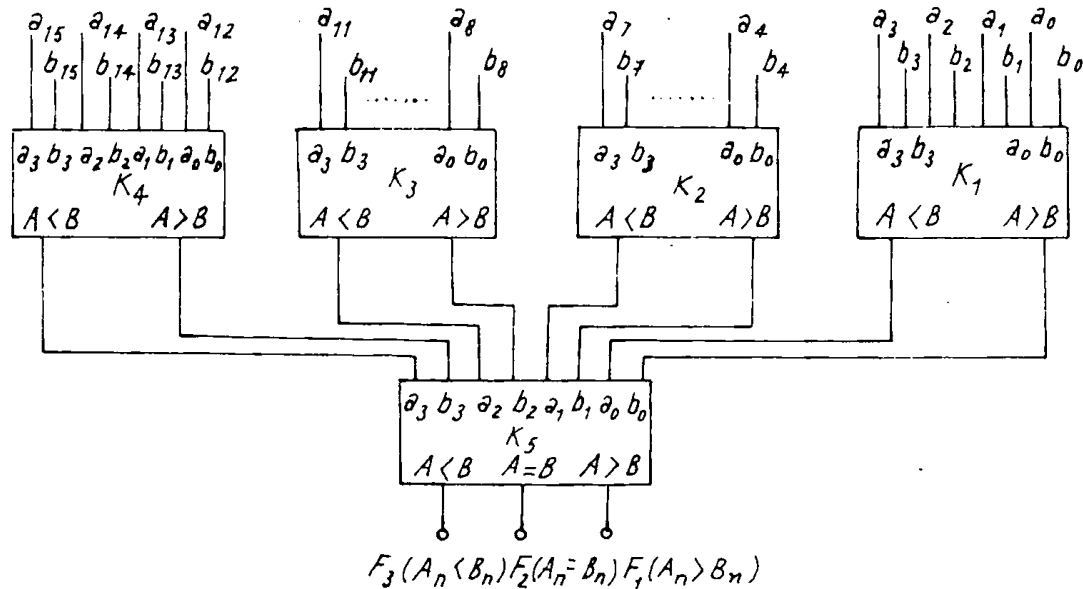
Kết luận của hệ thức (3-81) đúng với mọi chỉ số bit tại đó xảy ra kết quả so sánh là hơn kém (ví dụ tới bit thứ i có $F_{1(i)}$ hoặc $F_{3(i)}$ bằng 1), tất nhiên điều này thì xảy ra sau khi tất cả các kết quả so sánh ở các bit cao hơn là $F_2 = 1$.

Dựa vào nhận xét trên với A_n và B_n nhiều bit, việc so sánh thực hiện có thể theo hai cách :

- Tuần tự từ cặp (a_n, b_n) tới cặp (a_0, b_0) (kiểu nối tiếp).
- Đồng thời với từng nhóm 4 bit (kiểu song song - nối tiếp).

Phương pháp sau cho tốc độ nhanh hơn nên được dùng phổ biến trong thực tế, với các IC 4 bit chế tạo sẵn (SN7485 hay MC14585...). Hình 3.48 đưa ra cấu trúc bộ so sánh 2 số nhị phân 16 bit theo phương pháp song song – nối tiếp.

Các bit tương ứng được chia thành 4 nhóm 4 bit được đưa vào so sánh đồng thời trong các bộ so sánh $K_1 \div K_4$. Các kết quả được tiếp tục đưa tới bộ so sánh K_5 . Tại đầu ra K_5 sẽ nhận được kết quả chung tùy theo giá trị các hàm $F_1 F_2$ hay F_3 .



Hình 3.48 : Cấu trúc bộ so sánh 16 bit kiểu song song trên cơ sở các IC so sánh loại 4 bit.

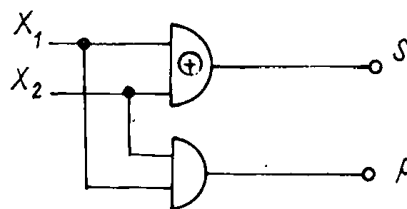
3.8.4. Phần tử nửa tổng : là mạch logic 2 đầu vào biến, 2 đầu ra thực hiện hệ hàm ra :

$$\begin{cases} S = x_1 \oplus x_2 \\ P = x_1 \cdot x_2 \end{cases} \quad (3-82)$$

Bảng trạng thái và mạch thực hiện hàm nửa tổng cho trên hình 3.49

x_1	x_2	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

a)



b)

Hình 3.49 : Bảng trạng thái (a) cấu trúc (b) của phần tử nửa tổng.

Cấu tạo gồm 1 phần tử cộng modun 2 và 1 phần tử AND với ý nghĩa là bổ sung phép cộng có nhớ sang bậc cao hơn.

3.8.5. Phần tử tổng toàn phần gồm 3 đầu vào (2 đầu vào biến và 1 đầu nhớ của nhịp trước tới) và 2 đầu ra (thực hiện cộng modun 2 và có nhớ cho nhịp sau)

- Bảng trạng thái của bộ tổng nhịp thứ k, bìa cacno biểu diễn các hàm ra cho ở hình 3.50.

x_k	y_k	P_{k-1}	P_k	S_k
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

a)

P_K

	$x_K y_K$ 00	01	11	10
0			1	
P_{K-1} 1		1	1	1

x_K, y_K

S_K

	00	01	11	10
0		1		1
P_{K-1} 1	1		1	

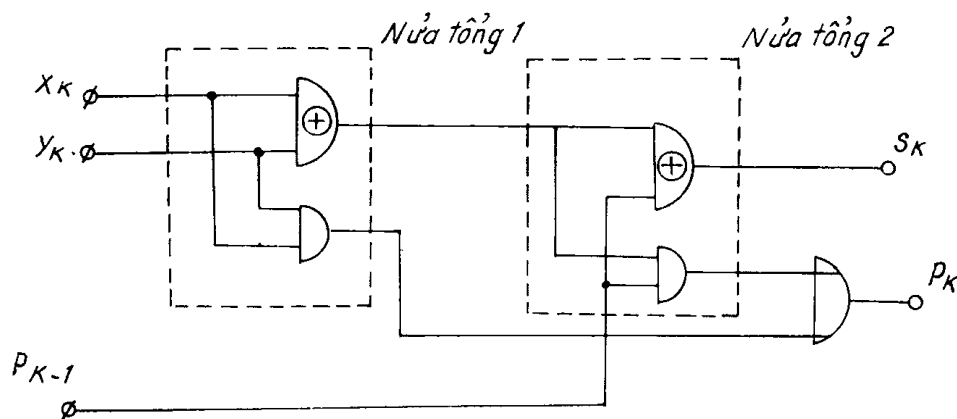
b)

Hình 3.50 : Bảng trạng thái (a) và bìa cacno (b) của bộ tổng đầy đủ (nhịp thứ k).

Từ các bìa cacno hình 3.50b, sau khi đã tối thiểu hàm P_k và thực hiện vài phép biến đổi đơn giản, hệ phương trình hàm ra rút gọn có dạng :

$$\begin{cases} S^k = [x_k \oplus y_k] \oplus p_{k-1} \\ p^k = x_k y_k + [y_k \oplus y_k] \cdot P_{k-1} \end{cases} \quad (3-83)$$

Từ (3-83) có thể xây dựng cấu trúc phần tử tổng đầy đủ từ hai phần tử nửa tổng bổ sung thêm phần tử OR (h.3.51)



Hình 3.51 : Bộ tổng đầy đủ cấu trúc từ hai phần tử nửa tổng.

3.9. MỘT HỆ LOGIC THÔNG DỤNG

3.9.1. Các trigơ số

Trigơ số là cấu trúc có hai trạng thái ổn định bền dựa trên việc gộp hai phân tử NAND hoặc hai phân tử NOR trong các vùng phản hồi kín (3.52a và b). Các cấu trúc dạng 3.52 (a) và (b) còn gọi là các trigơ RS không đồng bộ, là dạng cơ bản nhất để từ đó tạo nên các trigơ số phức tạp hơn sẽ được giới thiệu lần lượt trong phần này.

a - Trigơ RS

- Xuất phát từ các cấu trúc hình 3.52 a và b phương trình cho xác định hệ các hàm ra có dạng tương ứng là :

Với mạch hình 3.52a có

$$\begin{aligned} \bar{Q} &= \bar{R} \cdot Q \\ Q &= \bar{S} \cdot \bar{Q} \end{aligned} \quad (3-84)$$

Với mạch hình 3.52b có

$$\begin{aligned} \bar{Q} &= \bar{S} + \bar{Q} \\ Q &= \bar{R} + \bar{Q} \end{aligned} \quad (3-85)$$

Để các hệ thức (3-84) và (3-85) đơn trị (nghĩa là chỉ có hai trạng thái đầu ra ổn định với $Q=1$ $\bar{Q}=0$ hay $Q=0$ $\bar{Q}=1$) cần có điều kiện cấm trạng thái vào $S=R=1$. Có thể viết điều kiện cấm dưới dạng khác là

$$S \cdot R = 0 \quad (3-86)$$

Từ các hệ thức vừa nêu trên, có thể viết các bảng trạng thái hình 3.52c cho mạch 3.52a và bảng hình 3.52d cho mạch hình 3.52b. Nếu để ý đến bảng 3.52 c, hệ (3.84) kết hợp với điều kiện (3-86) có thể viết lại như sau

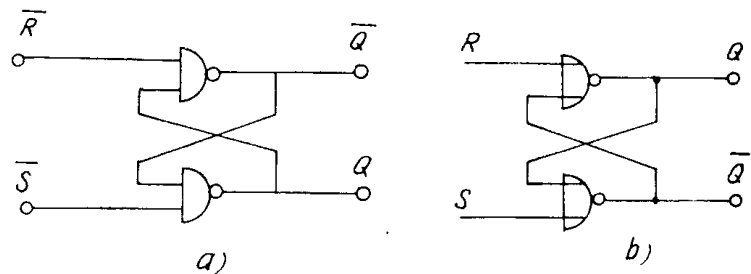
$$\begin{aligned} Q_{n+1} &= Q_n \cdot \bar{R}_n \cdot \bar{S}_n + \bar{R}_n S_n \\ 0 &= R_n \cdot S_n \end{aligned} \quad (3-87)$$

Cộng từng vế (3-87) và sau khi biến đổi đơn giản, sẽ nhận được phương trình đặc tính của Trigơ RS dạng :

$$Q_{n+1} = [S + \bar{R}Q] \quad (3-88)$$

Hệ thức (3-88) cho xác định sự phụ thuộc của trạng thái tương lai ở lối ra (Q_{n+1}) vào trạng thái ra ở hiện tại (Q_n) và những giá trị xác định khác nhau của các biến lối vào R và S. Đầu vào R được gọi là đầu vào xóa (Reset), đầu vào S - thiết lập (Set).

- Có thể minh họa hoạt động của các trigơ RS hình 3.52a và b bằng giản đồ điện áp xung tương ứng hình 3.53 a và b.



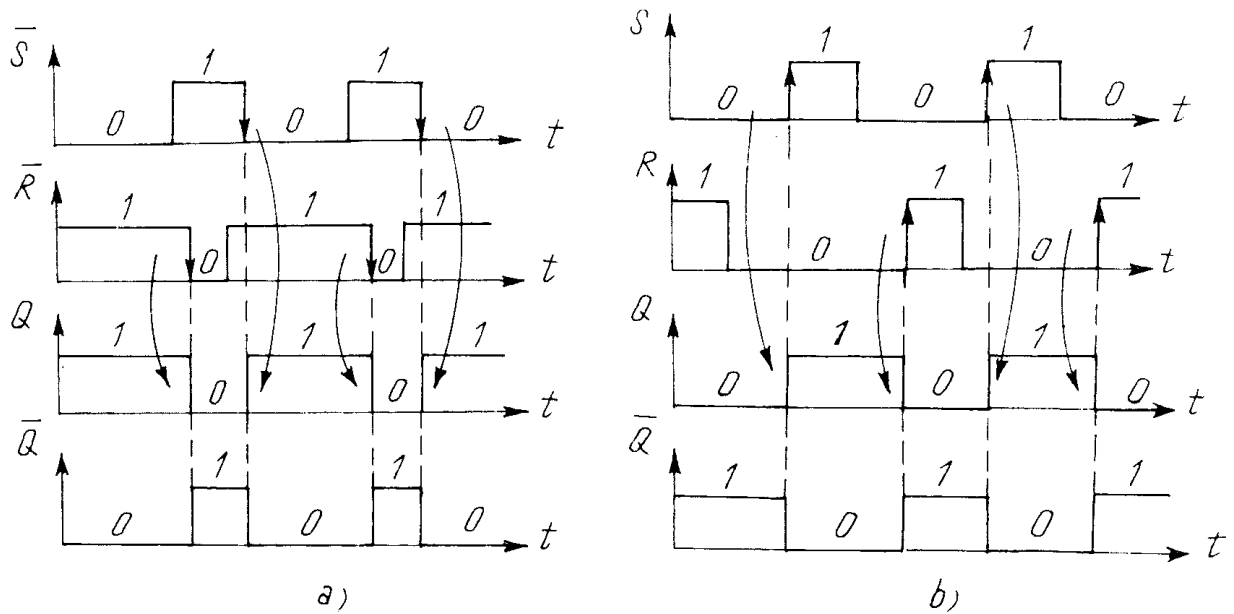
Hình 3.52 : Trigơ RS không đồng bộ
• Cấu trúc từ NAND (a) và bảng trạng thái của nó (c)
• Cấu trúc từ NOR (b) và bảng trạng thái tương ứng của nó (d).

$\bar{S}_n$	$\bar{R}_n$	Q_{n+1}
0	0	cấm
0	1	1
1	0	0
1	1	Q_n

c)

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	cấm

d)



Hình 3.53 : Giản đồ điện áp tín hiệu xung minh họa hoạt động của trigơ RS không đồng bộ có cấu trúc từ NAND (a) và từ NOR (b).

Với giả thiết trên hình 3.53 a và b, các xung S và R ($\bar{S}$, $\bar{R}$ là cho trước, từ hệ thức (3-87) hay từ các bảng trạng thái 3.52c và d sẽ nhận được các xung Q và $\bar{Q}$ ở đầu ra như trên hình 3.53 tương ứng. Qua đó rút ra một nhận xét quan trọng đối với hai loại trigơ RS có cấu trúc từ các phần tử NAND và từ các phần tử NOR là :

- Với mạch hình 3.52a trạng thái đầu ra Q hoặc $\bar{Q}$ chỉ thay đổi ứng với lúc các biến vào $\bar{S}$ hoặc $\bar{R}$ chuyển từ trị "1" về trị "0". Ta gọi đó là loại trigơ chỉ phản ứng (lật) với các sườn âm (đi xuống) của xung tín hiệu đặt tới lối vào.

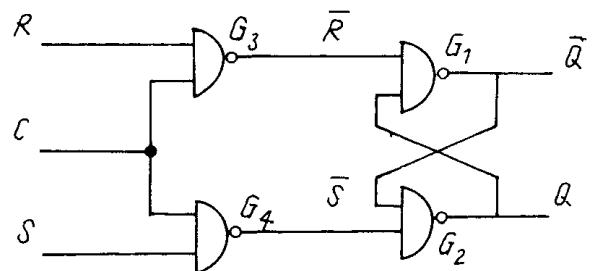
- Với mạch hình 3.52b : Q, $\bar{Q}$ chỉ thay đổi giá trị khi các biến vào S hoặc R đổi giá trị từ "0" lên "1". Ta gọi đó là loại trigơ chỉ lật với các sườn dương (đi lên) của xung vào.

- Trigơ RS loại đồng bộ :

- Trigơ RS dùng để nhớ thông tin nhị phân, thường người ta muốn trigơ chỉ phản ứng với tín hiệu vào ở những lúc xác định. Các thời điểm này được xác định nhờ một tín hiệu vào phụ gọi là tín hiệu đồng bộ C. Mạch hình 3. 54 là dạng trigơ RS đồng bộ tính với đặc điểm có thêm các cửa vào phụ G_3G_4 điều khiển nhờ tín hiệu đồng bộ C. Khi $C = 0$ thì $\bar{R} = \bar{S} = 1$, theo bảng 3.52 c trigơ nhớ trạng thái trước đó. Khi $C = 1$ mạch hoạt động như một trigơ RS không đồng bộ thông thường đã nói trên, dạng hình 3.52a.

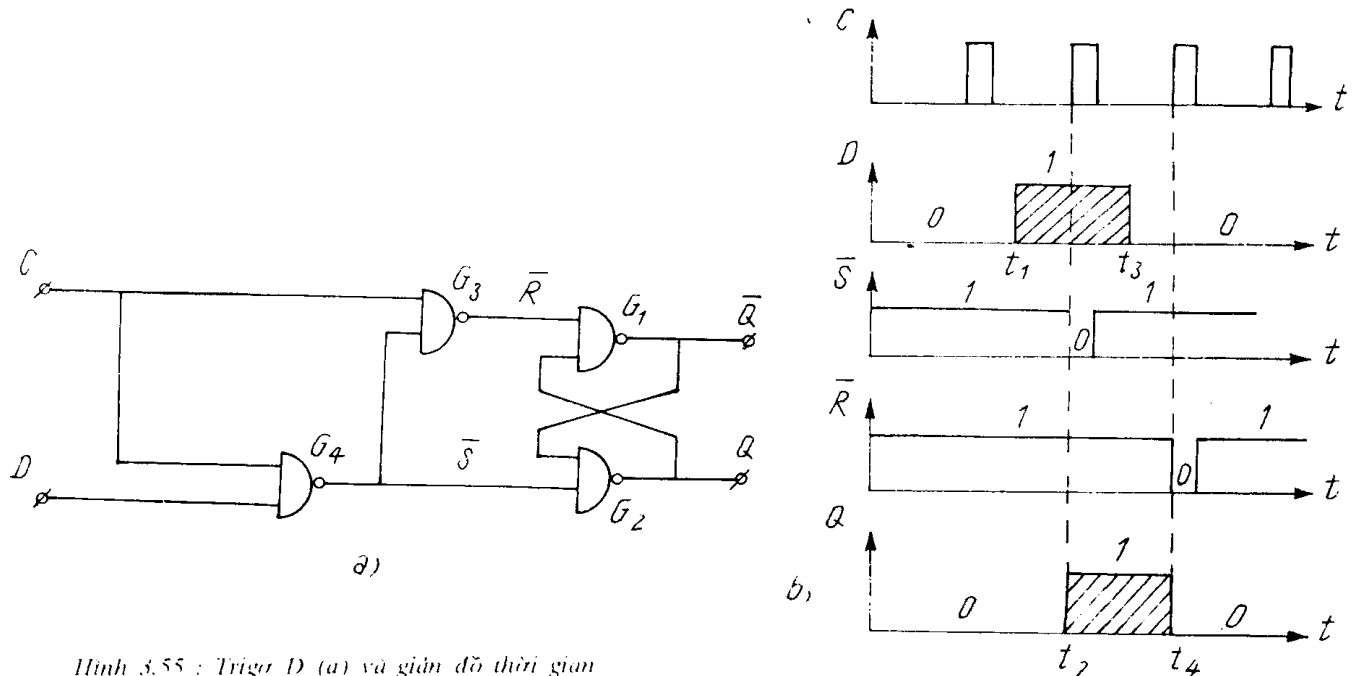
b - Trigơ D (Delay) có 1 đầu vào tín hiệu, 1 đầu ra, thực hiện việc làm trễ thông tin đi một nhịp (của tín hiệu đồng bộ C) :

$$Q^{n+1} = D^n \quad (3-89)$$



Hình 3.54 : R.S trigơ đồng bộ tĩnh.

Hình 3.55 đưa ra sơ đồ cấu trúc của trigơ D và giản đồ thời gian minh họa nguyên lý làm việc của nó.

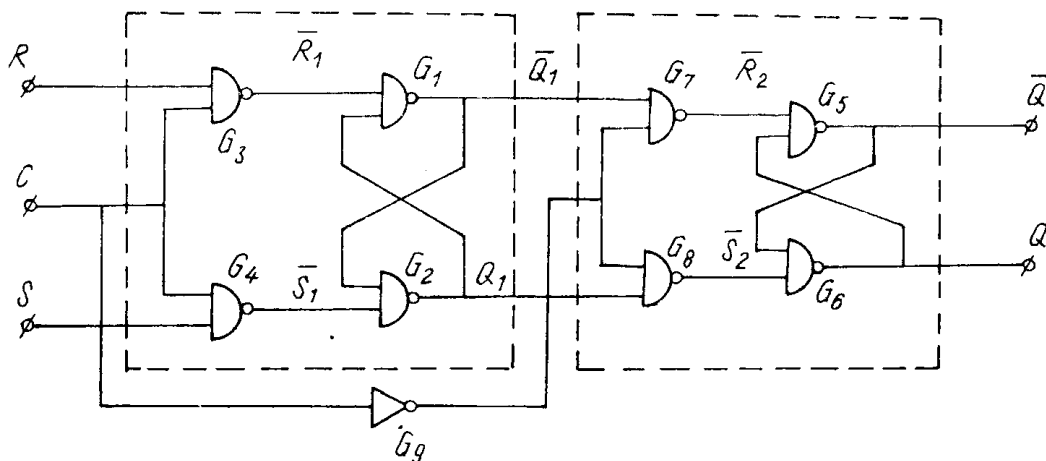


Hình 3.55 : Trơ D (a) và giản đồ thời gian minh họa hoạt động của nó (b).

Ta có nhận xét qua đồ thị hình 3.55 b là nhờ tác dụng nhíp của dãy xung đồng bộ C, thời gian có xung vào của D ($t_1 \div t_3$) bị trễ tới khoảng ($t_2 \div t_4$) với độ rộng bằng chu kỳ nhíp C quyết định. Cũng có khi người ta dùng hai nhíp điều khiển trigơ (c_1 và c_2), xung c_1 xuất hiện trước điều khiển việc ghi tín hiệu D vào trigơ, xung c_2 xuất hiện sau điều khiển việc lấy tín hiệu từ trigơ ra (đọc), muốn vậy, hai dãy xung c_1 và c_2 phải có pha ngược nhau [6].

c - Trơ chỉnh - phụ (MS-trơ)

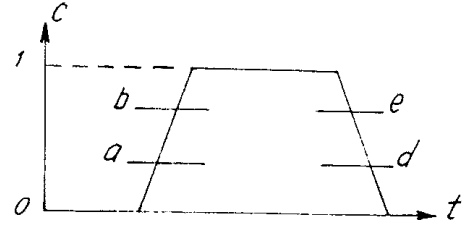
Thông thường để tránh ảnh hưởng của nhiễu, tăng độ tin cậy trong việc ghi, đọc thông tin, từ RS trigơ, người ta xây dựng các MS-trơ bằng cách ghép 2 trigơ RS đồng bộ liên tiếp nhau (h.3.56). Khi đó việc ghi thông tin chỉ xảy ra khi lỗi ra đã bị khóa và ngược lại việc đọc thông tin chỉ xảy ra lúc lỗi vào đã bị khóa.



Hình 3.56 : MS - Trơ cấu trúc từ các phần tử NAND.

Nhóm các phần G_1, G_2, G_3, G_4 tạo nên RS-trigơ chính nhóm G_5, G_6, G_7, G_8 tạo nên RS-trigơ phụ.

Hai nhóm làm việc với hai dãy xung nhịp C ngược pha nhau được nhờ cửa đảo G_9 . Việc phân tích các trạng thái logic của mạch xem trong [3] [4] [5]. Ở đây chỉ minh họa quá trình ghi và đọc thông tin qua giản đồ thời gian của xung nhịp C (h.3.57).



Hình 3.57 : Giản đồ thời gian của xung nhịp C .

- Tại sườn dương khi $C > a$ trigơ phụ ngắt khỏi trigơ chính nhờ $\overline{C} = 0$ khóa G_7, G_8 . Khi C tăng tới mức b thông tin đặt tới lối vào sẽ được ghi vào trong trigơ chính. Tại sườn âm, khi C tới mức e trigơ chính bị ngắt khỏi lối vào nhờ khi đó $C = 0$ khóa G_3, G_4 lúc đạt tới mức d thông tin được chuyển từ trigơ chính sang trigơ phụ (do $\overline{C} = 1$) và đặt tới lối ra Q (sự thay đổi trạng thái ở lối ra chỉ xảy ra trên sườn âm của xung nhịp C).

d - Các trigơ đếm.

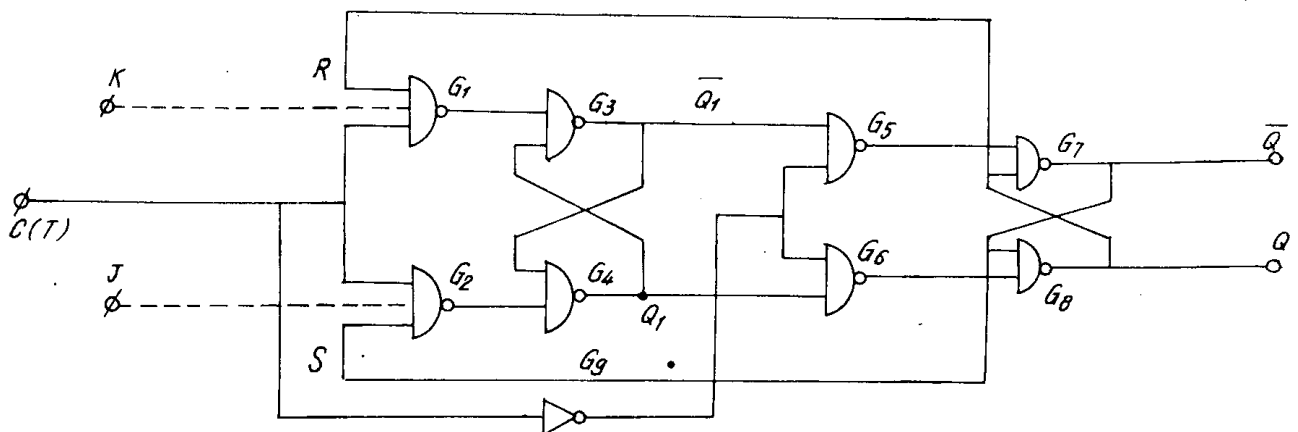
Từ trigơ MS thực hiện hai vòng hồi tiếp : $S = \overline{Q}$ và $R = Q$ ta nhận được trigơ đếm T (trigơ chia tần). Hình 3.58 đưa ra cấu trúc của trigơ T . Khi có thêm hai cửa vào phụ (đường đứt nét trên hình 3.58) tại các phần tử G_1 và G_2 ta nhận được trigơ vạn năng JK.

Nhờ vòng hồi tiếp $\overline{Q} = S$ và $Q = R$, tín hiệu ra bị đảo qua mỗi sườn âm của xung nhịp. Tại lối ra của sơ đồ sẽ xuất hiện dãy xung có tần số bằng nửa tần số nhịp của xung đưa tới đầu vào T (h.3.59). Xuất phát từ các bảng trạng thái 3-7, có thể tìm được phương trình đặc tính của trigơ đếm có dạng

$$Q_{n+1} = [T\overline{Q} + \overline{T}Q]_n \quad (3-90)$$

Còn với trigơ JK có dạng :

$$Q_{n+1} = [J\overline{Q} + \overline{K}Q]_n \quad (3-91)$$



Hình 3.58 : Cấu trúc của trigơ đếm (trigơ T) và trigơ vạn năng JK.

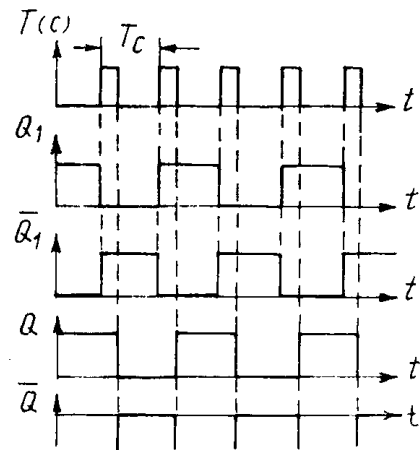
- Phương trình trên cho xác định trạng thái tương lai tại đầu ra (nhịp $n + 1$) của trigơ khi ở nhịp hiện tại điều kiện các biến vào thể hiện ở vế phải được xác định kết hợp với trạng thái ra đã có của trigơ.

• Hoàn toàn tương tự như trigơ RS (nếu coi đầu vào J như đầu vào xác lập và K như đầu vào xóa), ta có nhận xét từ bảng 3.7b là khi $J = K = 0$ tín hiệu ra không đổi (ở mức ra cũ Q_n).

T_n	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

Bảng 3.7 a) Bảng trạng thái của trigơ T.

Hình 3.59 : Giản đồ thời gian minh họa lần việc của trigơ đếm T.



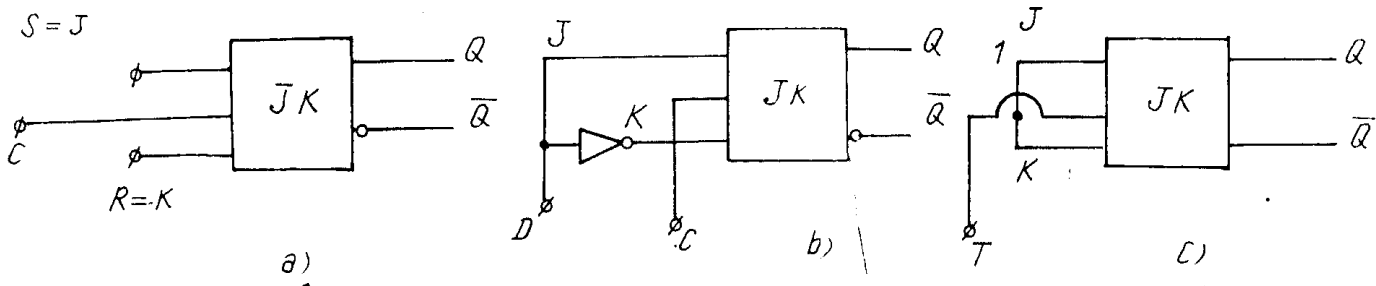
Khi $J \neq K$ thì tín hiệu ra phụ thuộc theo J, còn khi $J = K = 1$ thì tín hiệu ra thay đổi theo mỗi nhịp đếm (ứng với mỗi sườn âm của xung nhịp).

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Bảng 3.7 b). Bảng trạng thái của trigơ JK.

• Điểm lưu ý cuối cùng là trigơ JK có tính chất vạn năng : từ nó có thể kết cấu đầu vào JK khác nhau để tạo ra các loại trigơ T, D, RS đã nêu trước.

Hình 3.60 đưa ra cách nối tương ứng với mỗi loại. Thực tế người ta có thể tạo ra phần tử $G_1 G_2$ là mạch NAND nhiều cửa vào, khi đó ta có trigơ JK nhiều đầu vào J và nhiều đầu vào K (J_1, J_2, J_3 và K_1, K_2, K_3) làm tăng thêm khả năng điều khiển trigơ. Khi không sử dụng hết, các đầu vào được nối với logic "1" để chống nhiễu.



Hình 3.60 :

- a) Nối trigơ JK như trigơ RS kiểu đồng bộ ($J = S, R = K$)
 b) Nối trigơ JK như trigơ D ($J = K = D$)
 c) Nối trigơ JK như trigơ T ($J = K = 1$).

3.9.2. Bộ đếm

Khi ghép liên tiếp các trigơ đếm lại, ta có bộ đếm xung thực hiện chức năng đếm tăng (cộng xung vào theo chiều thuận) hoặc đếm giảm (trừ xung) hoặc đếm thuận nghịch tùy theo phương pháp cấu trúc. Một bộ đếm tổng quát có thể đếm được $(n-1)$ xung, còn xung thứ n đưa nó về trạng thái nghỉ (trạng thái 0 ban đầu) Ta nói dung lượng bộ đếm là $(n-1)$ hay bộ đếm môđun n ; Bộ đếm môđun 2 (trigơ đếm) là bộ đếm

cơ sở để tạo ra các bộ đếm có môđun bất kỳ và số lượng xung đếm được trong bộ đếm tính trong hệ đếm nhị phân.

a - Các bộ đếm nhị phân.

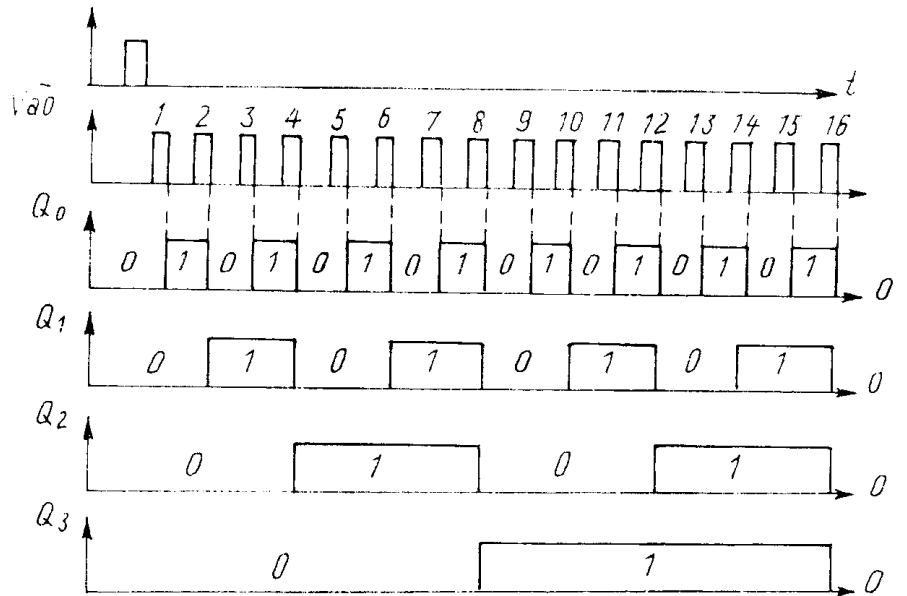
Nếu ghép liên tiếp N trigơ đếm hình 3.58, ta sẽ nhận được một bộ đếm nhị phân có môđun đếm là 2^N hay dung lượng đếm (số xung tối đa bộ đếm có thể đếm được) là $2^N - 1$. Tuy nhiên, thực tế người ta chỉ sử dụng cách ghép với $N=4$ (vì nhiều lý do công nghệ và kỹ thuật khác nhau), đặc biệt nếu biểu diễn số dưới dạng mã BCD (nhị thập phân) thì phương pháp ghép này tạo nên một decac đếm cơ sở, cho phép đếm một số lượng xung bất kỳ bằng cách phối ghép thích hợp. Với $N=4$ (môđun đếm là $2^4=16$ với dung lượng đếm là 15 xung), ta có bảng trạng thái của bộ đếm cho trên bảng 3.8 và giản đồ thời gian minh họa các trạng thái đầu ra của các trigơ đếm cho trên hình 3.61.

Từ bảng trạng thái 3.8 ta có hai nhận xét quan trọng sau đối với các bộ đếm cộng xung:

1/ Trạng thái của một trigơ bất kỳ sẽ chỉ chuyển khi trigơ cấp thấp hơn kế nó chuyển trạng thái từ giá trị "1" về giá trị "0".

2/ Trạng thái của một trigơ bất kỳ sẽ chỉ chuyển khi tất cả các trigơ ở cấp thấp hơn nó đã ở trạng thái giá trị 1.

• Nhận xét đầu cho phép ta xây dựng các bộ đếm không đồng bộ (kiểu nối tiếp), còn nhận xét sau cho phép ta xây dựng các bộ đếm kiểu đồng bộ (song song) với các đặc điểm kết cấu và tính chất khác nhau. Với các bộ đếm lùi (trừ xung) các nhận xét trên sẽ ngược lại.



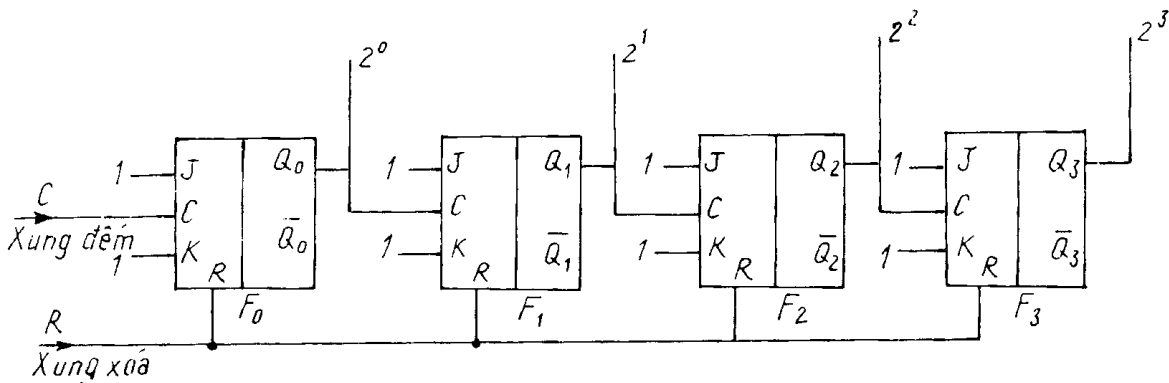
Hình 3.61 : Giản đồ thời gian minh họa hoạt động của bộ đếm nhị phân môđun 16 (lập với sườn âm).

Bảng 3.8 : Bảng trạng thái các trigơ đếm của bộ đếm nhị phân môđun 16

Số xung vào	Trạng thái trigơ đếm			
	(2^3)	(2^2)	(2^1)	(2^0)
	F_3	F_2	F_1	F_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

- Bộ đếm nhị phân kiểu nối tiếp (không đồng bộ)

Hình 3.62 đưa ra cấu trúc của bộ đếm nhị phân mô đun 16 kiểu nối tiếp dùng các trigơ JK dạng MS $F_0 \div F_3$ (cấu tạo từ phân tử NAND) nối thành trigơ đếm, thực hiện chức năng của bảng 3.8.



Hình 3.62 : Bộ đếm nhị phân không đồng bộ (nối tiếp) môđun 16 dùng 4 trigơ JK loại MS nối kiểu trigơ đếm. IC loại SN7493 (4bit) SN74393 (8 bit).

Các đặc điểm chính của bộ đếm hình 3.62 là :

1/ Xung cần đếm đưa vào tuần tự tại lối vào đồng bộ (cửa C) của trigơ đầu tiên F_0 . Các trigơ cấp cao hơn tiếp sau có cửa vào C nối với cửa ra Q của trigơ cấp thấp kế nó.

2/ Xung xóa R phải xuất hiện trước dãy xung đếm để thiết lập trạng thái ban đầu $Q_0=Q_1=Q_2=Q_3=0$

3/ Các trigơ $F_0 \div F_3$ sẽ thay đổi trạng thái của mình khi tín hiệu đưa vào cửa c của nó chuyển từ giá trị "1" về giá trị "0", muốn vậy ở tất cả các trigơ đếm cần có $J=K=1$

4/ Nếu dùng $F_0 \div F_3$ là loại trigơ lật theo sườn dương ($0 \rightarrow 1$) của xung đếm (loại cấu tạo từ phân tử NOR) cấu trúc hình 3.62 cho ta bộ đếm lùi (trừ số xung). Muốn thực hiện đếm tiến trong trường hợp này cần nối các đầu ra $\bar{Q}_i$ tới lối vào C_{i+1} của trigơ tiếp sau.

5/ Mỗi ô trigơ F_i thực hiện việc chia đôi tần số của dãy xung vào.

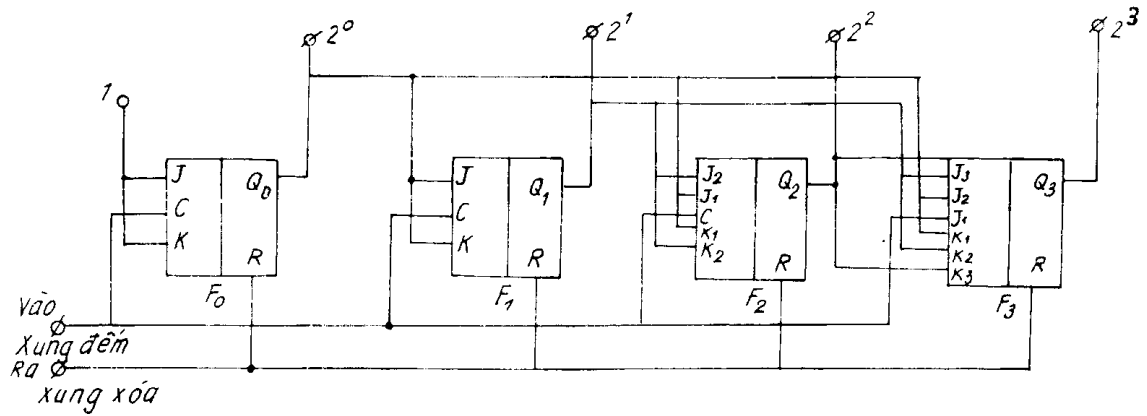
6/ Để tăng dung lượng đếm, cần tăng số trigơ, khi sử dụng N trigơ sẽ đếm được tối đa 2^N-1 xung. Tuy nhiên có hiện tượng trễ tích lũy giữa dãy xung vào và dãy xung ra làm giảm khả năng đếm nhanh của bộ đếm khi tăng dần N.

- Bộ đếm nhị phân kiểu song song (đồng bộ)

Trên hình 3.63 đưa ra cấu trúc bộ đếm nhị phân đồng bộ 4 bit dùng các trigơ JK loại MS ($F_0 + F_3$).

Các đặc điểm chính của bộ đếm đồng bộ hình 3.63 là :

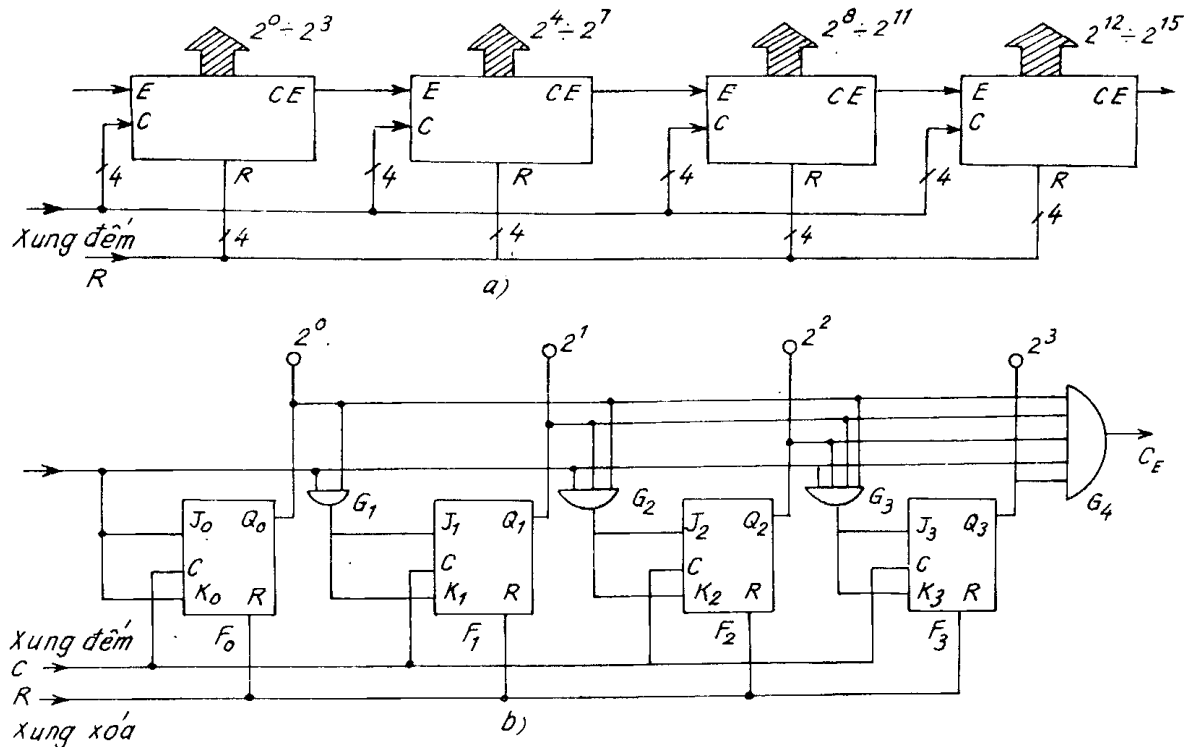
1/ Ở bộ đếm nối tiếp xung đếm chỉ đưa tới lối vào nhịp của F_0 , nên có hiện tượng trễ tích lũy với các trigơ phía sau và yêu cầu chu kỳ xung đếm $T_d > \sum \tau_{trễ}$ của các trigơ ; hạn chế tác động nhanh của mạch. Ở bộ đếm song song, các xung đếm được đưa đồng thời tới các cửa vào nhịp của các trigơ, các lối vào JK được dùng để điều khiển quá trình lật của mỗi trigơ theo trình tự như bảng 3.68 đã đưa ra. Nhờ vậy thời gian trễ chung chỉ bằng thời gian trễ của 1 trigơ gây ra.



Hình 3.63 : Bộ đếm nhị phân đồng bộ 4 bit môđun 16 dùng trigơ JK (IC SN74161).

2/ Theo bảng 3.8 F_0 lật ứng với mỗi xung nhịp (xung đếm) đạt tới, muốn vậy với F_0 , $J=K=1$. F_1 chỉ lật khi đồng thời có xung đếm và $Q_0=1$. Tương tự F_2 chỉ lật khi $Q_0=1$ và $Q_1=1$ và có xung nhịp, F_3 chỉ lật khi $Q_0=1$ và $Q_1=1$ và $Q_2=1$ và có xung nhịp, đưa tới C của nó. Các cửa JK được nối với đầu ra của Q_0 , Q_1 , Q_2 cho phép thực hiện đồng thời các điều kiện trên.

3/ Khi cần đếm số lượng xung lớn hơn, người ta không kéo dài thêm trigơ vào sau F_3 mà ghép thêm từng nhóm 4 trigơ (4bit) vì số lượng các đầu vào J và K có hạn (thường không lớn hơn 3). Việc ghép liên tiếp các bộ đếm bit thực hiện đếm 16 bit



Hình 3.64 : Bộ đếm nhị phân 16 bit (dung lượng 2^{16} - 1 xung) xây dựng nhờ ghép liên tiếp 4 bộ đếm 4 bit có logic tạo nhớ (a) và mạch điện cấu trúc bộ đếm 4 bit có logic tạo nhớ (b).

theo sơ đồ hình 3.64a nhờ có bổ sung các mạch logic phụ để tạo các tín hiệu nhớ E và C_E hình 3.64b.

Mạch cấu trúc hình h.364a cho phép đếm 16 bit hay $2^{16}-1$ xung theo phương pháp đếm song song. Trên hình 3.64b người ta bổ sung các cửa logic phụ là các mạch AND $G_1 \div G_4$ để tạo tín hiệu nhớ trong từng bộ đếm nhỏ 4 bit và đồng thời tạo tín hiệu điều khiển các cửa J, K.

Ta thấy rõ từ hình vẽ, điều kiện tạo các tín hiệu điều khiển J, K và tạo tín hiệu nhớ C_E là cần có đầu vào E không chế cả nhóm :

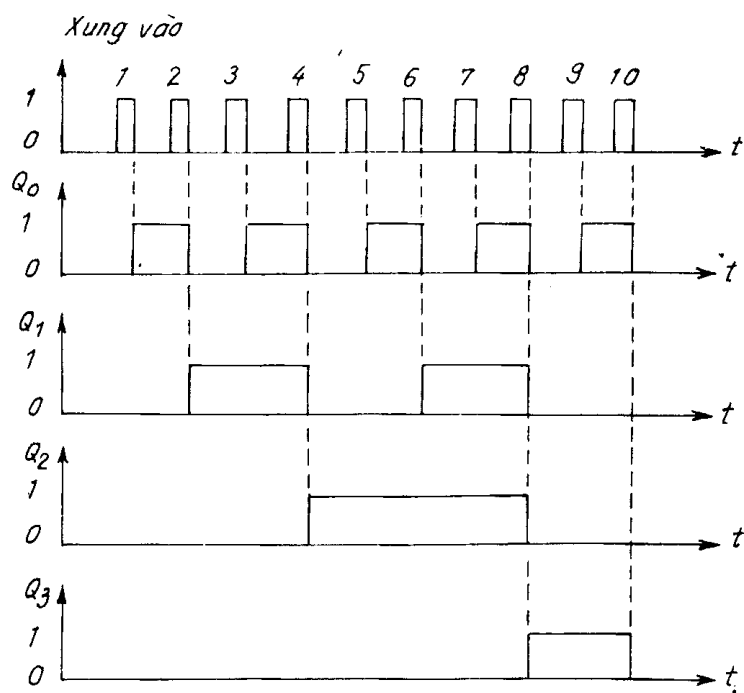
$$\left. \begin{aligned} C_E &= Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot E \\ J_3 &= K_3 = Q_0 \cdot Q_1 \cdot Q_2 \cdot E \\ J_2 &= K_2 = Q_0 \cdot Q_1 \cdot E \\ J_1 &= K_1 = Q_0 \cdot E \\ J_0 &= K_0 = E \end{aligned} \right\} \quad (3-92)$$

Các điều kiện (3-92) kết hợp với $C = 1$ chính là điều kiện làm việc bình thường của một bộ đếm song song 4 bit hình 3.63. Chỉ khác là khi bị đầy (lúc $Q_0 = Q_1 = Q_2 = Q_3 = 1$), sẽ tạo ra tín hiệu C_E để đưa tới decac đếm 16 cao hơn.

b - *Bộ đếm có môđun đếm bất kì* được cấu tạo dựa trên các bộ đếm tổng nhị phân hình 3.62 - 3.63 đã xét trên sau khi đã loại bỏ các trạng thái dư (cấm). Số trạng thái dư với môđun đếm n là $S = 2^N - n$. Số trigơ đếm sử dụng được chọn theo số lượng cực tiểu của S. Việc loại bỏ các trạng thái dư được thực hiện cưỡng bức nhờ các vòng hồi tiếp thích hợp vào những lúc thích hợp theo ý định thiết kế, ví dụ theo trật tự tự nhiên của dãy xung vào hoặc nhảy cách. Xét cụ thể với trường hợp Môđun đếm $n = 10$ ta có bộ đếm nhị - thập phân hay BCD. Bảng trạng thái của bộ đếm nhị phân - thập phân có dạng bảng 3.9.

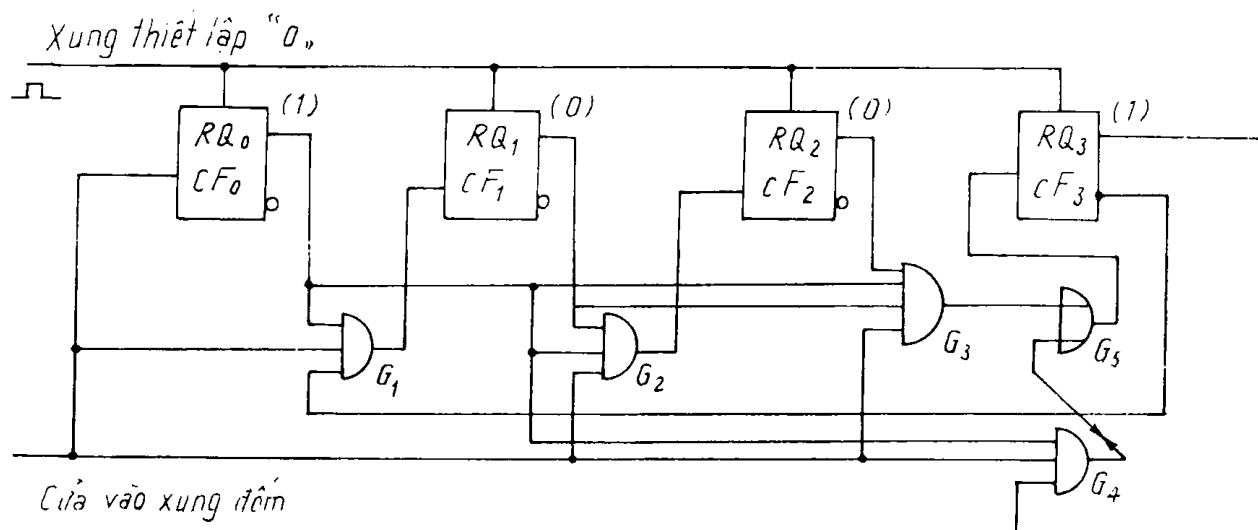
Bảng 3.9 : Bảng trạng thái của bộ đếm BCD

Số xung vào	Trạng thái các trigơ đếm			
	(2^3) F_3	(2^2) F_2	(2^1) F_1	(2^0) F_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0



Hình 3.65 : Giản đồ thời gian minh họa hoạt động của bộ đếm môđun 10.

- Hình 3.66 nêu ra một phương án tạo bộ đếm BCD bằng cách dùng thêm các cửa logic phụ.



Hình 3.66 : Bộ đếm môđun 10 dùng trigger đếm kết hợp với các cửa logic phụ.

Các cửa logic $G_1G_2G_3G_4G_5$ khóa cho tới hết xung thứ 9 của dãy xung đếm đưa tới cửa nhịp, lúc đó trạng thái ra của trigơ đếm là $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 1$ tới xung thứ 10 $Q_0 = 0$

$G_1G_2G_3$ khóa nếu $Q_1 = Q_2 = 0$ (giữ nguyên trạng thái cũ) G_4G_5 mở cửa xung nhịp tới đầu vào F_3 làm chuyển trạng thái $Q_3 = 0$

- Khi dùng trigger JK làm các ô đếm sẽ giảm được các cửa logic phụ nhờ việc dùng các cửa J điều khiển trạng thái của chúng, chỉ cần lưu ý lúc đó cho $K = 1 = \text{const}$ nên nếu $J = 1$ chúng làm việc như một trigger đếm thông thường, còn nếu $J = 0$ ($= \bar{K}$) thì nếu có xung nhịp tiếp theo theo bảng 3.7b trạng thái của trigger được bảo toàn ở $Q = 9$. Ta hãy xét cụ thể trong ví dụ hình 3.67 với bộ đếm BCD 4 bit dùng các trigger JK kiểu ghép nối tiếp.

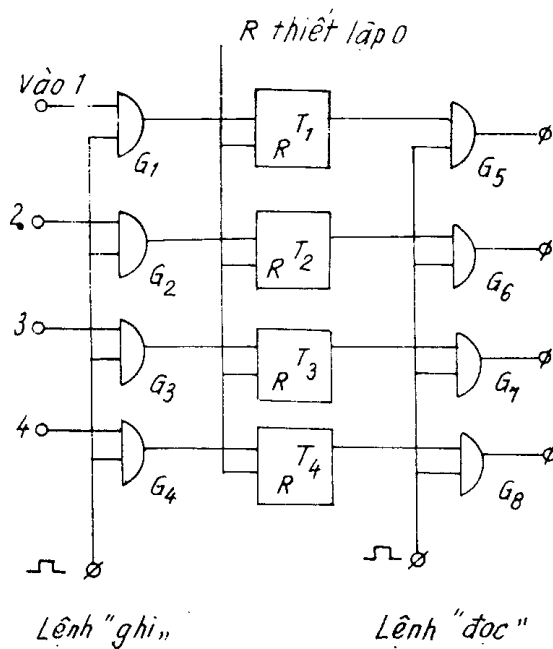
Hình 3.67 đưa ra một phương pháp khác tổ chức bộ đếm BCD 4 bit dựa trên cấu trúc hình 3.62 có kết hợp thêm mạch nối tiếp $J = \overline{Q}_3$ đối với F_1 và $J_1 = Q_1$, $J_2 = Q_2$, $C = Q_0$ đối với F_3 . Khi đó tới lúc có xung thứ 10 bộ đếm trở về trạng thái ban đầu :

$$Q_1 = 0 \text{ do } J = 0 \text{ và } K = 1$$

$Q_c = 0$ do $J = K = 1$ và $C = 1$ (xung thứ 10)

$$Q_2 = 0 \text{ do } Q_1 = 0 = C \text{ và } J = K = 1$$

$$Q_3 = 0 \text{ do } J_1 = J_2 = 0 \quad k_1 = k_2 = 1$$



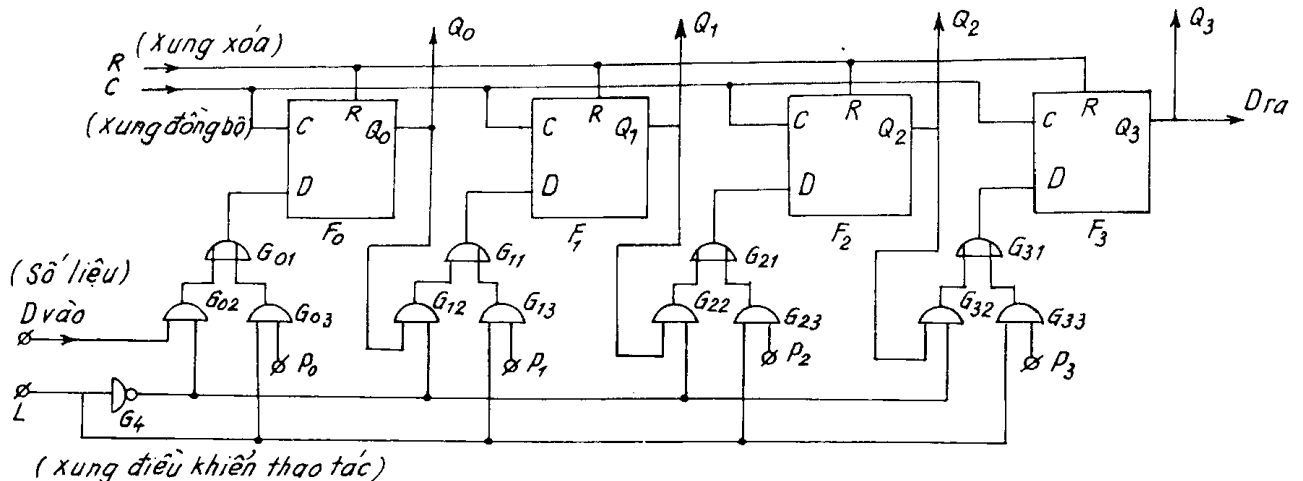
Bảng 3.10 : Trạng thái ra của bộ ghi dịch 4 bit hình 3.68 theo trật tự xung nhịp.

Nhịp	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	D ₁	0	0	0
2	D ₂	D ₁	0	0
3	D ₃	D ₂	D ₁	0
4	D ₄	D ₃	D ₂	D ₁
5	D ₅	D ₄	D ₃	D ₂
6	D ₆	D ₅	D ₄	D ₃
7	D ₇	D ₆	D ₅	D ₄

Hình 3.69 : Bộ ghi cấu trúc vào - ra song song (4 bit).

• Người ta còn kết hợp phương pháp nối tiếp và song song trong một bộ ghi dịch để sử dụng linh hoạt các ưu thế của mỗi cách đồng thời tạo khả năng chuyển từ một dãy thông tin nối tiếp thành dạng song song hoặc ngược lại. Hình 3.70a đưa ra cấu trúc 1 bộ ghi dịch 4 bit kiểu này (IC SN74179) sử dụng 4 trigơ D kết hợp với các cửa logic phụ.

Số liệu đưa vào bộ ghi dịch (h.3.70a) có thể tuần tự (kiểu nối tiếp) ở đầu D vào hay kiểu đồng thời ở các đầu p₀ + p₃ tùy theo xung điều khiển L và xung nhịp C. Khi L = 0 thì với việc có xung nhịp C, thông tin D sẽ được dịch phải 1 bit hướng F₀ → F₃. Lúc L = 1 thì khi có xung nhịp C, thông tin P₀ ÷ P₃ sẽ được đưa đồng thời vào F₀ ÷ F₃ nhờ nhóm các cổng logic G₀₁, G₁₁, G₂₁ và G₃₁. Việc lấy số liệu ra cũng có thể đồng thời cả 4 bit trên các lối ra Q₀ ÷ Q₃ hay tuần tự trên lối D_{ra} kiểu vào trước ra trước sau 4 nhịp của C.



Hình 3.70a

Kết cấu kiểu hình 3.70a cho phép sử dụng linh hoạt và khai thác hết các ưu điểm của mỗi phương pháp ghi dịch kiểu tuần tự hay đồng thời.

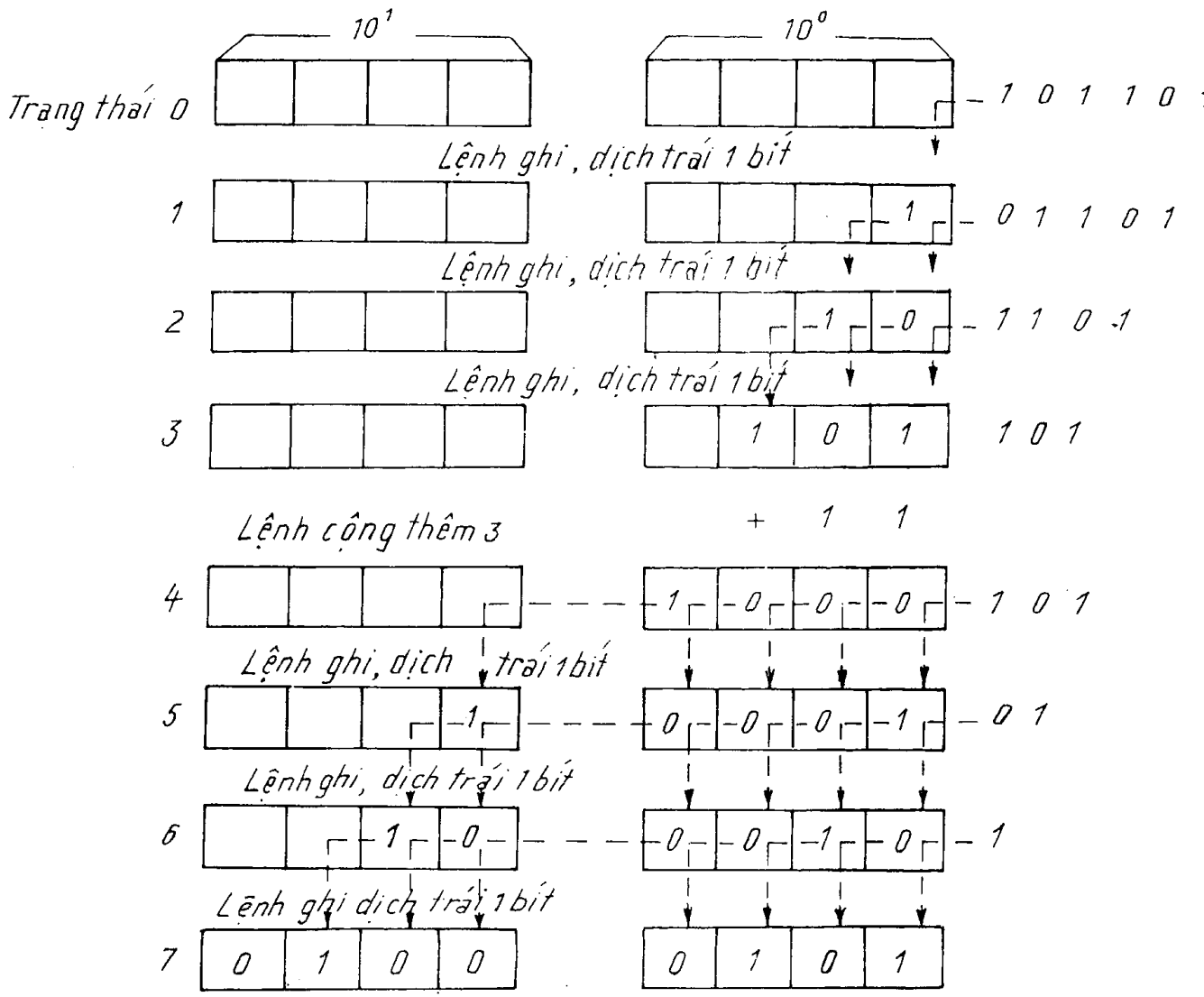
3.9.4. Bộ biến đổi mã và giải mã

Các bộ biến đổi mã thực hiện việc chuyển đổi cách biểu diễn của một số nhị phân ở dạng này sang dạng khác nhờ đó quá trình gia công xử lý, ghi nhớ hay hiển thị kết quả thông tin được thuận lợi hơn. Trong phần này sẽ đề cập tới một số dạng biến đổi và giải mã điển hình nhất.

a - Bộ biến đổi mã nhị phân - mã nhị thập phân (8421 - BCD)

Các số nhị phân lớn hơn 2^4 có độ dài (số bit) lớn hơn 4 thường khó đọc. Theo thói quen thập phân thông thường, người ta dùng mã nhị - thập phân (BCD) trong đó mỗi số thập phân riêng rẽ được biểu diễn nhị phân bằng một từ có độ dài 4 bit gọi là 1 decac. Như vậy một số thập phân hàng chục bao gồm 1 decac có độ dài tổng cộng 8 bit, hàng trăm gồm 3 decac có độ dài 12 bit...

Bảng 3.11 : Trạng thái của các trigơ (các bit) của bộ ghi dịch qua 7 nhịp xung điều khiển thực hiện phép biến đổi mã $(101101)_2 \rightarrow (0100\ 0101)_{BCD}$



Ví dụ các số thập phân : $(45)_{10}$ gồm 2 decac ; $(218)_{10}$: 3 decac có thể biểu diễn theo mã BCD là :

0100	0101 ;	0010	0001	1000
$4 \cdot 10^1$	$5 \cdot 10^0$	$2 \cdot 10^2$	$1 \cdot 10^1$	$8 \cdot 10^0$

Biểu diễn nhị phân thuần túy của số $(45)_{10}$ là $(101101)_2$. Bộ đổi mã nhị phân sang mã nhị thập phân có nhiệm vụ thực hiện chuyển kí hiệu ví dụ : từ số 101101 ở biểu diễn nhị phân của 45 sang 01000101 là biểu diễn của 45 ở hệ nhị thập phân có thể dùng các bộ ghi dịch đã xét ở 3.93 để thực hiện việc biến đổi mã này với các nhận xét sau đối với các cấp biểu diễn của các số thập phân và nhị phân :

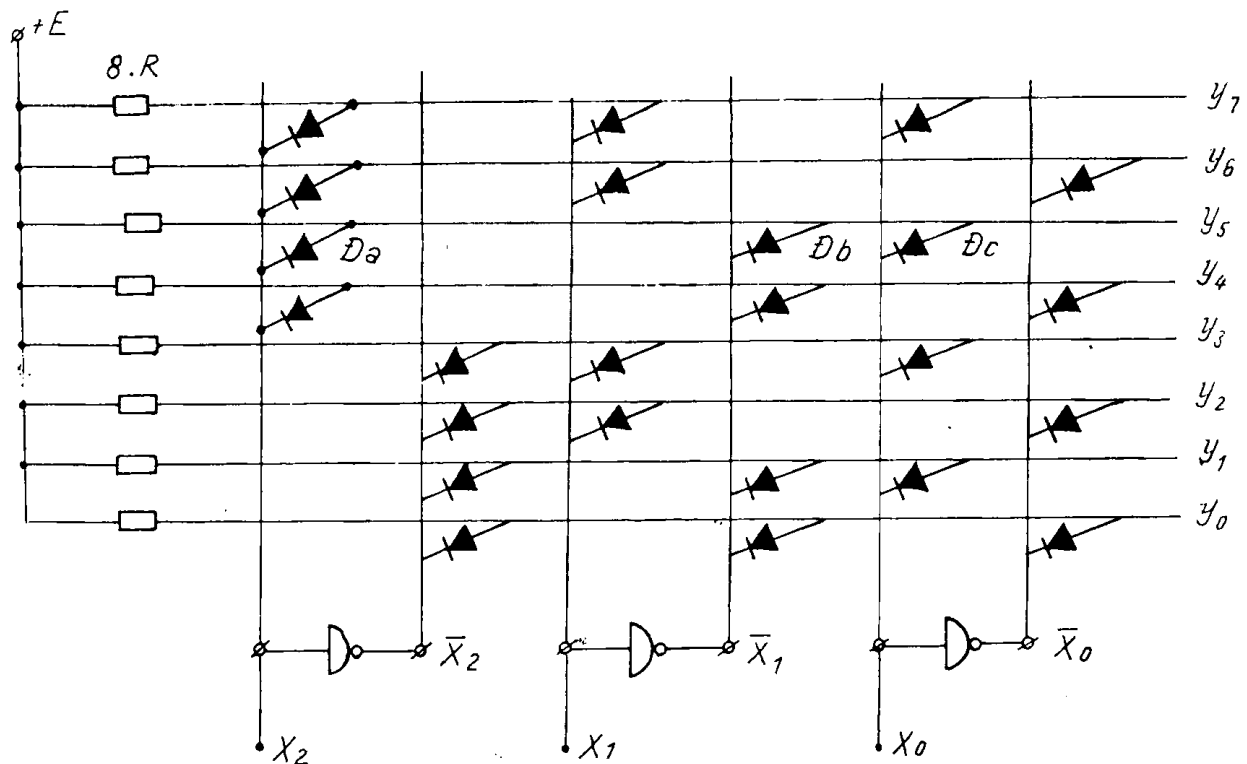
- Dịch 1 bit từ phải sang trái trong 1 decac tương đương với phép nhân với 2^1 trong hệ thập phân.

- Dịch 1 bit từ phải qua trái giữa 2 decac (2 nhóm) tương đương với một phép cộng thêm 2 trong hệ thập phân ($8 \rightarrow 10$). Đặc điểm này trong hệ nhị thập phân tương đương với thêm 6 vào số nhị phân sau khi dịch hay thêm 3 vào nó trước khi dịch.

- Để loại trừ khả năng xuất hiện trong 1 decac số lớn hơn 9, việc cộng thêm 3 trước khi chuyển 1 số qua decac cao được tiến hành sớm hơn khi số trong decac thấp không quá $(5)_{10}$ hay $(0101)_{BCD}$.

Ta làm rõ các thao tác trên qua ví dụ sau với $(N)_{10} = (45)_{10}$

$$N = (45)_{10} = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = (101101)_2$$



Hình 3.70b : Bộ giải mã 1 từ 8 cấu trúc kiểu ma vận diôt điện trở.

Kết quả sau 7 nhíp điều khiển thể hiện qua bảng 3.11 đối với trạng thái của các trigơ trong bộ ghi dịch số $(45)_{10} = (101101)_2$ đã được ghi vào thanh ghi dịch 8 bit với 4 bit già thể hiện decac hàng chục và 4 bit trẻ thể hiện decac hàng đơn vị $(45)_{10} \approx (0100\ 0101)_{BCD}$ là biểu diễn của nó trong hệ nhị-thập phân.

b - Bộ biến đổi mã nhị phân sang mã "1 từ n"

- Mã "1 từ n" cho tương ứng đơn trị mỗi số thập phân M từ 0 tới $(n - 1)$ với 1 hàm logic ở dạng một mintec là biểu diễn của M trong hệ đếm nhị phân. Các trạng thái ra của bộ biến đổi mã nhị phân 8421 sang mã "1 từ 16" được cho trên bảng (3.12).

Bảng 3.12 : Trạng thái của bộ giải mã 8421 - "1 từ 16"

M	2^3	2^2	2^1	2^0																
	x_3	x_2	x_1	x_0	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9	y_{10}	y_{11}	y_{12}	y_{13}	y_{14}	y_{15}
0	0	0	0	0	1															
1	0	0	0	1		1														
2	0	0	1	0			1													
3	0	0	1	1				1												
4	0	1	0	0					1											
5	0	1	0	1						1										
6	0	1	1	0							1									
7	0	1	1	1								1								
8	1	0	0	0									1							
9	1	0	0	1										1						
10	1	0	1	0											1					
11	1	0	1	1												1				
12	1	1	0	0													1			
13	1	1	0	1														1		
14	1	1	1	0															1	
15	1	1	1	1																1

• Từ bảng (3.12) có thể viết hệ các hàm ra $y_0 \div y_{15}$ dạng

$$\left. \begin{aligned} y_0 &= \overline{x_3}\overline{x_2}\overline{x_1}\overline{x_0} & y_{14} &= x_3x_2x_1\overline{x_0} \\ y_1 &= \overline{x_3}\overline{x_2}\overline{x_1}x_0 & y_{15} &= x_3x_2x_1x_0 \end{aligned} \right\} \quad (3-93)$$

- Có thể thực hiện các hàm (3-93) bằng một ma trận các điôt điện trở cấu trúc kiểu chữ nhật, hình thang hay hình tháp [3]. Các ma trận giải mã được chế tạo dưới dạng IC để tiện sử dụng (SN7442/SN7445).

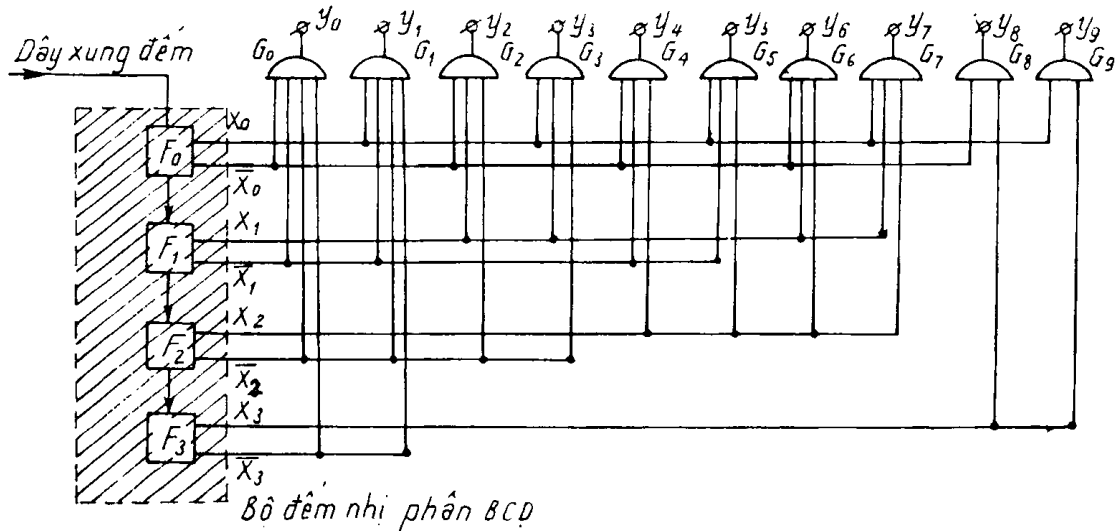
Hình 3.70b đưa ra một cấu trúc đơn giản nhất của bộ giải mã "1 từ 8", kiểu ma trận chữ nhật.

Ứng với 1 tổ hợp xác định của các biến vào x_2, x_1, x_0 ; chỉ một đầu ra y_j tương ứng ở mức 1 (nhờ sự điều khiển các van điôt thích hợp có anôt nối với hàng j khóa lại). Tính đơn trị của y, được đảm bảo vì lúc đó các hàng $i \neq j$ đều có ít nhất một van điôt mở làm điện thế lối ra i ở mức thấp hay $y_i = 0$ khi $i \neq j$. Chỉ số j chính là biểu diễn thập phân của tổ hợp lối vào $x_3x_2x_1$ (biểu diễn nhị phân của j). Ví dụ khi $x_2 = 1, x_1 = 0$ và $x_0 = 1$ chỉ có các van D_a, D_b và D_c ứng với hàng y_5 trên hình 3.70 khóa và $y_5 = 1$, các hàng còn lại sẽ có ít nhất 1 van thông và $y_i = 0$ với $i \neq 5$.

- Trong trường hợp chỉ sử dụng 10 tổ hợp đầu tiên trong bảng (3.12) ta nhận được bảng trạng thái của bộ giải mã BCD, mã "1 từ 10". Lúc đó hệ các hàm ra có dạng :

$$\left. \begin{aligned} y_0 &= \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 \\ y_1 &= \bar{x}_3 \bar{x}_2 \bar{x}_1 x_0 \\ &\dots \\ y_9 &= x_3 \bar{x}_2 \bar{x}_1 x_0 \end{aligned} \right\} \quad (3-94)$$

Để thực hiện các hàm (3-94), có thể dùng một bộ đếm nhị phân BCD 4 bit (xem 3.9.2b) kết hợp với các cửa AND, như thể hiện trên hình 3.71.



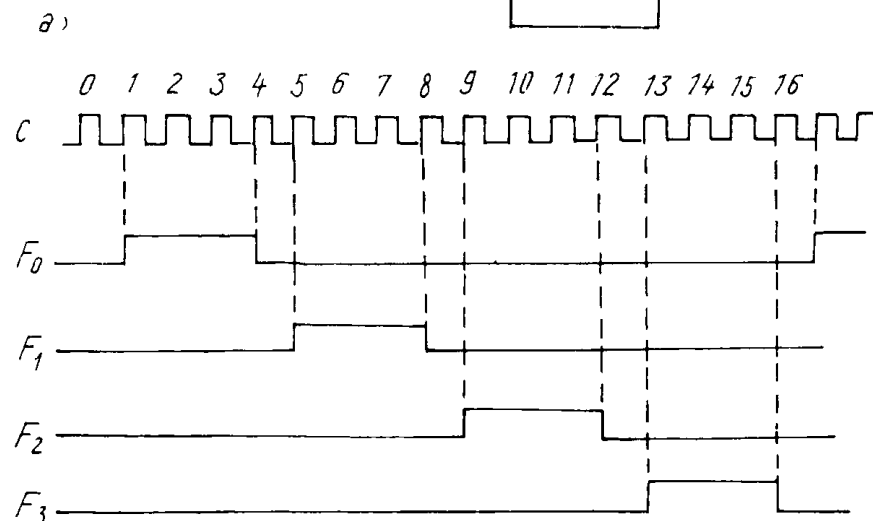
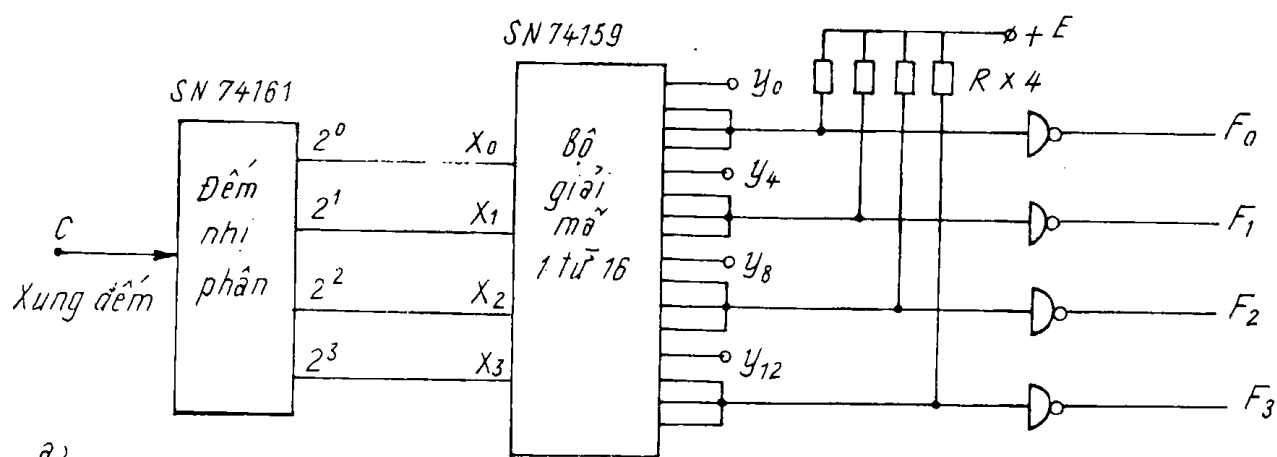
Hình 3.71 : Bộ giải mã BCD - "1 từ 10".

Ở đây cần lưu ý hệ hàm (3-44) đã được đưa về dạng tối thiểu bằng phương pháp cacno có sử dụng 6 tổ hợp thừa ở cuối trong bảng (3.12) :

$$\left. \begin{aligned} Y_0 &= \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 ; & y_5 &= x_2 \bar{x}_1 x_0 \\ y_1 &= \bar{x}_3 \bar{x}_2 \bar{x}_1 x_0 ; & y_6 &= x_2 x_1 \bar{x}_0 \\ y_2 &= \bar{x}_2 x_1 \bar{x}_0 ; & y_7 &= x_2 x_1 x_0 \\ y_3 &= \bar{x}_2 x_1 x_0 ; & y_8 &= x_3 \bar{x}_0 \\ y_4 &= x_2 \bar{x}_1 \bar{x}_0 ; & y_9 &= x_3 x_0 \end{aligned} \right\} \quad (3-95)$$

- Bộ giải mã "1 từ n" được dùng đặc biệt thuận lợi trong việc điều khiển các thao tác trình tự khi được ghép nối tiếp sau 1 bộ đếm nhị phân (xem h.3.72)

Tất cả các tổ hợp của biến vào được tạo ra một cách tuần tự trong bộ đếm nhị phân. Tại đầu ra của bộ giải mã "1 từ n", mỗi thời điểm chỉ có 1 đầu ra có giá trị 1. Do vậy sự kiện cần điều khiển để xảy ra vào lúc t_j nào đó có thể tạo bởi y_j tương ứng, còn nếu cùng 1 sự kiện cần xảy ra ở nhiều thời điểm khác nhau thì chỉ cần hợp các hàm ra y_j nhờ một phân tử OR.



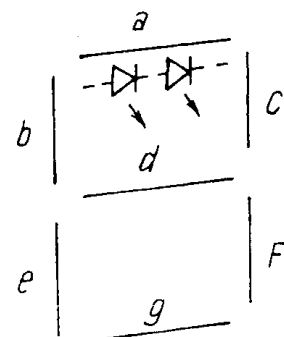
Hình 3.72 : a) Bộ tạo xung điều khiển 4 pha liên tiếp cách đều nhau
b) Giản đồ thời gian minh họa hoạt động tạo xung điều khiển.

c - Bộ giải mã nhị phân BCD - mã thập phân 7 dấu

Bộ chỉ thị 7 dấu ký hiệu được dùng phổ biến để biểu thị kết quả thông tin bằng số thập phân nhờ đặc điểm có cấu tạo các điốt phát quang (LED) hay tinh thể lỏng bố trí như thể hiện trên hình 3.73.

Bảng 3-13 :

M	Biến vào				Hàm ra						
	x_3	x_2	x_1	x_0	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	1	0	0	1	0
2	0	0	1	0	1	0	1	1	1	0	1
3	0	0	1	1	1	0	1	1	0	1	1
4	0	1	0	0	0	1	1	1	0	1	0
5	0	1	0	1	1	1	0	1	0	1	1
6	0	1	1	0	1	1	0	1	1	1	1
7	0	1	1	1	1	0	1	0	0	1	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1



Hình 3.73 : Dạng bộ chỉ thị 7 thanh.

Bảng chuyển đổi của bộ giải mã BCD - mã 7 dấu cho trên bảng 3.13 ; ở đây các biến logic đầu vào ký hiệu là $x_0 + x_3$ và các hàm ra là a b c d e f g.

Bình thường, các điốt phát quang a, b, ..., f, g không phát sáng.

Ứng với mỗi tổ hợp nhị phân ở đầu vào, một vài trong số 7 thanh đầu ra nhận được tín hiệu "1" (thế cao) kích thích chúng phát sáng và hiện hình số thập phân tương ứng. Cấu trúc tổ hợp của bộ giải mã này được xây dựng xuất phát từ hệ các hàm $a \neq g$ sau khi đã được tối thiểu hóa (ở đây không nêu ra). Thường chúng được kết cấu ở dạng một vi mạch có sẵn (SN7447, D147).

d - Bộ biến đổi mã nhị phân 8421 - mã vòng Grey

Mã Grey là một dạng mã nhị phân có tính đồng đều khoảng cách (chuyển từ 1 số này đến một số tiếp theo luôn chỉ cần thay đổi 1 bit) được sử dụng thuận lợi cho việc lưu giữ thông tin trong các phần tử nhớ một cách tiết kiệm nhất (lưu ý mã Grey không cho phép thực hiện các phép tính số học với nó).

Bảng 3.14a là bảng chuyển đổi của bộ biến đổi mã 8421 - Grey và trạng thái của nó (b) (để viết các từ mã Grey, cần dùng bảng chuyển giống bìa cacno 4 biến bảng 3.14a, ở mỗi ô đánh số thập phân theo trật tự các ô kế nhau sau đó lần lượt viết các từ mã với trị $x_3 \div x_0$ ghi ngoài mép các hàng và cột, kết quả thao tác này thể hiện trên bảng 3.14b với các hàm ra $y_3 \div y_0$ tương ứng).

Bảng 3-14(a) :

		$x_3 \wedge x_2$			
		00	01	11	10
$x_1 \wedge x_0$	00	0	7	8	15
	01	1	6	9	14
	11	2	5	10	13
	10	3	4	11	12

Bảng 3.14 (b) : Bảng trạng thái và bảng chuyển đổi cho cách viết từ trong mã Grey

vào 8421									ra(Grey)								
Số thập phân	x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Số thập phân	x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0
0	0	0	0	0	0	0	0	0	8	1	0	0	0	1	1	0	0
1	0	0	0	1	0	0	0	1	9	1	0	0	0	1	1	0	1
2	0	0	1	0	0	0	1	1	10	1	0	1	0	1	1	1	1
3	0	0	1	1	0	0	1	0	11	1	0	1	1	1	1	1	0
4	0	1	0	0	0	1	1	0	12	1	1	0	0	1	0	1	0
5	0	1	0	1	0	1	1	1	13	1	1	0	1	1	0	1	1
6	0	1	1	0	0	1	0	1	14	1	1	1	0	1	0	0	1
7	0	1	1	1	0	1	0	0	15	1	1	1	1	1	0	0	0

(b)

Việc xây dựng cấu trúc logic bộ chuyển mã xuất phát từ viết bìa cacno cho các hàm ra $x_0 \div x_3$, tối thiểu hóa chúng có kết quả thể hiện trên bảng 3.15.

$$\left. \begin{aligned} y_3 &= x_3 = 0 \oplus x_3 \\ y_2 &= \bar{x}_3 x_2 + x_3 \bar{x}_2 = x_3 \oplus x_2 \\ y_1 &= \bar{x}_2 x_1 + x_2 \bar{x}_1 = x_2 \oplus x_1 \\ y_0 &= \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0 \end{aligned} \right\} \quad (3-96)$$

Từ hệ thức (3-96) thấy rõ bộ chuyển mã có cấu trúc gồm 3 bộ cộng môđun hai đã xét ở 3.8.2 (xem h.3.74). Lưu ý hệ thức (3.96) về tính chất vòng của phép cộng môđun nhị phân, dễ dàng suy ra cấu trúc bộ biến đổi mã ngược lại : từ mã Grey thành mã 8421. (đường đứt nét hình 3.74).

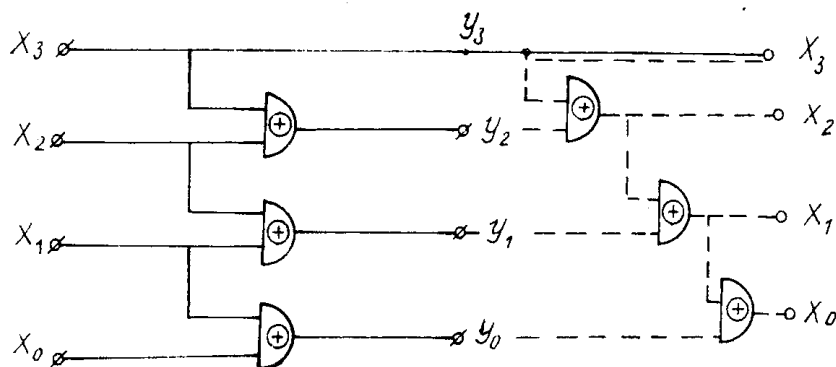
Bảng 3-15.

y_3	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00			1	1
	01			1	1
	11			1	1
	10			1	1

y_2	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00		1		1
	01		1		1
	11		1		1
	10		1		1

y_1	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00		1	1	
	01		1	1	
	11	1			1
	10	1			1

y_0	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00				
	01	1	1	1	1
	11				
	10	1	1	1	1



Hình 3.74 : Cấu trúc bộ chuyển mã 8421 - Gray và ngược lại (hình nét đứt).

c - Vài bộ biến đổi mã thông dụng khác

Trong kĩ thuật tính toán với các số nhị phân bằng công cụ máy tính, ngoài một số dạng mã đã xét ở trên, người ta còn thường sử dụng vài loại mã khác ở dạng nhị phân, xây dựng từ mã cơ bản 8421. Đó là các mã bù hai, mã thừa 3, mã 2421 (Eikel) hay mã 4221.

Bảng 3.16 đưa ra bảng trạng thái của các loại mã trên ứng với mã vào là dạng 8421 thông thường.

Bảng 3.16 : Bảng trạng thái vài loại mã thông dụng xây dựng từ mã nhị phân 8421

(M) 10	2^3 x_3	2^2 x_2	2^1 x_1	2^0 x_0	$A_3 A_2 A_1 A_0$	$B_3 B_2 B_1 B_0$	$C_3 C_2 C_1 C_0$	$D_3 D_2 D_1 D_0$
0	0	0	0	0	0	1	0	0
1	0	0	0	1	1	1	0	1
2	0	0	1	0	1	1	1	0
3	0	0	1	1	1	1	0	0
4	0	1	0	0	1	0	1	1
5	0	1	0	1	1	0	1	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	0	1	1	1
9	1	0	0	1	0	1	1	0
10	1	0	1	0	0	1	0	1
11	1	0	1	1	0	1	0	0
12	1	1	0	0	0	0	1	1
13	1	1	0	1	0	0	0	1
14	1	1	1	0	0	0	0	0
15	1	1	1	1	0	0	0	0
Tên mã	8421				Bù hai (Bù số học)	Bù một (Bù logic)	2421	Thừa 3

Từ bảng (3.16) ta có mấy nhận xét quan trọng về cấu trúc các loại mã ở lối ra như sau :

- Mã bù logic (bù một) có được bằng cách đảo trị tất cả các bit của mã 8421 tương ứng.

$$\text{Ví dụ} \quad M = (12)_{10} = (1100)_{8421} = (0011)_{\text{bù 1}}.$$

hay nói cách khác 0011 là số bù logic của 1100.

- Mã bù hai (bù số học) có được bằng cách lập bù logic (bù một) của các số tương ứng sau đó đều cộng thêm 1 với mọi số bù một vừa nhận được. (xem cột $A_3 \div A_0$).

- Mã 2421 có được bằng cách chỉ sử dụng 5 tổ hợp đầu và cuối các biến vào, loại bỏ 6 tổ hợp nằm giữa (ứng với thứ tự thập phân là 5 ÷ 10).

Mã thừa 3 tương tự có được bằng cách loại bỏ 3 tổ hợp đầu (0,1,2) và 3 tổ hợp cuối (13, 14, 14) của các biến vào.

- Các mã 2421 và thừa số 3 có tính chất sau : từng cặp từ đối xứng trên dưới là bù logic của nhau.

Ví dụ tổ hợp đầu tiên với mã 2421 là 0000

tổ hợp cuối cùng là 1111

hay với mã thừa 3 là 0011 và 1100.

Tính chất này giống trong hệ thập phân với từng cặp số đối xứng trên dưới bù đến 9 là 0 và 9, 1 và 8, 2 và 7, 3 và 6, 4 và 5.

- Việc xây dựng cấu trúc của các bộ biến đổi mã bảng (3.16) thực hiện giống như đã làm phần trên : Viết bìa Cacho cho các hàm ra $A_0 \div A_3$ hoặc ... $D_0 \div D_3$, tối thiểu hóa chúng theo các biến vào $x_0 \div x_3$, từ đó xây dựng cấu trúc từ các phân tử logic cơ bản.

Việc sử dụng thích hợp các loại mã trên đặc biệt thuận lợi trong một số trường hợp tính toán số nhị phân, chẳng hạn thay phép trừ hai số nhị phân bằng phép cộng với bù một hoặc bù hai của số trừ [6].

3.9.5. Bộ dồn kênh và tách kênh

a - Bộ dồn kênh để hợp liên tiếp các trạng thái logic của nhiều biến và truyền chúng trên một lối ra duy nhất, thực hiện hàm ra (ví dụ với 6 đầu vào, 1 đầu ra)

$$y = \bar{a}_1 \bar{a}_0 \cdot x_0 + \bar{a}_1 a_0 x_1 + a_1 \bar{a}_0 x_2 + a_1 a_0 x_3$$

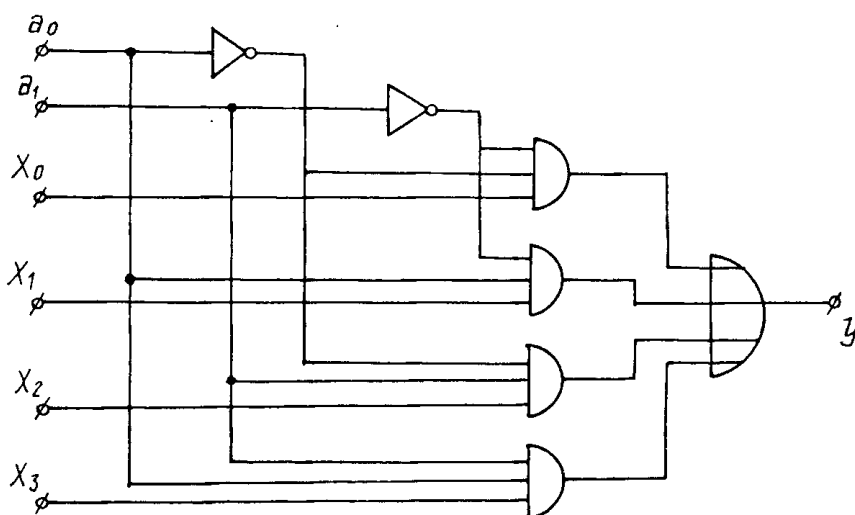
Trong đó a_1, a_0 là hai lối vào biến địa chỉ.

x_0, x_1, x_2, x_3 là các lối vào biến trạng thái.

Tùy theo trạng thái của lối vào địa chỉ mà lối ra y sẽ được nối với 1 trong các lối vào thông tin x_0, x_1, x_2 hay x_3 .

• Tổng quát với n lối vào địa chỉ $a_0 \div a_{n-1}$, lối ra y sẽ được nối với 1 trong 2^n tín hiệu thông tin ở lối vào.

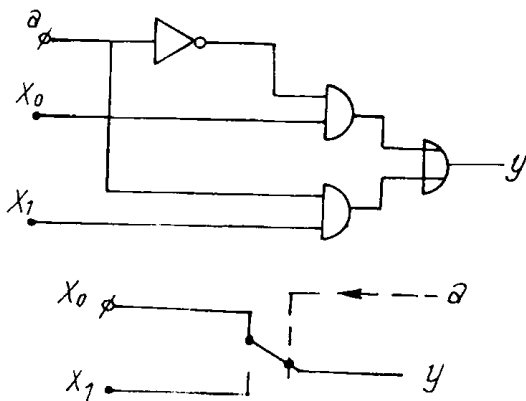
Hình 3.75 cho cấu trúc của một bộ dồn kênh 4 lối vào thông tin.



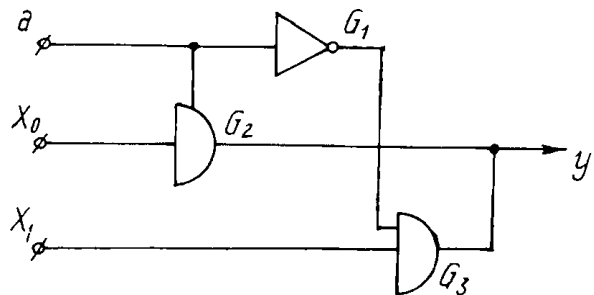
Hình 3.75 : Bộ dồn kênh 4 lối vào (vi mạch SN74153).

• Vì có sự tương ứng đơn trị giữa một địa chỉ (một tổ hợp các a_i) với một lối vào thông tin (có chỉ số thập phân của biến vào tương ứng với giá trị nhị phân của tổ hợp a_i) có thể dùng bộ dẫn kênh để thực hiện 1 hàm logic bất kì của các tín hiệu địa chỉ bằng cách trên các lối và x_j người ta đặt các tín hiệu cố định ương ứng với giá trị yêu cầu của hàm logic.

• Dạng đặc biệt của bộ dẫn kênh là sơ đồ có hai lối vào có vai trò của một chuyển mạch điện tử có điều khiển (h.3.76a). Dạng hình 3.76a có thể thu gọn hơn nhờ việc sử dụng các phần tử logic NAND có tăng ra 3 trạng thái, khi đó nhờ tín hiệu vào đặc biệt điều khiển mà tăng ra đẩy kéo trở nên "không phân biệt" (trạng thái trở kháng cao) (xem phần 3.7.2d và hình 3.76b).



Hình 3.76a : Bộ dẫn kênh 2 lối vào (bộ chuyển mạch có điều khiển).



Hình 3.76b : Bộ dẫn kênh trên cơ sở dùng các phần tử 3 trạng thái ra ổn định.

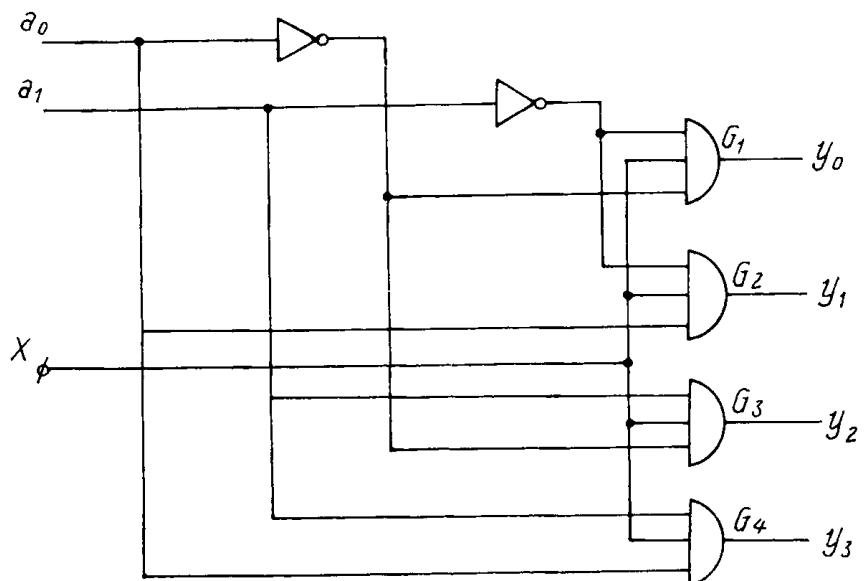
b - Bộ tách kênh thực hiện nhiệm vụ phân phối 1 tín hiệu lối vào cho nhiều địa chỉ khác nhau (còn gọi là bộ chọn kênh).

Hình 3.77 : đưa ra một cấu trúc của bộ chọn kênh dùng các phần tử AND có 4 lối ra.

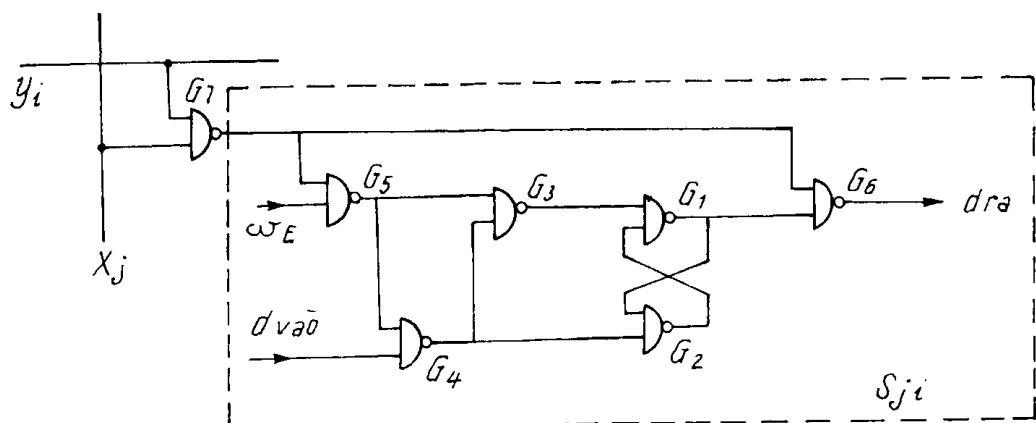
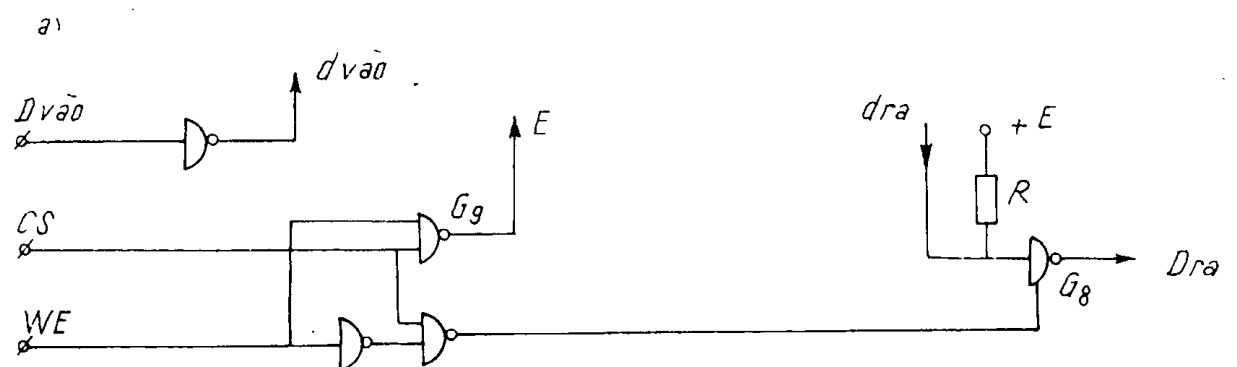
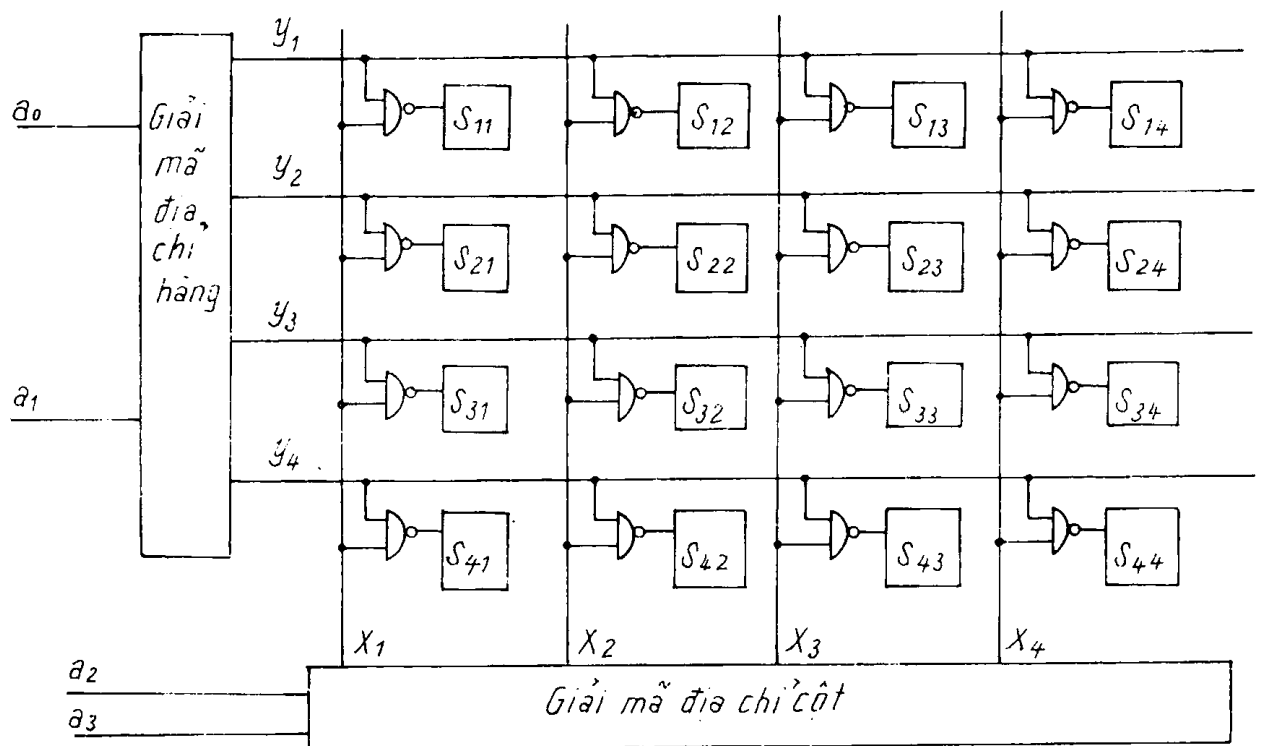
Tín hiệu lối vào đưa tới cả 4 cửa logic $G_1 \div G_4$. Tùy tổ hợp tín hiệu địa chỉ a_0 và a_1 mà 1 trong các cửa logic $G_1G_2G_3$ hoặc G_4 mở cho nối thông tin từ lối vào tới lối ra có chỉ số tương ứng

$$(y_3 = x \text{ khi } a_1a_0 = 11\dots)$$

Trường hợp đặc biệt khi $x = 1 =$ hằng số, bộ tách kênh làm việc như một bộ giải mã "1 từ n".



Hình 3.77 : Bộ chọn kênh 4 lối ra (SN 74155) 2 x4 lối ra.



Hình 3.78 : Sơ đồ cấu trúc trong của bộ nhớ RAM 16 bit (a) Sơ đồ một ô nhớ của nó (b).

Thuộc về các hệ logic thông dụng còn có các bộ nhớ bán dẫn RAM, ROM, PROM, EPROM hoặc ma trận logic được chương trình hóa PLA [4], được giới thiệu trong phần dưới.

3.9.6. Các bộ nhớ bán dẫn

a - Bộ nhớ RAM là loại bộ nhớ trong đó nếu có địa chỉ của một từ nào đó thì có thể nhớ vào nó hoặc đọc từ nó được thông tin theo địa chỉ này (bằng cách tiếp cận bất kì).

Cấu trúc bên trong của một bộ nhớ RAM dung lượng 16 bit

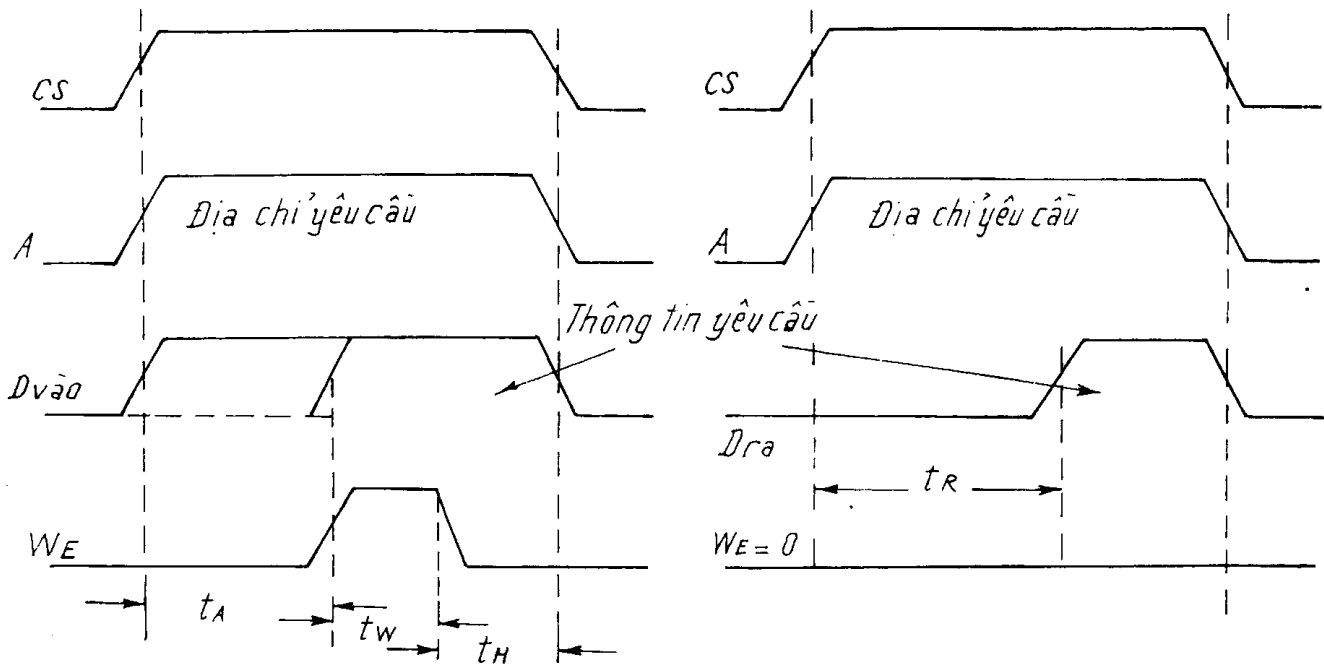
(vi mạch : 16×4 bit SN 74S189

26×1 bit SN 74S201

2024×1 bit SN 93425 cho trên hình 3.78a và sơ đồ logic 1 mắt nhớ của nó hình 3.78b.

- Đây là 1 cấu trúc ma trận vuông (vì lí do công nghệ). Khi muốn tiếp cận vào một mắt nhớ nào đó, người ta cần đặt tín hiệu "1" logic lên các hàng và cột tương ứng.

Muốn vậy, vectơ địa chỉ $A = (a_0, \dots, a_n)$ sẽ được giải mã tương ứng nhờ bộ giải mã hàng và cột (kiểu "1 từ n"). Ngoài các đầu vào địa chỉ kể trên, RAM còn có một đầu vào thông tin $D_{vào}$, một đầu ra thông tin D_{ra} , một đầu ghi WE, một đầu vào tiếp cận (chọn vở) để tổ chức làm việc ghép giữa một vài RAM khi chúng dùng chung một đường số liệu : lúc $CS = 0$ ứng với một RAM nào đó, lối ra thông tin D_r của nó được chuyển đến trạng thái trở kháng cao và không ảnh hưởng gì tới việc đang truyền số liệu khác trên kênh thông tin chung đang làm việc với một RAM khác có $CS = 1$.



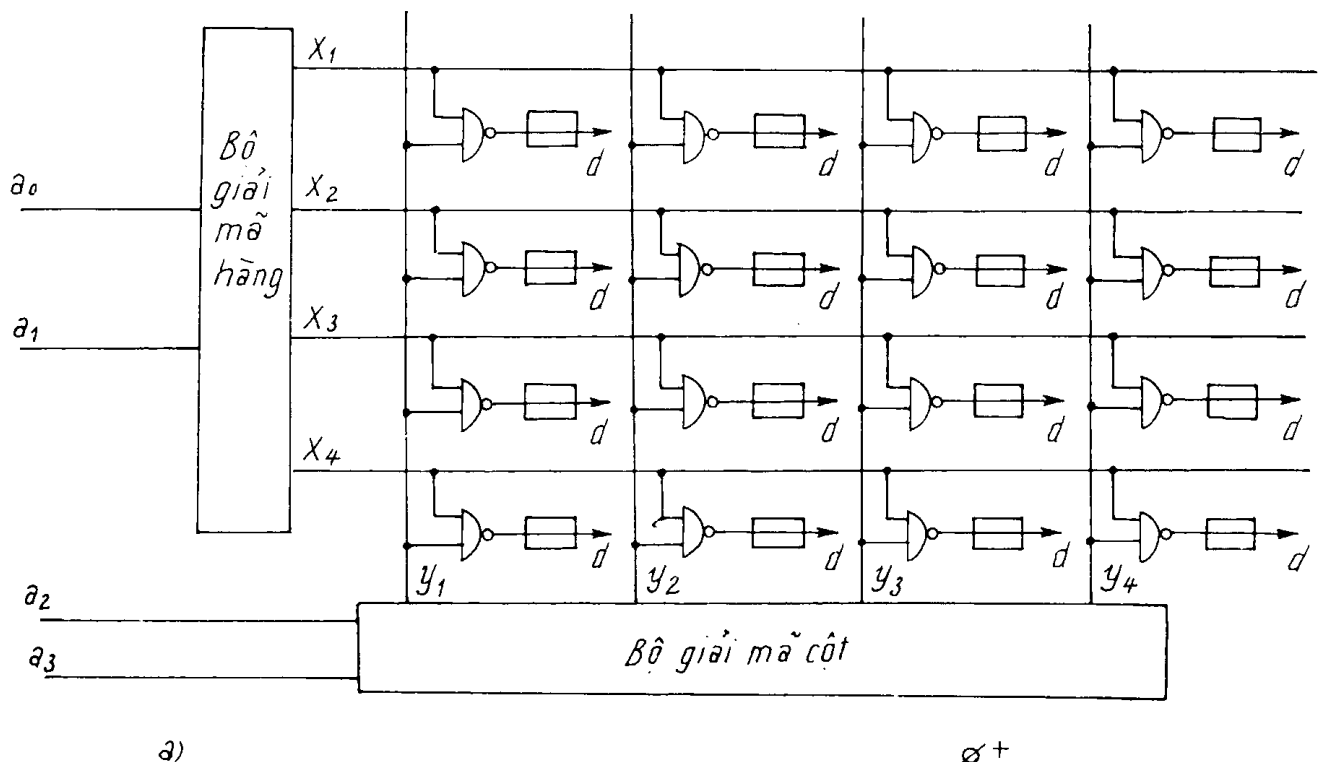
Hình 3.79 : Giản đồ thời gian của quá trình :

Ghi thông tin (a) và đọc thông tin (b))

t_A : Thời gian giải mã địa chỉ ; t_R : Thời gian tiếp cận bộ nhớ
 t_W : Thời gian tối thiểu để ghi trước khi đọc ; t_H : Thời gian trễ thông tin.

Lúc cần ghi ($WE = 1$), nhờ liên hệ logic phù hợp, lối ra D_{ra} cũng ở trạng thái trở kháng cao. Khả năng nối các đầu vào, ra (D_{v} , D_{ra}) như vậy cho phép truyền thông tin trên cả hai hướng (ghi và đọc) trên cùng một kênh số liệu chung (BUS số liệu hai hướng). Nhờ phần tử logic G_8 mà việc chuyển bộ nhớ vào trạng thái "ghi" sẽ bị cấm lúc $CS = 0$ (do đó phòng ngừa việc ghi sai thông tin vào RAM khi nó chưa được chọn để nhận thông tin). Từ hình 3.78b việc ghi thông tin chỉ xảy ra khi G_5 và G_7 mở ($x_i = y_j = WE = 1$). Còn việc đọc chỉ xảy ra khi G_6 và G_7 mở, đồng thời G_8 mở nhờ $CS = 1$. Các lối ra của tất cả các mắt nhớ đều đấu với nhau theo cách đấu tầng ra - cực colectơ để ngõ (xem 3.7.2e).

Một đặc điểm chung là khi mất nguồn nuôi, thông tin trong RAM bị xóa nên chúng còn được gọi là bộ nhớ phụ thuộc nguồn.



Hình 3.80 : Sơ đồ nguyên lý ROM 6 bit.

- Các tính chất động : Để đảm bảo cho RAM làm việc bình thường cần phải đảm bảo một quan hệ thời gian nào đó giữa các tín hiệu lối vào.

Hình 3.79a và b là giản đồ thời gian của quá trình ghi và đọc thông tin.

Xung cho phép ghi W_E đặt vào sau khi đã giải mã địa chỉ xong (sau 1 khoảng thời gian t_A) để ghi tín hiệu độ dài xung W_E không được nhỏ hơn giá trị tối thiểu T_W . Vì số mắt nhớ trong RAM nhiều, thông tin trên lối vào cần lưu ý giữ một thời gian T_{H1} sau khi hết xung ghi.

Sau khi xác lập địa chỉ, thông tin về việc tìm đúng địa chỉ yêu cầu sẽ xuất hiện sau một khoảng thời gian t_R gọi là thời gian tiếp cận bộ nhớ khi đọc ($10 \div 30\text{ns}$).

b - Bộ nhớ ROM là loại bộ nhớ chương trình được ghi vào ngay từ khi chế tạo (bộ nhớ cố định Read Only Memory).

Sơ đồ nguyên lý ROM (ví dụ vi mạch PROM SN74S288, 32×8 bit) được vẽ trên hình 3.80a (loại 6 bit) các bộ giải mã địa chỉ hàng cột giống trong bộ nhớ RAM. Việc ghi mỗi bit thông tin được thực hiện bằng cách giữ nguyên hay phá hủy cân chỉ tiếp điểm giữa lối ra của phân tử NAND tương ứng và đầu chung d ("1" ứng với giữ nguyên, "0" phá hủy). Các phân tử NAND ở đây là loại colectơ có cực để ngỏ. Chỉ tranzito ứng với mất nhớ được sử dụng mới mở $d = 1$ còn ngược lại $d = 0$ (hình 3.80b).

Thông tin chứa trong ROM không bị mất khi mất nguồn nuôi.

ROM được chế tạo để thực hiện các công việc cụ thể, đã được chuẩn hóa trong kỹ thuật số ví dụ như bộ biến đổi mã...

Ngoài ra còn có thể ghi lập trình sau khi chế tạo (PROM) công việc ghi chương trình vào PROM do người sử dụng thực hiện (nhờ các máy lập trình đặc biệt). Nếu PROM được chế tạo theo công nghệ MOS thì việc lập trình thực hiện bằng cách phóng các điện tích (là quá trình thuận nghịch) có thể xóa thông tin đã vào PROM bằng tia cực tím, ta có bộ nhớ xóa được (EPROM) .

Trên một địa chỉ của PROM của ROM thường ghi một từ độ dài 4 hay 8 bit (chứ không phải 1 bit như trong RAM), vì thế chúng có vài lối ra thông tin.

Chương 4

CÁC BỘ BIẾN ĐỔI ĐIỆN ÁP VÀ DÒNG ĐIỆN

Trong các ngành công nghệ thiết bị máy móc sử dụng năng lượng điện dưới những dạng khác nhau. Chương này sẽ trình bày kỹ thuật biến đổi các dạng điện năng bao gồm :

- Biến năng lượng điện xoay chiều công nghiệp hay của máy phát điện xoay chiều sẵn có thành những năng lượng điện một chiều muốn có đó là kỹ thuật chỉnh lưu. Dạng biến đổi này được dùng rộng rãi nhất trong các dạng biến đổi năng lượng điện.

- Biến năng lượng điện một chiều sẵn có thành năng lượng điện xoay chiều thích hợp : đó là kỹ thuật nghịch lưu.

Ngoài ra, trong thực tế đôi khi còn sử dụng các quá trình biến năng lượng điện một chiều sẵn có thành năng lượng điện một chiều ở mức thích hợp và quá trình biến năng lượng điện tần số sẵn có (thường là tần số công nghiệp 50Hz hoặc 60Hz) thành năng lượng điện tần số cao hơn xem [7] tuy vậy vì khuôn khổ chương trình có hạn nên ở đây ta không đề cập tới.

4.1 - CHỈNH LƯU CÔNG SUẤT LỚN KHÔNG ĐIỀU KHIỂN VÀ CÓ ĐIỀU KHIỂN

Trong chương II chúng ta đã đề cập đến các bộ chỉnh lưu một pha, đó là các bộ chỉnh lưu công suất nhỏ. Trong công nghiệp nhiều trường hợp người ta còn sử dụng bộ chỉnh lưu tiêu thụ nguồn điện 3 pha (chỉnh lưu công suất lớn). Ưu điểm của bộ chỉnh lưu 3 pha là :

- Sử dụng nguồn điện 3 pha rất thuận tiện vì cho công suất ra tải lớn.
- Dạng điện áp và dòng điện ra tải ít đập mạch, do đó vấn đề lọc sẽ đơn giản, rẻ tiền.

Để đơn giản hóa ta thường lý tưởng hóa :

a/ Bỏ qua các thành phần điện trở của nguồn biến áp và của phần tử chỉnh lưu. Nhưng ta phải tính đến cảm kháng của các cuộn dây biến áp vì chúng có ảnh hưởng rõ rệt đến dạng dòng điện và điện áp chỉnh lưu. Ta gọi chúng là cảm kháng anốt

$$X_a = X_2 + X_1 \left(\frac{W_2}{W_1} \right) \quad (4-1)$$

X_1 , X_2 là cảm kháng của các cuộn dây do từ thông dò tạo nên ; W_1 và W_2 là số vòng các cuộn dây sơ cấp và thứ cấp biến áp.

b/ Bỏ qua dòng điện ngược của các phần tử chỉnh lưu.

c/ Coi cảm kháng của tải (bộ lọc) là rất lớn :

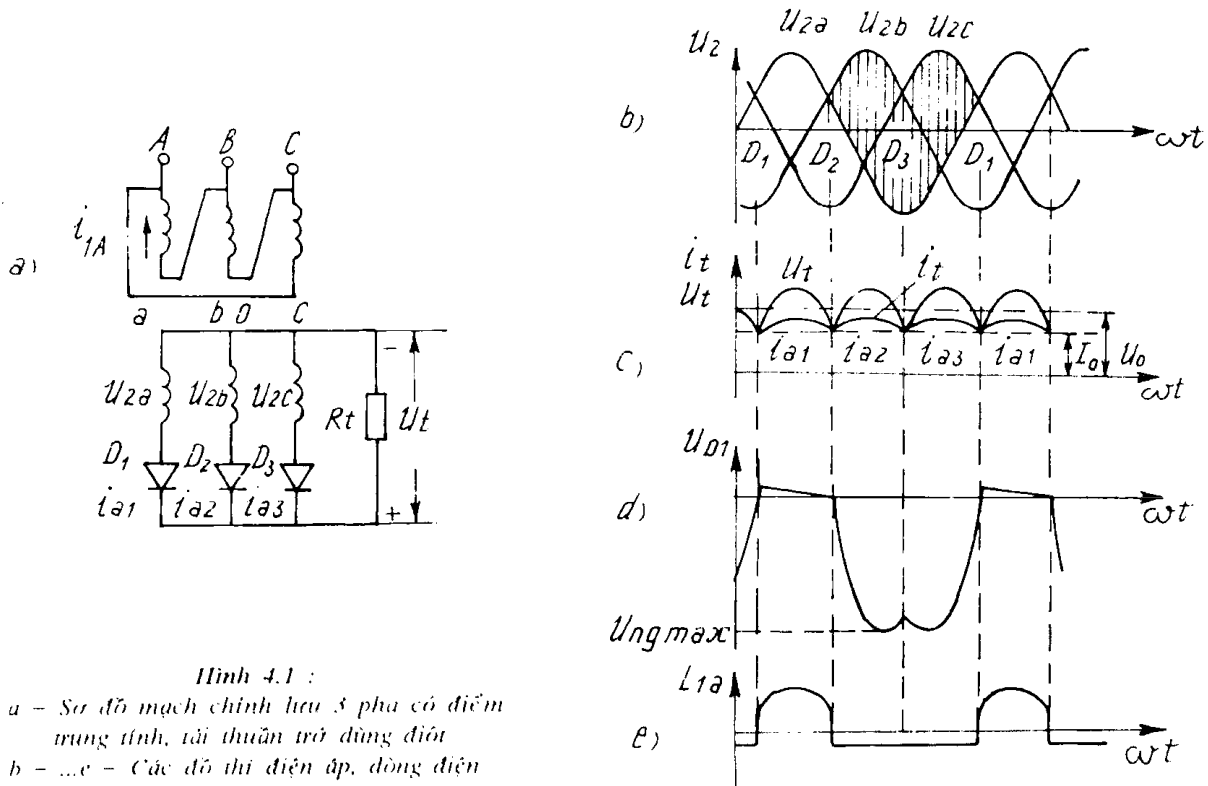
$X_L = \infty$ nếu như $X_L \geq 5R_L$ khi có đường cong dòng điện ra tải coi là bằng phẳng lý tưởng.

4.1.1. Bộ chỉnh lưu 3 pha có điểm trung tính không điều khiển, tải thuần trở

$$X_n = 0$$

$$X_l = 0$$

Các cuộn dây sơ cấp có thể được nối theo hình sao hay tam giác, trong hình 4.1a biểu thị mạch sơ cấp nối theo hình tam giác, các thứ cấp nối theo hình sao.



Hình 4.1 :
a - Sơ đồ mạch chỉnh lưu 3 pha có điểm trung tính, tải thuần trở dùng diôt
b - ...e - Các đồ thị điện áp, dòng điện trong sơ đồ.

Điểm trung tính là O, các diôt có catôt đấu chung với nhau, khi đó điện áp một chiều ra tải là điện áp dương. Các diôt sẽ dẫn điện trong 1/3 chu kì khi điện áp pha tương ứng với nó lớn hơn điện áp 2 pha kia.

Trên hình 4.1b ứng với khoảng từ θ_1 đến θ_2 điện áp pha A là U_{2a} lớn hơn điện áp hai pha kia nên D_1 dẫn dòng i_{a1} cũng là dòng điện bên thứ cấp. Trong khoảng θ_2 đến θ_3 : U_{2b} lớn hơn điện áp hai pha kia nên D_1 ngừng dẫn và D_2 dẫn dòng i_{b2} ... Vậy dòng trên tải i_l sẽ là dòng lần lượt của các diôt D_1 D_2 và D_3 (h.4.1c). Vì tải thuần trở nên dạng điện áp tải U_l có dạng như i_l và nếu bỏ qua sụt áp thuận trên các diôt khi phân cực thuận thì U_l có giá trị bằng điện áp thứ cấp của pha dẫn điện tương ứng.

Trị số trung bình của điện áp chỉnh lưu khi bỏ qua các tổn hao là :

$$U_0 = \frac{1}{2\pi/3} \int_{-\pi/3}^{+\pi/3} \sqrt{2} U_2 \cos \omega t d\omega t = \frac{\sqrt{2} U_2 \sin \pi/3}{\pi/3} = 1,17 U_2 \quad (4-2)$$

U_2 là trị số hiệu dụng điện áp bên thứ cấp

Trị số trung bình của dòng điện qua tải :

$$I_0 = \frac{U_0}{R_l} \quad (4-3)$$

Trị số trung bình của dòng điện qua diôt $I_n = I_0/3$.

Trị số cực đại của dòng điện qua điôt

$$I_{\text{omax}} = I_{\text{imax}} = 1,21I_0 \quad (4-4)$$

Điện áp ngược trên điôt không dẫn điện bằng hiệu số giữa điện áp pha đang dẫn điện và điện áp pha tương ứng với điôt đó. Ví dụ điện áp ngược trên D_1 từ O_2 đến O_4 có giá trị được biểu thị bằng độ cao của các đoạn gạch thẳng đứng trên hình 4.1b và được biểu thị trên tọa độ $U_{D1}(\omega t)$ như hình 4.1d.

Giá trị cực đại của điện áp ngược :

$$U_{\text{ngmax}} = \sqrt{3} \cdot \sqrt{2} \cdot U_2 = 2,09U_2 \quad (4-5)$$

Căn cứ vào các số liệu trên để chọn điôt chỉnh lưu.

Nếu coi dòng thứ cấp là không đập mạch ($I_2 = I_0$) thì giá trị hiệu dụng của dòng thứ cấp :

$$I_2 = \frac{I_0}{\sqrt{3}} = I_a \sqrt{3} \quad (4-6)$$

Dòng điện sơ cấp I_{1A} có thể suy từ dòng điện thứ cấp khi bỏ qua thành phần một chiều

$$i_{1A} = n \left(i_{2a} - \frac{I_0}{3} \right) \quad (4-7)$$

Dạng i_{1A} như hình 4.1c biểu thị công suất tính toán cho biến áp có thứ cấp dấu hình sao đã được tính là :

$$P_{\text{b.a}} = \frac{3U_1I_1 + 3U_2I_2}{2} = 1,34P_0 \quad (4-8)$$

Trong đó P_0 là công suất chỉnh lưu tải : $P_0 = I_0U_0$

4.1.2. Bộ chỉnh lưu 3 pha có điểm trung tính tải cảm tính $X_0 \neq 0$; $X_1 = \infty$

Sơ đồ bộ chỉnh lưu 3 pha có điểm trung tính, tải cảm tính được biểu thị ở hình 4.2a. Ở đây do $X_1 = \infty$ nên sự lọc các sóng hài của dòng chỉnh lưu coi như là triệt để : $i_1 = I_0$ ta xét thời điểm D_1 đang dẫn. Do đó cảm kháng anôt X_{a1} đáng kể nên từ O_1 đến O_2 sự dẫn điện sẽ không chuyển tức thời từ D_1 sang D_2 mà có một khoảng thời gian chuyển mạch. τ ứng với góc γ xem hình 4.2b, c cả D_1 và D_2 đều dẫn. Cũng như mạch chỉnh lưu một pha ở trên, trong thời gian chuyển mạch có dòng điện khép kín i_{2k} gây ra do tác dụng của sức điện động U_{3k} giữa các pha sụt trên 2 cảm kháng X .

Do U_{2a} và U_{2b} lệch pha nhau một góc $\frac{2\pi}{3}$ nên ta có :

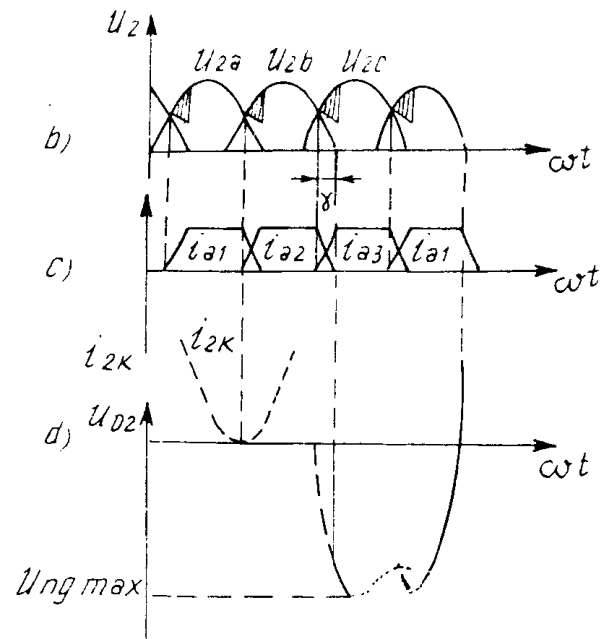
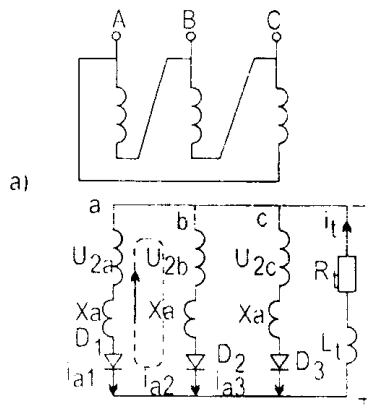
$$U_{3k} = U_{2b} - U_{2a} = 2\sqrt{2} U_2 \sin \frac{\pi}{3} \sin \theta$$

θ là góc dẫn điện tính từ giao điểm của U_{2a} và U_{2b} trong 1/2 chu kỳ dương.

Dòng chuyển mạch i_{2k} có dạng như hình 4.2a và có chiều khép kín như hình 4.2a biểu thị là giảm dần i_{a1} và tăng dần i_{a2} trong thời gian chuyển mạch.

Đúng thời điểm bắt đầu quá trình chuyển mạch

$$U_{2c} = U_{2b} \text{ thì } i_{2k} = 0$$



Hình 4.2 : a) Sơ đồ mạch chỉnh lưu 3 pha có điểm trung tính khi $X_a \neq 0$ và $X_l = \infty$ b),...d) Các dạng điện áp, dòng điện áp trên mạch.

Nếu gọi ΔU_x là sụt áp tức thời trên cảm kháng X_a ta có :

$$\Delta U_x = \frac{U_{2b} - U_{2a}}{2} \quad (4-9)$$

Trị số trung bình của sụt áp trên X_a trong thời gian chuyển mạch :

$$\Delta U_x = \frac{I_o \cdot x_a}{2\pi/3} \quad (4-10)$$

Giá trị ΔU_x ảnh hưởng đến độ dốc của đặc tuyến ngoài khi $X_l = \infty$

$$U_d = E_o - U_a - \Delta U_x \quad (4-11)$$

Ở đây, E_o là điện áp chỉnh lưu trung bình trên tải khi bỏ qua mọi tổn hao (cũng là điện áp chỉnh lưu trung bình khi không tải)

$$E_o = \frac{\sqrt{2}U_2 \sin(\pi/3)}{\pi/3} \quad (4-12)$$

giá trị điện áp ngược trên diốt xuất hiện khi diốt không dẫn điện (h. 4.2d) áp dụng cho D. Giá trị $U_{ng\max}$ vẫn như trong trường hợp không có sự tham gia của X_a và X_l nghĩa là :

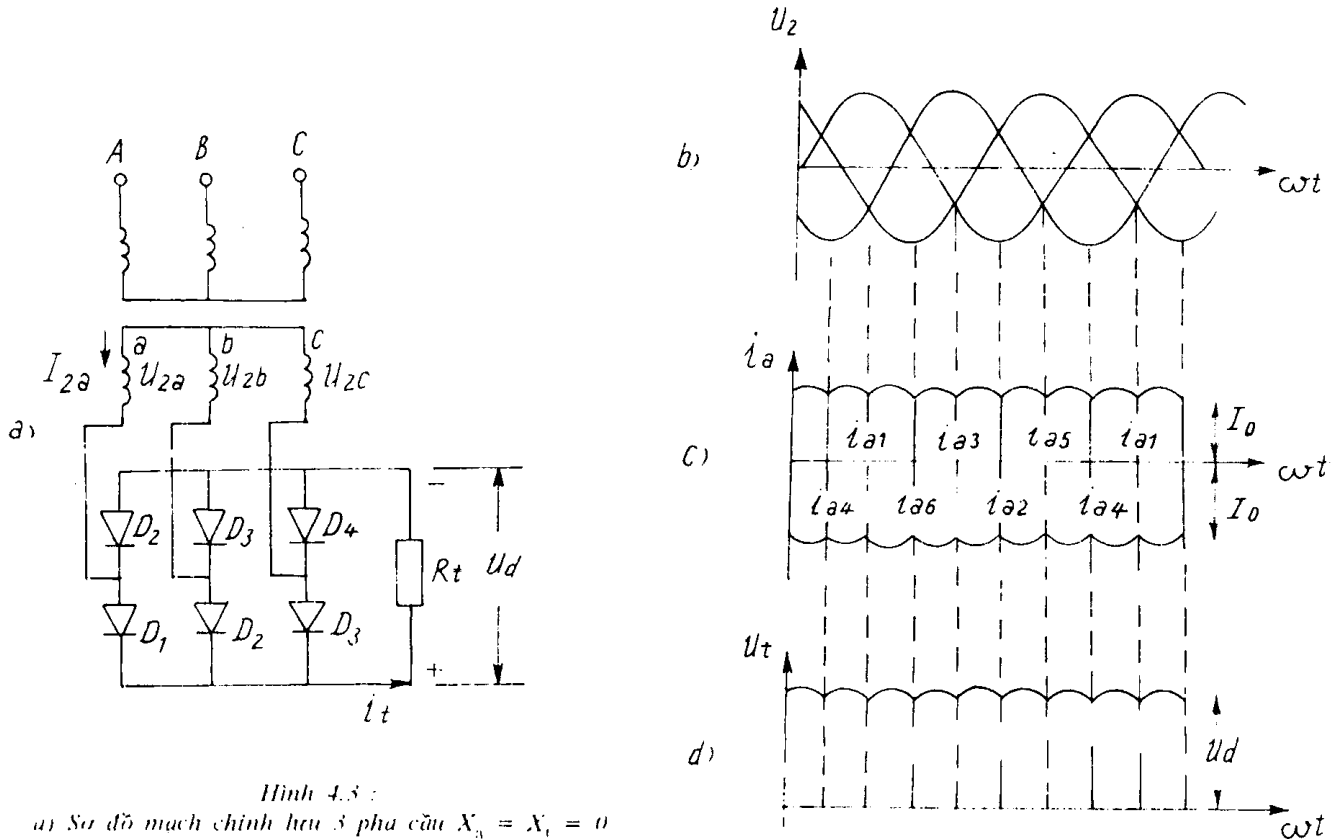
$$U_{ng\max} = \sqrt{3} \cdot \sqrt{2} \cdot U_2 \quad (4-13)$$

4.1.3. Bộ chỉnh lưu 3 pha cầu tải thuần trở có $X_a = X_l = 0$

(mạch Lariônôp)

Sơ đồ mạch điện chỉnh lưu 3 pha cầu được trình bày trên hình 4.3a. Các cuộn sơ cấp nối theo hình sao hay hình tam giác, còn các cuộn thứ cấp nối theo hình sao.

Ta chia các diôt ra 2 nhóm : Nhóm lẻ và nhóm chẵn, trong đó các diôt thuộc nhóm lẻ có các catôt đấu chung nhau và nối vào cực dương của U_1 , vì vậy nên diôt thuộc nhóm lẻ sẽ dẫn điện khi điện thế anôt của nó dương nhất (tức là điện áp pha tương ứng với nó là lớn nhất). Các diôt thuộc nhóm chẵn có các anôt nối chung nhau và nối vào đầu âm của U_1 . Vì vậy diôt sẽ dẫn điện khi catôt của nó âm nhất (tức là điện áp pha tương ứng với nó là nhỏ nhất). Thời gian dẫn điện của mỗi diôt bất kì là $1/3$ chu kì tương ứng với góc pha $2\pi/3$ (h.4.3b,c).



Hình 4.3 :

- a) Sơ đồ mạch chỉnh lưu 3 pha cầu $X_n = X_1 = 0$
b)... d) Dạng điện áp và dòng điện trong mạch.

Vậy tại bất kì thời điểm nào cũng có một diôt thuộc nhóm lẻ và 1 diôt thuộc nhóm chẵn dẫn dòng tải, vì coi $X_n = 0$ nên thời gian chuyển mạch là tức thời.

Điện áp tải U_1 là hiệu số các điện áp pha bên thứ cấp đang dẫn điện. Trị số trung bình của điện áp chỉnh lưu U_0 trên tải là :

$$U_0 = \frac{\sqrt{2}U_2 \sin(\pi/6)}{\pi/6} = 2,34U_2 \quad (4-14)$$

Vậy so với công thức (4-2) ta thấy so với mạch chỉnh lưu 3 pha có điểm trung tính với cùng điện áp tải U_0 mạch chỉnh lưu cầu có thể giảm 2 lần điện áp pha bên thứ cấp. Do đó vấn đề cách điện sẽ đơn giản, nhất là trường hợp dùng cao áp.

Trị số trung bình của dòng điện qua diôt là :

$$I_a = \frac{I_0}{3} \quad (4-15)$$

Trong đó I_0 là giá trị trung bình của dòng điện ra tải.

Giá trị cực đại của dòng điện qua diôt là :

$$I_{\text{amax}} = I_{\text{imax}} = 1,045I_0 \quad (4-16)$$

Nếu bỏ qua sụt áp trên diôt dẫn điện, điện áp ngược cực đại trên diôt không dẫn điện là :

$$U_{\text{ngmax}} \sqrt{3} \cdot \sqrt{2} U_2 = 1,045U_0 \quad (4-17)$$

Dòng thứ cấp chạy qua pha A là dòng điện lần lượt qua D_1D_2 có thời gian tồn tại là $T/3$ (h.4.3c) : trị số hiệu dụng dòng thứ cấp là :

$$I_2 = \sqrt{\frac{1}{2\pi} I_0^2 \cdot \frac{4\pi}{3}} = \sqrt{\frac{2}{3}} \cdot I_0 \quad (4-18)$$

Dạng dòng sơ cấp tương tự dạng dòng thứ cấp, trị số khác nhau bởi hệ số biến áp n .

Công suất biến áp là :

$$P_{\text{ba}} = 3U_1I_1 = 3U_2I_2 = 1,045P_0 \quad (4-19)$$

ở đây $P_0 = I_0U_0$.

Mạch chỉnh lưu 3 pha cầu có những ưu điểm sau :

- Điện áp ra U_d ít đập mạch (trong một chu kì đập mạch 6 lần) do đó vấn đề lọc rất đơn giản.

- Điện áp ngược trên mỗi diôt nhỏ.

- Công suất biến áp giảm nhỏ.

Do đó mạch này rất thông dụng trong chỉnh lưu công suất lớn.

4.1.4. Bộ chỉnh lưu 3 pha cầu tải cảm tính có $X_a \neq 0$ và $X_l = \infty$

Sơ đồ mạch điện bộ chỉnh lưu 3 pha cầu khi cảm kháng trong mạch anôt $X_a \neq 0$, tải cảm tính có $X_l = \infty$ được vẽ ở hình 4.4a. Các diôt thuộc sơ đồ cũng được chia ra hai nhóm lẻ và chẵn như trên. Dòng điện tải trong một thời điểm sẽ chạy qua một diôt nhóm lẻ và một diôt nhóm chẵn, nhưng khác với trường hợp trên là do có cảm kháng X_a nên sự chuyển mạch dòng điện trong một nhóm không tức thời từ diôt này sang diôt kia mà có một khoảng thời gian chuyển mạch. Ví dụ trong khoảng γ có sự chuyển mạch từ D_1 sang D_3 ... Các quá trình chuyển mạch xảy ra cách xa nhau một khoảng $2\pi/6$. Trong thời gian chuyển mạch i_{2k} ngược chiều với i_{n1} làm i_{n1} giảm và cùng chiều với i_{a3} làm i_{a3} tăng từ 0 đến I_0 . Các khoảng chuyển mạch khác tương tự. Do $X_l = \infty$, nên ngoài thời gian chuyển mạch dòng điện qua D đang dẫn sẽ giữ giá trị không đổi là I_0 (xem h.4.4c).

Giá trị sụt áp trên X_a trong thời gian chuyển mạch là :

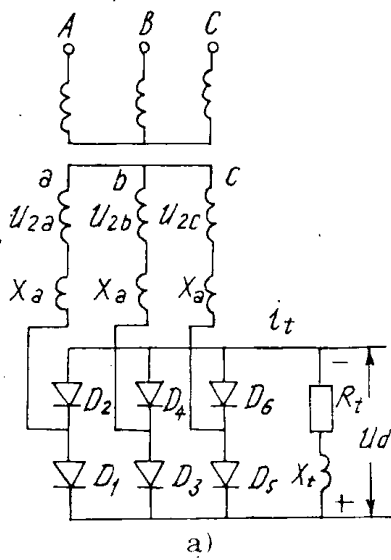
$$\Delta U_x = \frac{X_a \cdot I_0}{2\pi/m} = \frac{3 \cdot X_a \cdot I_0}{\pi} \quad (4-20)$$

ở đây, $m = 6$

Dạng điện áp chỉnh lưu U_d và như hình 4.4d chính là hàm số của các điện áp pha đang dẫn điện, U_d đập mạch 6 lần trong một chu kì. Điện áp trên tải R_l có dạng gần như bằng phẳng vì dòng qua R_l bằng phẳng. Giá trị trung bình của điện áp chỉnh lưu :

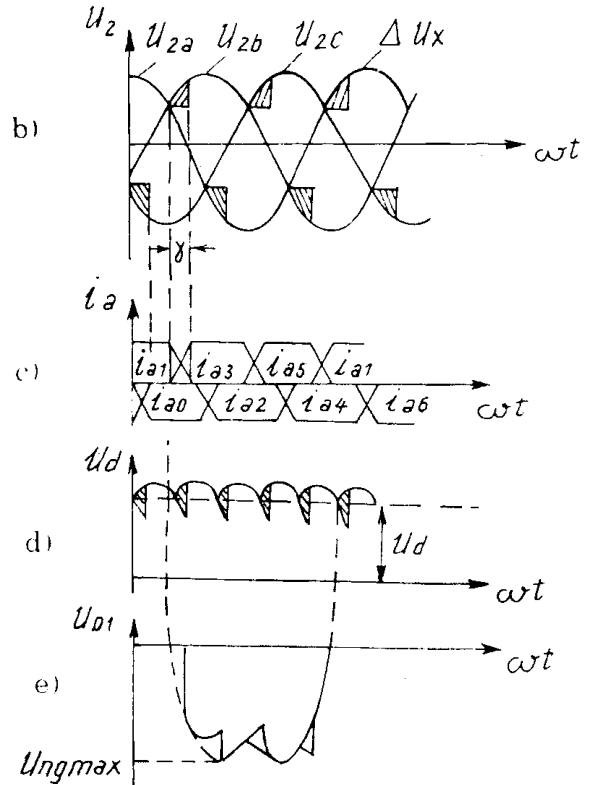
$$U_0 = 2,34U_2 - \frac{6I_0 \cdot X_a}{2\pi \Delta U_x} \quad (4-21)$$

E_0 là giá trị điện áp không tải.



Hình 4.4 : a) Sơ đồ bộ chỉnh lưu 3 pha cầu có
 $X_a \neq 0$; $X_l = \infty$

b) ... e) Dạng điện áp, dòng điện trong sơ đồ.



Công thức (4-21) biểu thị đặc tuyến ngoài của bộ chỉnh lưu.

Trị số trung bình của dòng điện qua diốt là :

$$I_a = \frac{I_o}{3}$$

và giá trị cực đại qua diốt :

$$I_{amax} = 1,045I_o \quad (4-22)$$

Điện áp ngược trên diốt bằng hiệu của điện áp pha đang dẫn điện và pha tương ứng với nó có kể đến ảnh hưởng của ΔU_x (h.4.4e)

$$U_{ugmax} = \sqrt{6}U_2 = 1,045U_o \quad (4-23)$$

Dựa vào các biểu thức (4-22) và (4-23) để chọn diốt chỉnh lưu. Công thức tính công suất cho biến áp giống mạch thuận trở.

4.2- BỘ CHỈNH LƯU 3 PHA CÓ ĐIỀU KHIỂN

Bộ chỉnh lưu 3 pha có điều khiển có thể dùng đèn có khí hoặc tiristo, chế độ điều khiển tương tự nhau. Vì mạch dùng đèn có khí hiện nay ít dùng nên ở đây ta chỉ xét bộ chỉnh lưu điều khiển bằng tiristo.

4.2.1. Bộ chỉnh lưu ba pha có điều khiển có điểm trung tính

(Khi $X_a \neq 0$ và $X_l = \infty$)

Sơ đồ mạch điện được biểu thị ở hình 4.5a. Do các tiristo được khống chế nên khác với mạch chỉnh lưu dùng diốt ở chỗ là các tiristo dẫn điện bắt đầu muộn hơn một góc α . Sau đó là khoảng thời gian chuyển mạch ứng với góc chuyển mạch γ (khi có dòng qua tiristo tăng lên đến giá trị ổn định I_o) giá trị này giữ mãi một khoảng là $2\pi/3 - \gamma$ và sau đó dòng điện qua tiristo lại giảm xuống trong khoảng γ (do quá trình chuyển

mạch). Vậy góc pha dẫn điện toàn phần của mỗi tiristo là $(2\pi/3 + \gamma)$ xem hình 4.5b và c.

Do ảnh hưởng của sự điều khiển tiristo và quá trình chuyển mạch nên dạng đường cong điện áp sụt trên tiristo (ví dụ T_{11}) sẽ thay đổi như hình 4.5d giá trị U_{t11} bằng độ cao của các đoạn mạch trên hình 4.5b, giá trị điện áp ngược cực đại khi $\alpha < 90^\circ$ và giá trị dòng điện qua tiristo cũng được tính như mạch không điều khiển. Người ta đã tính được phương trình đặc tuyến ngoài trong trường hợp này là :

$$U_d = \frac{3}{2\pi} I_o \cdot x_a \quad (4-24a)$$

4.2.2. Bộ chỉnh lưu ba pha cầu dùng tiristo

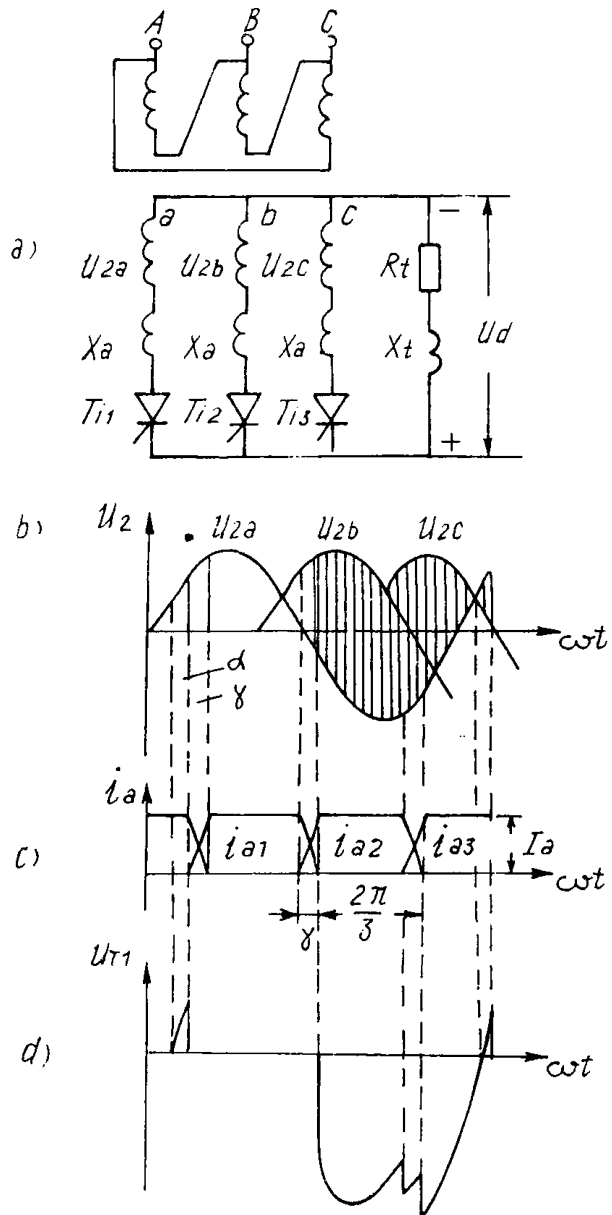
Ta phân chia ra mấy trường hợp sau đây :

$$a - X_a = 0 ; X_t = \infty$$

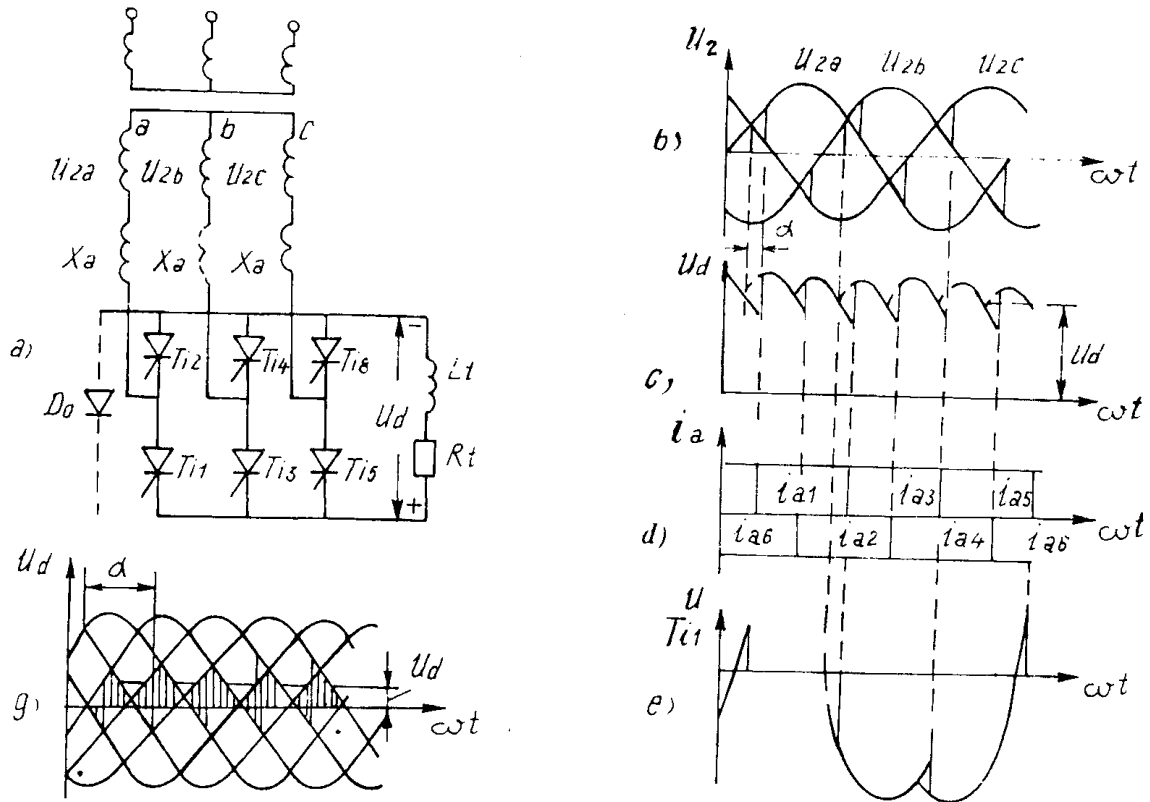
Sơ đồ mạch điện như hình 4.6a khi bỏ qua ảnh hưởng của X_a (cảm kháng mạch anôt). Các đồ thị điện áp và dòng điện cơ bản giống trường hợp không điều khiển chỉ khác là ở tiristo bị điều khiển nên chúng dẫn điện chậm sau 1 góc α , vì vậy điện áp chỉnh lưu U_d bị cắt bởi một khoảng ứng với α đó (h.4.6b và c). Vì vậy giá trị trung bình của U_d giảm đi. Khi ta thay đổi α thì có thể điều chỉnh được U_d .

Ở đây thường $L \rightarrow \infty$ nên các dòng điện qua các tiristo và qua tải R_t coi là bằng phẳng (h.4.6d). Cũng do có góc điều khiển α nên điện áp trên các tiristo (ví dụ trên T_{11} như hình 4.6e biểu thị) có dạng biến đổi so với trường hợp không điều khiển.

Đặc biệt trường hợp α trong khoảng $0^\circ < \alpha < 90^\circ$ thì đường cong điện áp U_d có phần âm, khi có giá trị trung bình, U_d giảm xuống và khi $\alpha = 90^\circ$ thì $U_d = 0$ (h.4.6.g) giá trị góc đó đặc trưng cho giới hạn dưới của điện áp điều chỉnh U_d . Để cắt bỏ phần âm ta có thể mắc diôt D_o như hình 4.6a. Khi tải thuần trở thì phần $U_d < 0$ không có mà chỉ có phần $U_d > 0$ khi $\alpha = 120^\circ$ thì $U_d = U_o$.



Hình 4.5 : a) Sơ đồ mạch chỉnh lưu có điểm trung tính điều khiển bằng tiristo
b) ... d) Dạng các điện áp và dòng điện trong mạch.



Hình 4.6 : a) Sơ đồ bộ chỉnh lưu cầu có điều khiển ;
b) ... g) Các dòng điện áp và dòng điện của mạch khi $x_a = 0$; $x_l = \infty$.

Sự phụ thuộc của U_d vào góc α khi $L_l = \infty$ được biểu thị như sau :

$$U_d = \frac{1}{\pi/3} \int_{-\pi/6 + \alpha}^{\pi/6 + \alpha} \sqrt{6} U_2 \sin \omega t d\omega t = U_{d0} \cos \alpha \quad (4-24b)$$

trong đó U_{d0} là giá trị trung bình của điện áp chỉnh lưu khi $\alpha = 0$.

Các giá trị khác được tính như bộ chỉnh lưu không điều khiển.

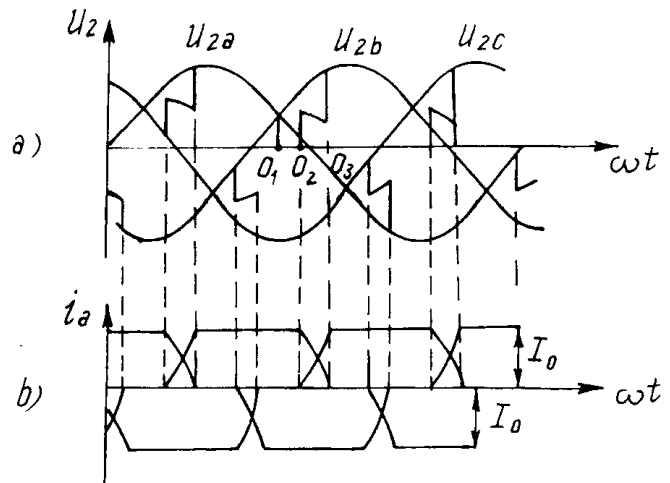
b - $X_a \neq 0$; $X_l = \infty$

Đồ thị điện áp và dòng điện chỉnh lưu được trình bày trên hình 4.7. Sơ đồ mạch điện được trình bày trên hình 4.6a khi kể đến X_a .

Trong khoảng $O_1 \div O_2$, các tiristo T_{11} và T_{16} mở cho dòng qua tải. Tại O_2 , ta cho xung điều khiển vào T_{13} . Vì $X_a \neq 0$ nên có thời gian chuyển mạch ứng với góc pha γ : Cả 3 tiristo T_{11} T_{13} T_{16} đều mở (h.4.7a và b).

Giá trị dòng điện một chiều ra tải I_0 cũng được tính như mạch chỉnh lưu có $X_a = 0$. Giá trị trung bình của điện áp chỉnh lưu là :

$$U_d = \frac{3\sqrt{6}U_2}{\pi} \left[\cos \alpha - \frac{X_a \cdot I_0}{\sqrt{6} \cdot U_2} \right] \quad (4-25)$$



Hình 4.7 : Đồ thị điện áp và dòng điện chỉnh lưu sơ đồ cầu 3 pha có điều khiển khi $X_a \neq 0$; $X_l = \infty$.

Ngoài sơ đồ chỉnh lưu 3 pha cầu đối xứng như trên, trong thực tế còn dùng sơ đồ cầu không đối xứng trong đó có nhóm lể chẳng hạn là 3 tiristo, còn nhóm chẵn là 3 diôt thường. Do khuôn khổ có hạn của giáo trình nên chúng ta không phân tích chi tiết loại sơ đồ này.

4.3. NGHỊCH LƯU

Trong công nghiệp, ta thường gặp vấn đề biến đổi điện một chiều thành điện xoay chiều và ngược lại bằng các thiết bị nắn điện. Chẳng hạn việc chuyển tải công suất đi xa người ta dùng dòng điện một chiều hợp lí hơn trong khi đó công nghiệp chủ yếu sản xuất và tiêu thụ điện xoay chiều. Do đó người ta thường phải mắc các thiết bị biến đổi ở hai đầu dây chuyển tải để thực hiện hai quá trình biến đổi ngược nhau ở hai đầu. Bộ biến đổi ở đầu nhà máy điện làm việc ở chế độ nắn điện tức là biến đổi điện xoay chiều thành điện một chiều đưa lên đường dây, còn bộ biến đổi ở đầu tải làm việc ở chế độ xoay chiều cung cấp cho các tải.

Như vậy, nghịch lưu là quá trình biến đổi năng lượng một chiều thành năng lượng xoay chiều. Các sơ đồ nghịch lưu có thể chia làm hai loại : sơ đồ nghịch lưu làm việc ở chế độ phụ thuộc vào lưới điện xoay chiều và sơ đồ nghịch lưu làm việc ở chế độ độc lập (với các nguồn điện độc lập như ác quy, máy nổ).

4.3.1. Sơ đồ nghịch lưu làm việc ở chế độ phụ thuộc

Nghịch lưu làm việc ở chế độ phụ thuộc được thiết kế trên sơ đồ tương tự như sơ đồ chỉnh lưu có điều khiển.

Ta xét sơ đồ nắn điện cầu 3 pha cung cấp cho một máy điện một chiều (h. 4.8) dùng các đèn nắn điện có điều khiển như tiristo, tiratrôn, inhitrôn. Cuộn cảm L_d làm nhiệm vụ san phẳng dòng điện vào bộ nghịch lưu. Ở chế độ làm việc nắn điện (chỉnh lưu) nguồn năng lượng là lưới điện xoay chiều, điện áp chỉnh lưu phụ thuộc vào thời điểm thông tiristo, tức là phụ thuộc vào góc mở α . Lúc đó điện áp chỉnh lưu $U_d = U_{d0} \cos \alpha$ (xem phần chỉnh lưu).

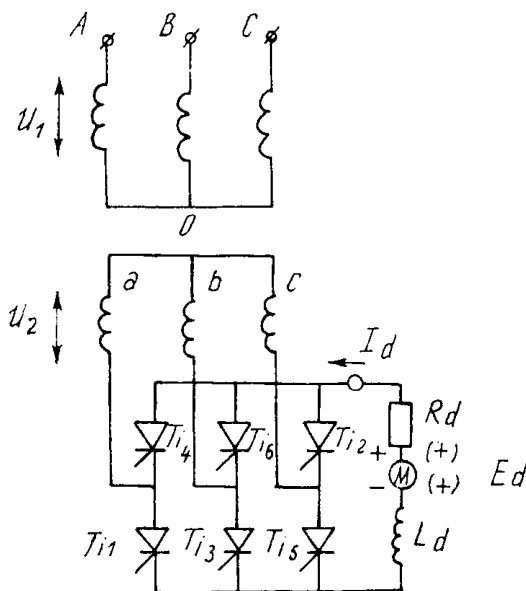
Ở chế độ chỉnh lưu máy điện sẽ làm việc ở chế độ động cơ điện áp đã được chỉnh lưu sẽ cao hơn suất điện động (s.d.đ) E_d của máy điện. Trên máy điện sẽ đặt một điện áp U_d như trong hình 4.8

$$I_d = \frac{U_d - E_d}{R_d} = \frac{U_{d0} \cos \alpha - E_d}{R_d} \quad (4-26)$$

Nếu đảo chiều s.d.đ E_d chẳng hạn đổi chiều dòng kích từ và tăng góc mở tiristo α và $\alpha > \pi/2$ sao cho $|E_d| > |U_{d0} \cos \alpha|$ lúc có điện áp nắn điện U_d sẽ có giá trị âm còn dòng điện trong mạch qua các tiristo vẫn giữ nguyên như cũ.

$$I_d = \frac{|E_d| - |U_{d0} \cos \alpha|}{R_d} \quad (4-27)$$

Do cả E_d và I_d đều đổi dấu, nên công suất của cả máy điện một chiều và mạch xoay chiều đều đổi dấu. Máy điện một chiều trước là động cơ tiêu thụ công suất nay đổi dấu sẽ là nguồn công suất, còn nguồn xoay chiều (lưới điện) trước là nguồn phát nay sẽ trở thành tải.



Hình 4.8: Sơ đồ nghịch lưu phụ thuộc cầu 3 pha.

Như vậy, mạch nghịch lưu là một mạch chỉnh lưu trong đó có nguồn một chiều được đổi dấu trên cực so với mạch chỉnh lưu và ở góc mở α của các tiristo thỏa mãn điều kiện : $\pi/2 < \alpha < \pi$.

Lúc đó công suất của máy phát điện một chiều được biến thành công suất xoay chiều cung cấp cho mạch xoay chiều.

Góc đặc trưng của chế độ nghịch lưu là :

$$\beta = \pi - \alpha$$

Góc β được tính từ các điểm $\pi, 2\pi, \dots$

Tần số và điện áp nghịch lưu trong trường hợp này phụ thuộc vào tần số và điện áp lưới điện xoay chiều.

Cần lưu ý rằng phương pháp trên để chuyển từ chế độ chỉnh lưu sang chế độ nghịch lưu không phải là duy nhất. Ta còn có thể làm như sau : Nếu như trên 2 cực của máy điện M ta mắc thêm một sơ đồ thứ 2 tương tự như sơ đồ trong hình 4.8 cũng gồm có biến áp và một nhóm các tiristo, nhưng các tiristo ở đây mắc theo chiều ngược lại. Do đó ta có thể chuyển sang chế độ nghịch lưu nếu thay đổi chiều dòng điện i_d trong máy điện M mà vẫn giữ nguyên chiều điện áp U_d . Khi sơ đồ làm việc ở chế độ chỉnh lưu và máy điện M làm việc ở chế độ động cơ, sơ đồ 2 sẽ không làm việc. Khi máy điện M chuyển sang làm việc ở chế độ phát điện thì sơ đồ 2 sẽ làm việc như sơ đồ nghịch lưu với các góc mở thông đèn β , còn sơ đồ 1 không làm việc.

Hai phương pháp kể trên dùng để biến đổi từ các chế độ chỉnh lưu sang nghịch lưu và ngược lại thường sử dụng trong các bộ biến đổi thuận nghịch.

4.3.2. Sơ đồ nghịch lưu độc lập ở chế độ độc lập

Sơ đồ nghịch lưu độc lập làm nhiệm vụ biến đổi điện áp một chiều từ các nguồn độc lập (không phụ thuộc vào lưới điện xoay chiều) thành xoay chiều với tần số pha tùy ý ; tần số và điện áp nghịch lưu nói chung có thể điều chỉnh ở trị số bất kì. Có 2 dạng sơ đồ nghịch lưu độc lập là mạch cầu và mạch dùng biến áp với điểm trung tính.

Một dạng nghịch lưu cần độc lập một pha được chỉ ra trên hình 4.9a, trong đó các đèn được thay thế bằng các khóa. Trong thực tế các khóa có thể dùng tiristo, triac, tranzito.

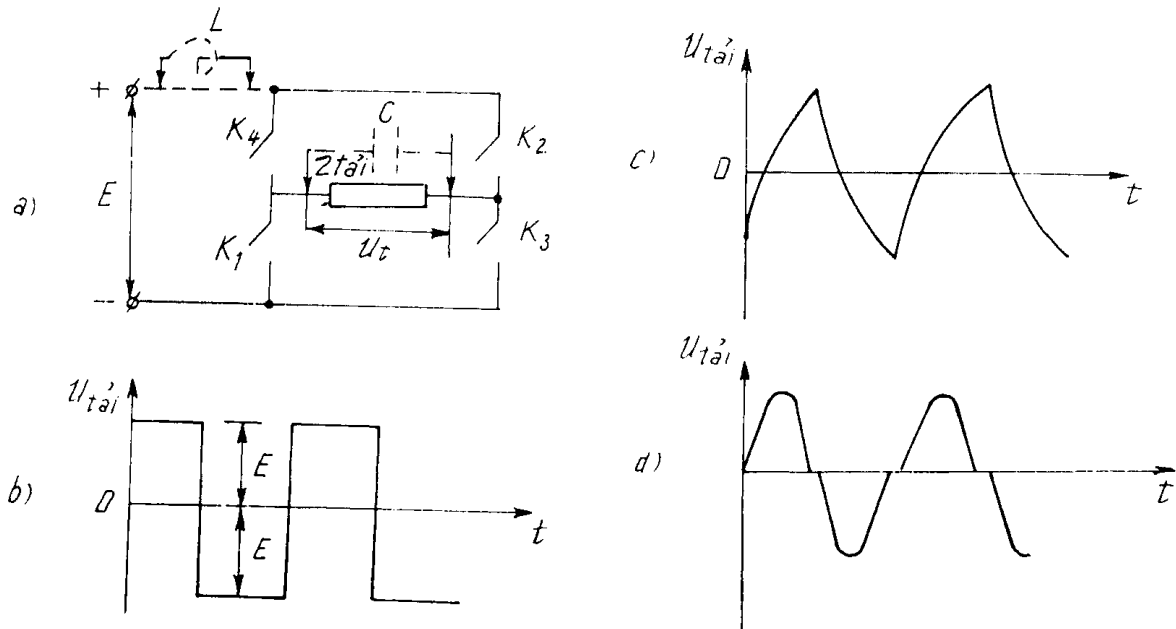
Khi sử dụng tiristo thì trong sơ đồ phải mắc thêm một số phần tử phụ để thực hiện quá trình tắt tiristo. Một trong những phần tử đó là tụ điện. Cần nhấn mạnh rằng chức năng của tụ điện không những dùng để thực hiện quá trình đóng các tiristo mà còn quyết định dạng đồ thị trên điện áp ra của sơ đồ nghịch lưu và quyết định đặc tính của các quá trình xảy ra trong mạch.

Các sơ đồ nghịch lưu độc lập có thể chia ra làm 3 loại cơ bản sau : nghịch lưu độc lập điện áp, nghịch lưu độc lập dòng điện và nghịch lưu độc lập công hưởng.

a - *Nghịch lưu độc lập* điện áp được cung cấp từ các nguồn điện áp, ví dụ ắc quy, pin, khi sơ đồ máy làm việc từ các mạch chỉnh lưu thì ở đầu vào của các sơ đồ nghịch lưu này thường mắc song song một tụ điện có điện dung lớn để ngăn thành phần xoay chiều và tạo ra nguồn điện áp để cung cấp cho sơ đồ nghịch lưu này. Sự hình thành đường cong điện áp ra được thực hiện bằng cách đóng mở khóa tương ứng theo một thuật toán nhất định. Một thuật toán đơn giản nhất là đóng mở lần lượt từng cặp khóa nằm chéo nhau. đầu tiên các khóa K_1, K_2 làm việc, sau đó tới khóa K_3 và K_4 . Đồ thị điện áp sẽ là một chuỗi các xung vuông lưỡng cực với biên độ bằng E (h.4.9b).

Dòng điện trong mạch phải được xác định bởi dạng điện áp ra và đặc tính của tải. Trong trường hợp sử dụng các tiristo ở vị trí các khóa thì trong sơ đồ phải mắc thêm một số nhánh chuyển mạch nhân tạo dùng tụ điện.

b - *Nghịch lưu độc lập* dòng điện được cung cấp từ các nguồn dòng và tụ điện được mắc song song với tải. Để thực hiện chế độ làm việc từ các nguồn người ta thường mắc một cuộn cảm L_d với độ tự cảm lớn ở đầu vào của sơ đồ hình 4.9a (trong sơ đồ là đường nét đứt). Tụ điện mắc song song với tải tham gia vào quá trình hình



Hình 4.9 : Mô tả mạch khóa nghịch lưu cầu độc lập một pha (a)
- Dạng đồ thị điện áp ra của nghịch lưu độc lập điện áp. (b) - dòng điện (c)
dạng đồ thị dòng ra của nghịch lưu độc lập cộng hưởng (d).

thành dạng đường cong điện áp ra và đảm bảo sự khóa các tiristo. Dạng đồ thị điện áp ra trong trường hợp sử dụng thuật toán đóng mở các khóa đơn giản như trường hợp nghịch lưu điện áp và tải là thuần trở được biểu thị trên hình 4.9c.

c - *Nghịch lưu cộng hưởng* khác với hai dạng nghịch lưu trên ở chỗ các quá trình xảy ra trong mạch qua các khóa được đặc trưng bởi quá trình dao động phóng - nạp tụ điện trong mạch tạo bởi nguồn cung cấp và các cuộn cảm mà người ta mắc thêm vào hay có sẵn trong thành phần của tải. Chính vì thế mà dòng ở trong mạch tải (h.4.9d) có dạng gần với hình sin. Trong loại nghịch lưu này tụ điện có thể mắc song song hoặc nối tiếp với tải. Ngoài việc tạo ra dạng đồ thị điện áp tụ điện còn tham gia vào các quá trình đóng tiristo.

Các lĩnh vực chính ứng dụng nghịch lưu độc lập

1. Sử dụng trong các thiết bị tiêu thụ dòng xoay chiều mà nguồn cung cấp chỉ là ắc quy, pin hoặc nguồn dự trữ cho các thiết bị tiêu thụ từ lưới điện phòng khi ngắt điện bất ngờ (điện báo, máy tính), trong các trường hợp này thường dùng nghịch lưu điện áp và dòng điện.

2. Điện giao thông (thường dùng nghịch lưu điện áp dòng điện) được nuôi từ các lưới điện một chiều. Trong trường hợp này các động cơ điện thường là đơn giản, tin cậy và là động cơ không đồng bộ.

3. Truyền động điện cho các động cơ đồng bộ và không đồng bộ (thường dùng nghịch lưu điện áp, dòng điện) ; ở đây nghịch lưu thường là các nguồn điều chỉnh điện áp và tần số.

4. Biến đổi điện áp một chiều ở mức này sang mức khác (dùng nghịch lưu điện áp, dòng điện và nghịch lưu cộng hưởng).

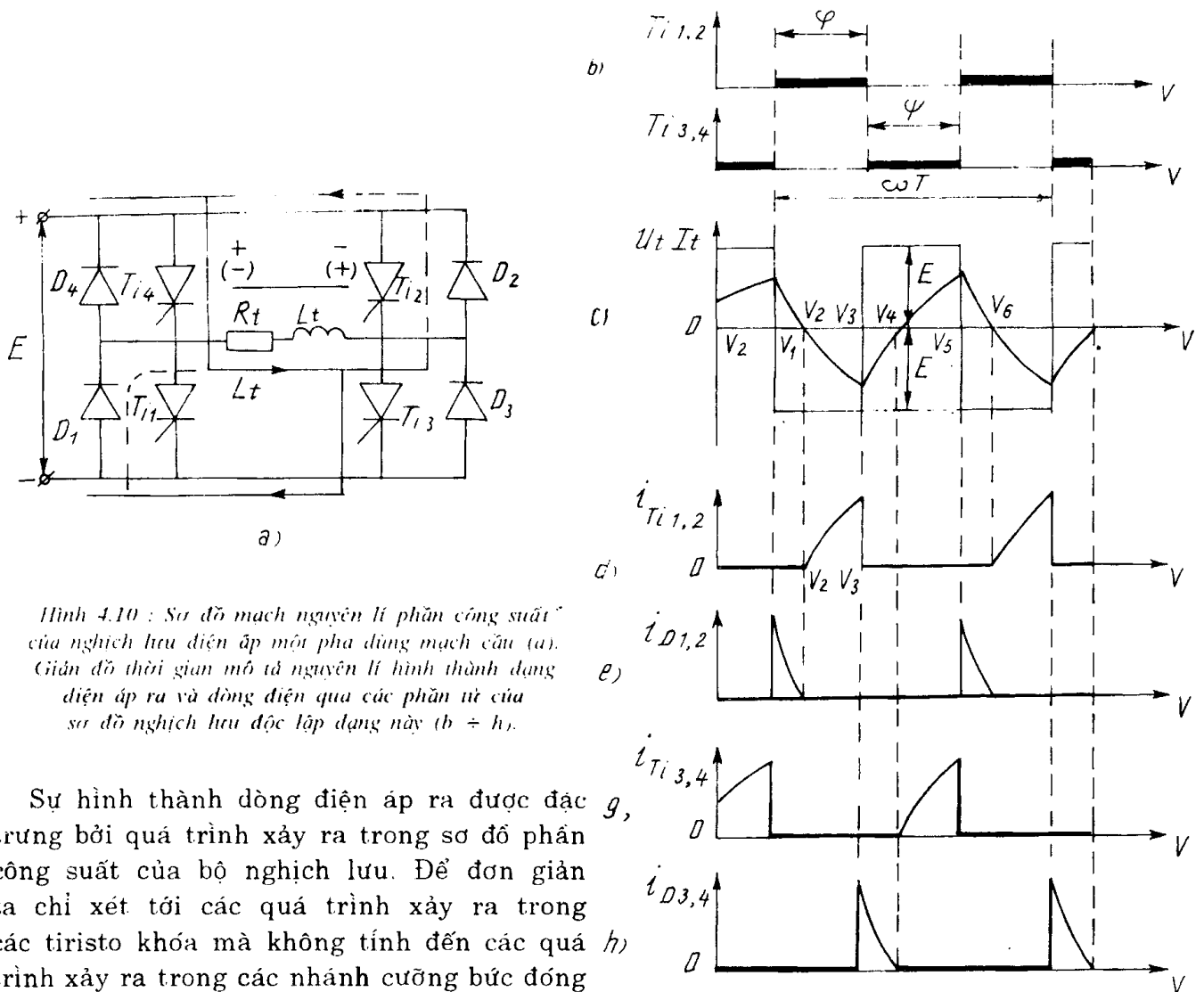
5. Thiết bị để tạo ra dòng xoay chiều (nghịch lưu điện áp, dòng điện cộng hưởng) với tần số cần thiết từ các nguồn sơ cấp tạo ra bởi các nguồn nhiệt điện, quang điện.

6. Nhiệt điện (nghịch lưu điện áp, dòng điện, cộng hưởng) để tạo ra dòng xoay chiều với tần số cao dùng trong công nghiệp luyện kim.

Như đã trình bày ở trên, các sơ đồ nghịch lưu độc lập rất đa dạng. Ta chỉ xét một vài sơ đồ thường hay sử dụng trong thực tế.

a - Nghịch lưu độc lập điện áp một pha

Trên hình 4.10a là sơ đồ nguyên lý phân công suất của nghịch lưu điện áp độc lập một pha dùng mạch cầu. Tải thường có tính chất cảm kháng và được mắc vào đường chéo của cầu tạo bởi các tiristo $T_{11} + T_{14}$. Các điôt $D_1 + D_4$, mắc ngược với các tiristo $T_{11} + T_{14}$ dùng để thông dòng cho tải trong khoảng thời gian dòng điện có hướng ngược chiều dẫn điện của các tiristo $T_{11} + T_{14}$.



Hình 4.10 : Sơ đồ mạch nguyên lý phân công suất của nghịch lưu điện áp một pha dùng mạch cầu (a).
Giản đồ thời gian mô tả nguyên lý hình thành dạng điện áp ra và dòng điện qua các phần tử của sơ đồ nghịch lưu độc lập dạng này (b ÷ h).

Sự hình thành dòng điện áp ra được đặc trưng bởi quá trình xảy ra trong sơ đồ phân công suất của bộ nghịch lưu. Để đơn giản ta chỉ xét tới các quá trình xảy ra trong các tiristo khóa mà không tính đến các quá trình xảy ra trong các nhánh cưỡng bức đóng các tiristo khóa này. Trong sơ đồ này ta

dùng thuật toán đơn giản đóng mở lần lượt các cặp tiristo chéo nhau T_{11} T_{12} và T_{13} T_{14} sao cho mỗi cặp đó thông trong khoảng thời gian $t = T/2$ hay $\psi = 180^\circ$ (h.4.10).

Trong chế độ ổn định, đồ thị dòng điện qua tải sẽ đối xứng và tạo bởi các đoạn biến đổi theo hàm mũ với hằng số thời gian $\tau = L_{t\ddot{a}i}/R_{t\ddot{a}i}$. Trong khoảng từ $v_0 - v_1$ tiristo T_{13} và T_{14} thông, điện áp trên tải bằng E và có cực tính chỉ ra trên hình 4.10. Ở thời điểm v_1 tiristo T_{13} T_{14} đóng vì tải có tính cảm kháng nên dòng tải $i_{t\ddot{a}i}$ vẫn giữ nguyên chiều do s.d.đ. tự cảm gây ra, vì thế dòng tải sẽ chạy qua diốt D_1 , D_2 . Chính sự thông các diốt này đã làm thay đổi cực tính của điện áp ra trên tải. Năng lượng được tích lũy trong cuộn cảm $L_{t\ddot{a}i}$ ở giai đoạn trước sẽ được trả lại nguồn cung cấp. Ở thời điểm v_2 dòng $i_{t\ddot{a}i}$ bằng không, diốt D_1 , D_2 đóng (h.4.10c, e) ; lúc đó nếu đưa vào các tiristo T_{11} T_{12} các xung kích thông thì tải lại được mắc với nguồn cung cấp. Dòng qua tải đổi chiều và tải lại tiêu thụ năng lượng từ nguồn cung cấp.

Ở thời điểm v_3 T_{11} T_{12} lần lượt đóng, quá trình lại xảy ra tương tự. Trong khoảng $(v_3 - v_4)$ dòng tải sẽ chảy qua diốt D_3 D_4 và trong khoảng thời gian $(v_4 - v_5)$ sẽ qua tiristo T_{13} T_{14} . Dạng dòng điện chảy qua các tiristo và diốt được mô tả trên hình 4.10d ÷ h.

Ta xét thành phần hài của điện áp ra của sơ đồ nghịch lưu (h.4.10e). Khai triển đường cong điện áp tải $U_{t\ddot{a}i}$ dưới dạng chuỗi Fourier.

$$U_{t\ddot{a}i}(\omega t) = \frac{4E}{\pi} \left(\sin\omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \dots + \frac{1}{\nu} \sin \nu \omega t \right) \quad (4-28)$$

Hài bậc nhất sẽ là :

$$U_{t\ddot{a}i(1)}(\omega t) = \frac{4E}{\pi} \sin\omega t \quad (4-29)$$

Biên độ điện áp tải

$$U_{t\ddot{a}i(1)} = \frac{4E}{\pi} = 1,27E \quad (4-30)$$

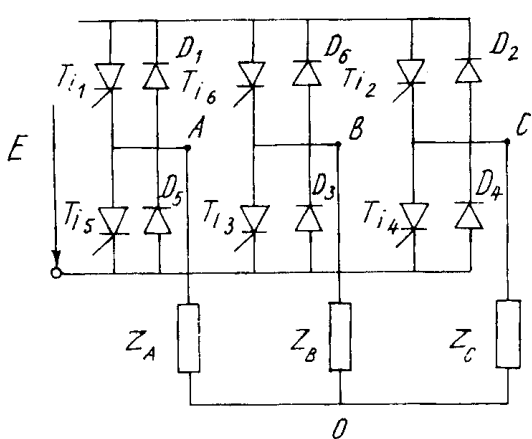
Giá trị hiệu dụng

$$U_{t\ddot{a}i(1)} = \frac{4}{\pi\sqrt{2}} \cdot E = 0,9E \quad (4-31)$$

Thường để lọc các thành phần hài bậc nhất của điện áp ra người ta dùng các bộ lọc khác nhau mắc trước tải.

b - Nghịch lưu độc lập biến áp ba pha

Sơ đồ nguyên lý phần công suất của nghịch lưu điện áp cầu ba pha được biểu thị trên hình 4.11. Sơ đồ này dùng 6 tiristo, kí hiệu từ T_{i1} đến T_{i6} và diốt D_1 ÷ D_6 mắc ngược với các tiristo ; chúng thực hiện chức năng tương tự như các diốt ở sơ đồ 1 pha. Tải xoay chiều 3 pha có tính chất cảm kháng và được mắc theo hình sao (có thể mắc theo hình tam giác). Để đơn giản khi xét quá trình hình thành điện áp ra ta coi các đèn van (diốt, tiristo) là các khóa lí tưởng. Trong sơ đồ này ta dùng phương pháp tạo điện áp ra đơn giản : phương pháp giữ nguyên thời gian thông của các tiristo là $\psi = 180^\circ$. Như vậy là các tiristo được bố trí lần lượt thông và chuyển mạch theo trình tự biểu thị trên hình 4.12a.



Hình 4.11 : Sơ đồ nguyên lý phần công suất của nghịch lưu độc lập điện áp cầu 3 pha.

Ở mỗi thời điểm chỉ có hai tiristo thông, mỗi tiristo chỉ thông trong một nửa chu kì hay $2\pi/2$ radian ($\psi = 180^\circ$). Trình tự đổi nối là cứ sau một phần sáu chu kì hay $\pi/3$ radian thì có một tiristo đổi nối. Tiristo cùng một pha, ví dụ : T_{11} và T_{14} của A không thể làm việc đồng thời. Trong mỗi thời điểm bất kì đồng thời thông 3 tiristo, 2 trong số đó thuộc cùng một nhóm catôt hay anôt, còn tiristo còn lại sẽ thuộc nhóm khác. Có nghĩa là các nhóm 123, 234, 345, 456... sẽ thông đồng thời với nhau.

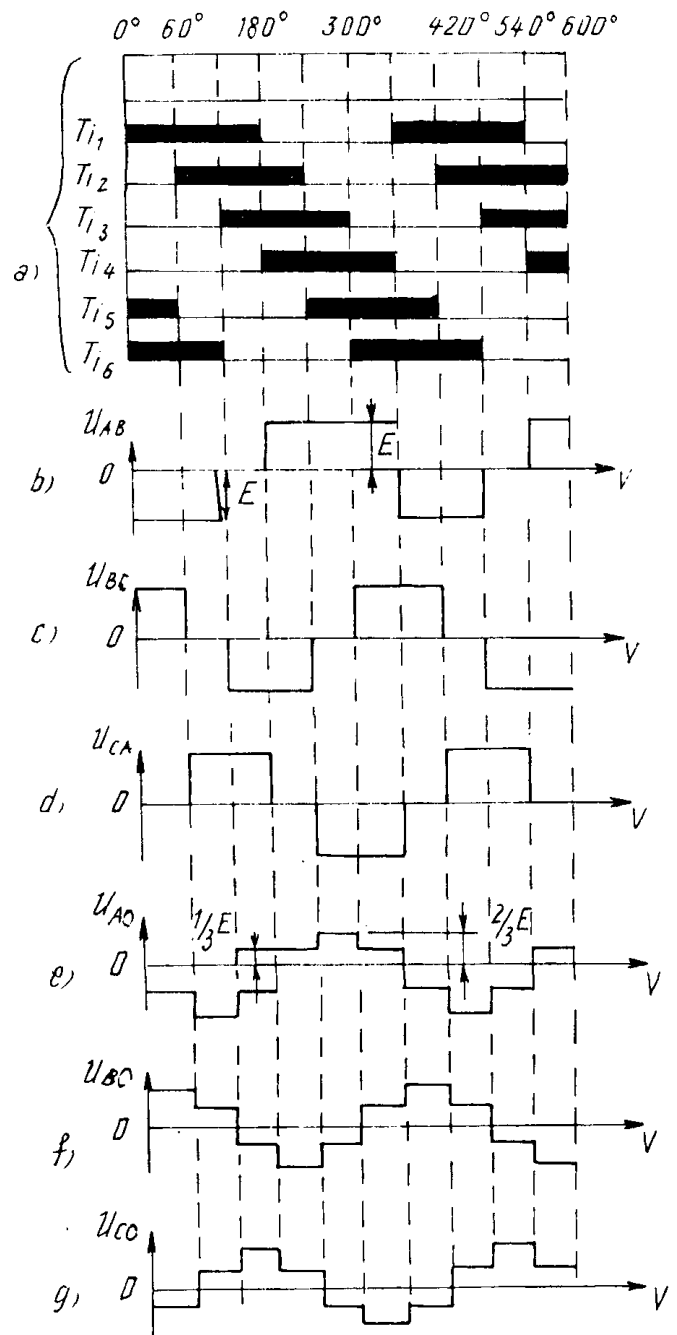
Giả sử ở thời điểm các tiristo T_{11} T_{14} T_{16} đang thông, điện áp E đặt vào cuộn BO, OC, OA nên U_B dương còn U_A , U_C âm. Sau một phần 6 chu kì T_{15} tắt, T_{12} thông điện áp E đặt vào cuộn CO, OA, OB nên U_C dương, U_B dương, U_A âm. Cứ theo trình tự đó ta lập được dạng đường cong điện áp trên các cuộn OA, OB, OC và giữa các pha AB, BC, CA như trên hình 4.12b ÷ g. Điện áp pha U_{A0} U_{B0} U_{C0} (h.9.12 e, f, g) có dạng bậc thang với giá trị điện áp bằng $1/3 E$. Điều đó được giải thích rằng trong mỗi thời điểm bất kì khi 3 tiristo thông, đồng thời tải của các pha Z_A Z_B Z_C được nối với điện áp nguồn cung cấp E sao cho 2 trong số đó, ví dụ Z_A và Z_C hình 4.12a mắc song song với nhau và chúng được mắc nối tiếp với tải thứ 3 (trong trường hợp này là Z_B). Nếu như điện trở của tải trong các pha $Z_A = Z_B = Z_C$ (tải đối xứng) thì điện áp pha của các tải mắc song song với nhau sẽ bằng $\pm (2/3)E$ và các điện áp lệch pha nhau 120° .

Dùng phân tích thành chuỗi Fourier ta sẽ nhận được dạng điện áp và dòng điện hình sin với điện áp tuyến tính cực đại :

$$U_{\text{ttn}(1)} = \frac{2\sqrt{3}}{\pi} E = 1,1E \quad (4-32)$$

Giá trị điện áp tuyến tính hiệu dụng sẽ là :

$$U_{\text{tt}(1)} = \frac{\sqrt{3}}{\pi} E = 0,78E \quad (4-33)$$



Hình 4.12 : Giải đồ thời gian mô tả nguyên lý hình thành dạng điện áp ra của sơ đồ nghịch lưu độc lập điện áp cầu 3 pha.

Điện áp pha cực đại :

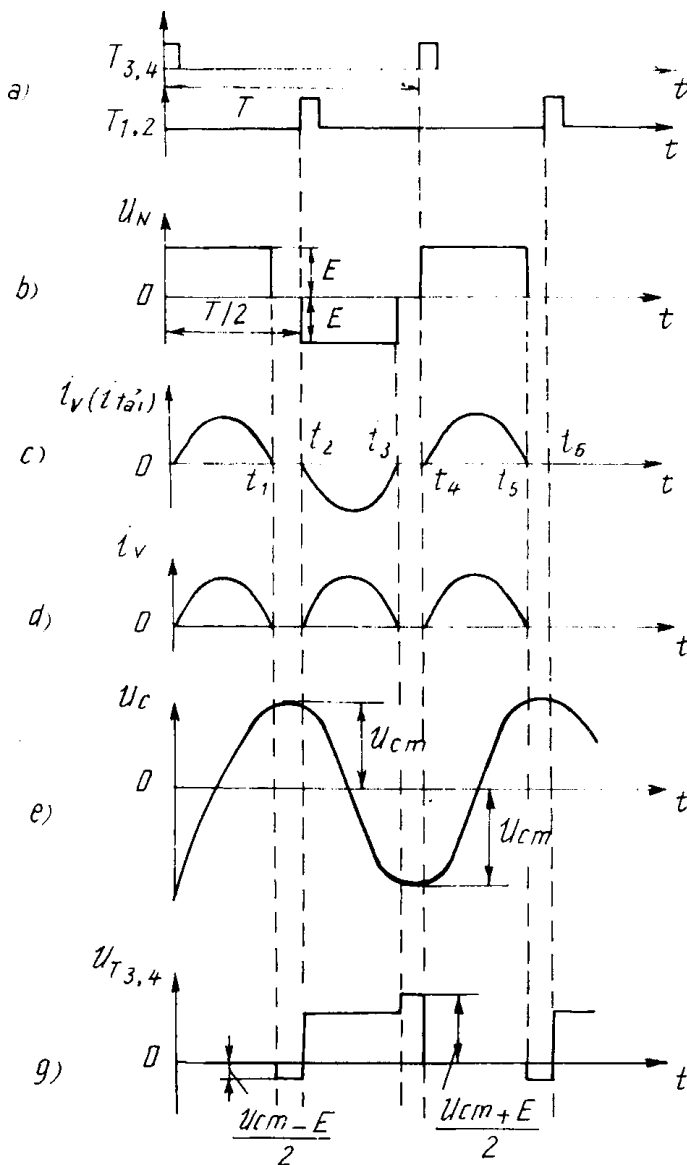
$$U_{ph(1)} = \frac{2E}{\pi} \quad (4-34)$$

Điện áp pha hiệu dụng :

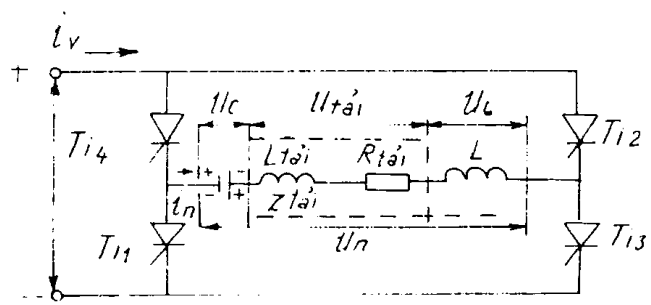
$$U_{ph(1)} = \frac{\sqrt{2}E}{\pi} = 0,45E \quad (4-35)$$

Để điều chỉnh điện áp ra đối với sơ đồ nghịch lưu loại này người ta thường điều chỉnh điện áp nguồn cung cấp, ví dụ mắc ở mạch vào của sơ đồ nghịch lưu này một sơ đồ chỉnh lưu có điều khiển hay một bộ biến đổi điện áp một chiều.

c - Nghịch lưu độc lập cộng hưởng



Hình 4.14 : Giản đồ thời gian mô tả quá trình điện tử trong sơ đồ hình 4.13.



Hình 4.13 : Sơ đồ nguyên lý nghịch lưu cộng hưởng.

Các sơ đồ nghịch lưu cộng hưởng dùng để biến đổi điện áp một chiều thành xoay chiều với tần số cao (từ 500 - 1000 Hz đến 5 - 10 kHz hoặc cao hơn). Nghịch lưu cộng hưởng thường được sử dụng như nguồn điện áp xoay chiều tần số cao và dùng để biến đổi điện áp một chiều từ giá trị này sang giá trị khác. Trong trường hợp này điện áp ra của bộ biến đổi sẽ là điện áp đã được chỉnh lưu và lọc phẳng.

Nghịch lưu cộng hưởng có thể mắc theo sơ đồ cầu một pha các khóa có thể là tiristo hay tranzito công suất. Tụ điện trong nghịch lưu cộng hưởng có thể mắc song song hoặc nối tiếp với tải, do đó người ta có thể chia làm 2 loại nghịch lưu cộng hưởng song song và nối tiếp.

Xét một sơ đồ nghịch lưu cộng hưởng đơn giản trên hình 4.13 sơ đồ nghịch lưu được tạo bởi cầu tiristo ($T_{11} \div T_{14}$) và mắc vào đường chéo của cầu này tụ C, tải Z_{tai} và cuộn cảm L. Dạng dòng điện qua tải $i_{tai}(t)$ hay dòng nghịch lưu $i_N(t)$ được tạo bằng cách kích thông 2 tiristo đối xứng T_{11}, T_{12} và T_{13}, T_{14} . Hình 4.14 đặc tính của dòng $i_N(t)$ hay $i_{tai}(t)$ được quyết định bởi quá trình dao động phóng nạp điện tích của tụ điện C với tần số cộng hưởng

$$f_o = \frac{1}{2\pi} \sqrt{\frac{1}{(L + L_{tai})C}} \quad (4-36)$$

của dòng dao động nối tiếp tạo bởi các phần tử L, C của mạch tải khi nó được mắc với nguồn cung cấp E qua các tiristo ở trạng thái thông. Trong sơ đồ trên, tần số riêng của vòng cộng hưởng f_0 và tần số của các xung kích tiristo f liên hệ với nhau qua biểu thức $f_0 > f$. Chính vì thế quá trình dao động phóng nạp tụ điện C (gắn với quy luật hình sin) sẽ kết thúc trước khi mở cặp tiristo tiếp theo hình 4.14 a, b, c, d và trong thời gian đó sẽ không có dòng tải. Thời gian này cần thiết để đóng toàn phần các cặp tiristo trước khi kích thông các cặp tiếp theo. Trong thực tế để nâng cao tần số làm việc f_0 lên và chuyển dòng tải vào chế độ liên tục, ta thường mắc thêm một số diốt ngược với tiristo và cần thỏa mãn biểu thức $\omega_0 > 2\omega$, ở đây $\omega_0 = 2\pi/T_0$ và $\omega = 2\pi/T$.

4.4. CÁC PHẦN TỬ CƠ BẢN CỦA HỆ THỐNG ĐIỀU KHIỂN CÁC BỘ BIẾN ĐỔI

4.4.1. Chức năng và những yêu cầu cơ bản đối với hệ thống điều khiển các bộ biến đổi

Hệ thống điều khiển các thiết bị biến đổi dùng để hình thành và tạo ra các xung điều khiển có dạng xung và độ rộng xung nhất định, phân bố chúng theo các pha và thay đổi thời điểm đưa xung kích thông vào các van của bộ biến đổi.

Trong các bộ biến đổi bán dẫn thường sử dụng rộng rãi các phần tử hoặc điều khiển toàn phần như tranzito, triac hoặc các phần tử không điều khiển toàn phần. Chính vì vậy, sau khi đã kích thông các phần tử điều khiển thì hệ thống điều khiển không được gây ảnh hưởng tới trạng thái làm việc của chúng.

Các yêu cầu cơ bản của hệ thống điều khiển các bộ biến đổi phụ thuộc vào dạng phần tử, các chế độ làm việc của chúng và đặc tính của tải. Vì vậy các yêu cầu chính của hệ thống điều khiển sẽ là :

1. Cần có một biên độ điện áp và dòng đủ lớn để kích thông một cách tin cậy các đèn : đối với tiristo biên độ điện áp khoảng 10 - 20V, dòng từ 20 - 200 mA ; đối với các triac : 3 - 10V ; 3 - 400 mA ; đối với các tiristo : 0,5 - 3V, 0,1 - 2A.

2. Độ dốc của sườn các xung phải đảm bảo đến mức 10 V/ μ s.

3. Dải điều khiển phải rộng và dải này xác định bởi dạng và chế độ làm việc của các bộ biến đổi và đặc tính của tải. Ví dụ để điều chỉnh điện áp ra của chỉnh lưu cầu ba pha làm việc ở chế độ tải thuần trở, góc điều khiển thông tiristo phải thay đổi từ 0° đến 120°. Còn đối với tải cảm kháng thì góc điều khiển cực đại là 90°. Khi làm việc ở chế độ nghịch lưu thì góc điều khiển có thể thay đổi tới 170°.

4. Đảm bảo đối xứng các xung điều khiển theo pha. Nếu không đảm bảo đối xứng các xung điều khiển các tiristo của các bộ biến đổi nhiều pha sẽ gây ra sự không cân bằng giá trị trung bình của dòng qua tiristo đó.

5. Hệ thống điều khiển phải tác động nhanh và trong nhiều trường hợp phải đạt tới tốc độ 1 phần triệu giây.

Các hệ thống điều khiển mà trong đó các tín hiệu điều khiển có dạng xung và các pha của nó có thể điều chỉnh được gọi là hệ thống điều khiển xung - pha. Các hệ thống này được chia làm 3 loại :

a - Các hệ thống cơ điện (ngày nay hầu như không được sử dụng) ; b - Các hệ thống điện tử ; c - Các hệ thống điện tử.

Trong phần này ta xét một số ví dụ của hệ thống điều khiển xung - pha điện tử, vì hiện nay đang được sử dụng rất rộng rãi. Chúng có một loạt các ưu điểm hơn hẳn các hệ thống điều khiển điện tử như có độ tác động nhanh, tin cậy cao và tiêu thụ

ít năng lượng, khối lượng và kích thước nhỏ. Trong các hệ thống điều khiển điện tử còn được chia thành các dạng sau :

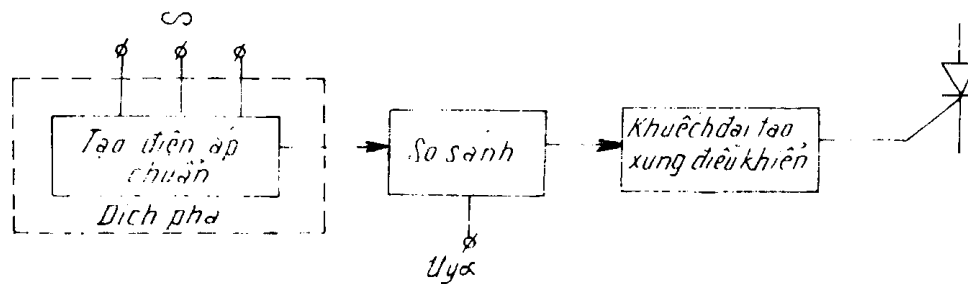
1 - Hệ thống điều khiển xung - pha của các bộ biến đổi phụ thuộc dẫn từ lưới điện (chỉnh lưu có điều khiển, nghịch lưu dẫn từ lưới điện, các bộ biến đổi thuận nghịch, biến đổi tần số trực tiếp). Các bộ biến đổi này đều có các nét giống nhau là đều có quá trình chuyển mạch tự nhiên.

2 - Hệ thống điều khiển xung - pha của các bộ biến đổi có sự chuyển mạch, ví dụ các bộ nghịch lưu độc lập, các bộ biến đổi tần số.

4.4.2. Hệ thống điều khiển xung - pha của các bộ biến đổi dẫn từ lưới điện

Các hệ thống điều khiển xung - pha dạng này thường được chia ra làm hai dạng dựa trên các nguyên lý đồng bộ và không đồng bộ.

a - Các hệ thống điều khiển xung - pha đồng bộ



Hình 4.15 : Sơ đồ cấu trúc một kênh điều khiển tiristo của bộ biến đổi dựa trên nguyên lý đồng bộ xây dựng hệ thống điều khiển.

Nguyên lý đồng bộ điều khiển xung - pha dùng trong các bộ biến đổi thường được sử dụng rộng rãi. Sự đồng bộ các xung điều khiển được thực hiện bằng điện áp lưới xoay chiều.

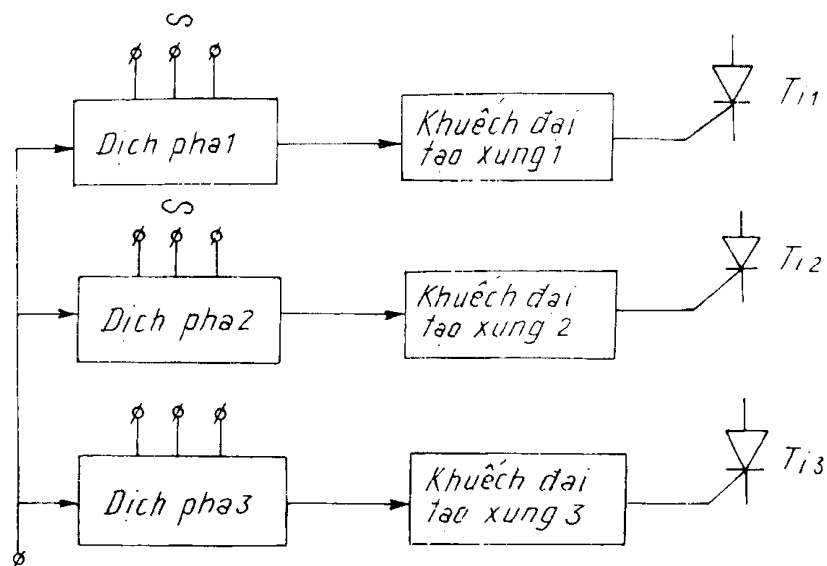
Trên hình 4.15 là sơ đồ khối của hệ thống điều khiển đồng bộ một tiristo của bộ biến đổi dẫn từ lưới điện. Sơ đồ này bao gồm các khối sau : khối tạo điện áp chuẩn, khối so sánh, khối khuếch đại tạo xung kích tiristo.

Khối tạo điện áp chuẩn sẽ tạo ra điện áp U_0 thay đổi theo thời gian có dạng hình sin, vuông, răng cưa v.v... Nhờ khối so sánh điện áp chuẩn U_0 sẽ được so sánh với điện áp điều khiển $U_{y\alpha}$ của bộ biến đổi. Khi điện áp ra U_0 bằng $U_{y\alpha}$ ở đầu ra của bộ so sánh sẽ xuất hiện xung và sau đó xung này sẽ được khuếch đại lên và đưa vào cực điều khiển của tiristo.

Điện áp chuẩn thay đổi theo thời gian được tạo ra với sự tham gia của điện áp lưới (một hoặc nhiều pha) chính vì thế điện áp chuẩn và xung được tạo ra đồng bộ theo thời gian với điện áp lưới xoay chiều. Bằng cách thay đổi giá trị điện áp $U_{y\alpha}$ ta có thể thực hiện được sự dịch chuyển theo thời gian xung ra và điều chỉnh góc kích α , tức là điều chỉnh điện áp ra của bộ biến đổi.

Điện áp điều khiển $U_{y\alpha}$ có thể là hiệu hoặc tỉ lệ với hiệu của điện áp chuẩn và điện áp đặc trưng cho các tham số điều khiển (ví dụ như điện áp tải $U_{\text{tải}}$, dòng tải $i_{\text{tải}}$, tần số quay của động cơ v.v...). Như vậy là trong hệ thống sẽ có hồi tiếp âm theo các tham số điều khiển và chính vì thế đảm bảo được sự ổn định của toàn bộ hệ thống.

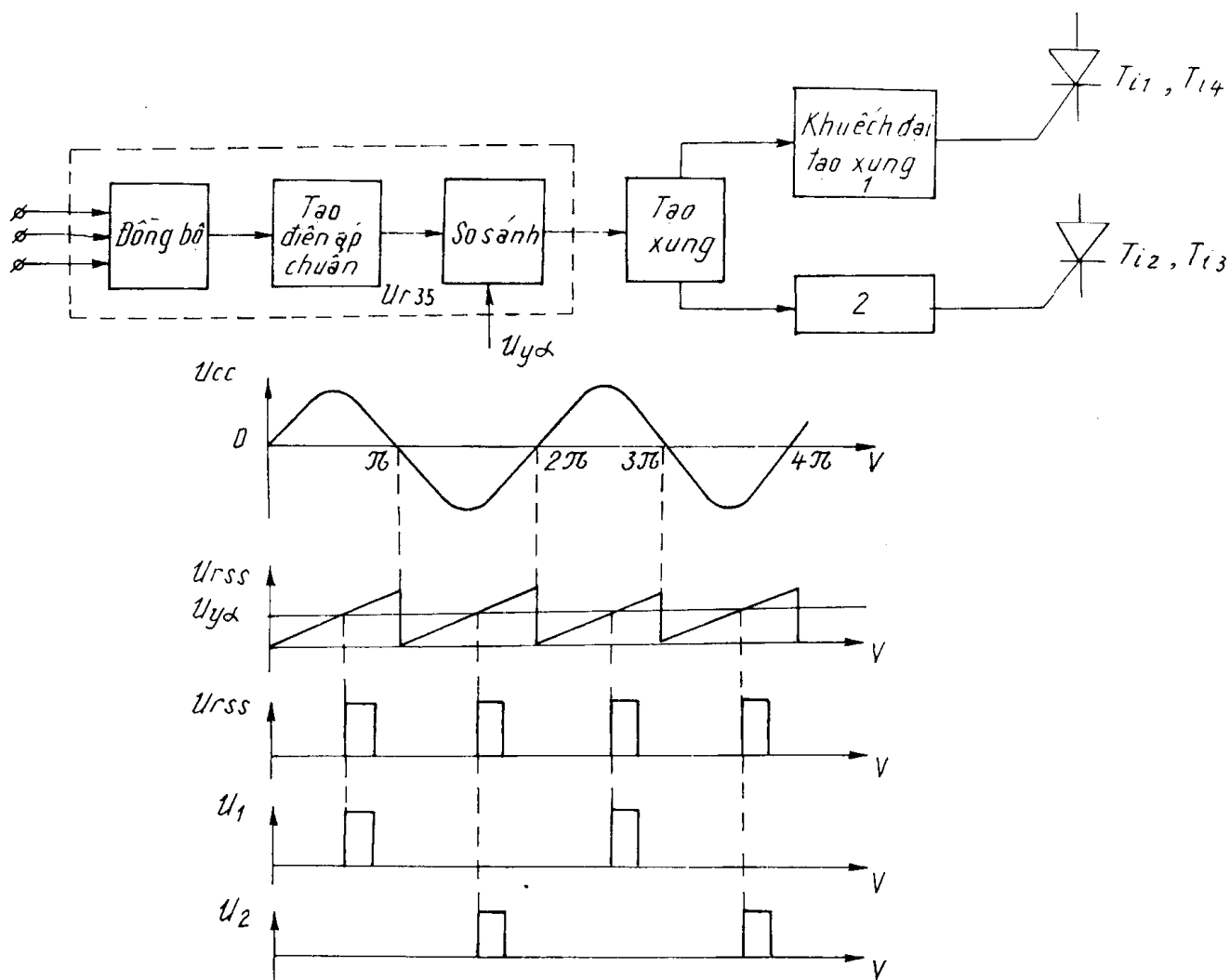
Thường trong các hệ thống điều khiển dạng này, bộ tạo điện áp chuẩn và bộ so sánh được kết hợp lại với nhau và gọi là bộ dịch pha. Bộ phận này là phần không thể thiếu được của cả hệ thống như trên (h.4.15).



Hình 4.16 : Sơ đồ cấu trúc của hệ thống điều khiển đồng bộ nhiều kênh của các bộ biến đổi.

Các hệ thống điều khiển đồng bộ của các bộ biến đổi nhiều pha có thể chia làm hệ thống điều khiển nhiều kênh và hệ thống điều khiển một kênh.

Trên hình 4.16 là sơ đồ cấu trúc của hệ thống điều khiển đồng bộ nhiều kênh. Trong sơ đồ này sự điều chỉnh góc α được thực hiện bằng một điện áp điều khiển chung $U_{y\alpha}$, còn mỗi một kênh thì được thực hiện theo như sơ đồ hình 4.15. Số lượng các kênh sẽ bằng số lượng tiristo trong sơ đồ của bộ biến



Hình 4.17 : a - Sơ đồ cấu trúc của hệ thống điều khiển một kênh của sơ đồ chỉnh lưu cầu 1 pha.

đối, (ví dụ trong hệ thống điều khiển của một sơ đồ chỉnh lưu cầu có điều khiển 3 pha thì số kênh sẽ bằng 6). Phương pháp điều khiển nhiều kênh được sử dụng rộng rãi và có thể ứng dụng cho các dạng khác nhau của các bộ biến đổi, nhưng đồng thời đòi hỏi rất cao sự giống nhau đặc tuyến điều chỉnh của các bộ dịch pha, tức là đặc tuyến $\alpha = F(U_{\alpha})$. Sự khác nhau của các đặc tuyến điều chỉnh sẽ dẫn đến sự khác nhau các góc điều khiển α theo các kênh và sẽ tạo ra các thành phần tần số bậc thấp của độ gợn sóng điện áp ra.

b - Giản đồ thời gian giải thích quá trình làm việc của hệ thống

Chính vì các yêu cầu cao của hệ thống điều khiển nhiều kênh cho nên trong thực tế thường hay dùng hệ thống điều khiển một kênh như trên hình 4.17a. Trong sơ đồ này quá trình điều khiển thực hiện theo một kênh nhờ một bộ dịch pha chung. Sau đó xung ra sẽ được phân chia theo các kênh tới các bộ khuếch đại tạo xung kích cho các tiristo. Chính vì thế mà đủ đảm bảo được rất cao sự đối xứng của các xung điều khiển. Trên hình 4.17b là đồ thị các dạng điện áp ra ở các khối trong sơ đồ hình 4.17a.

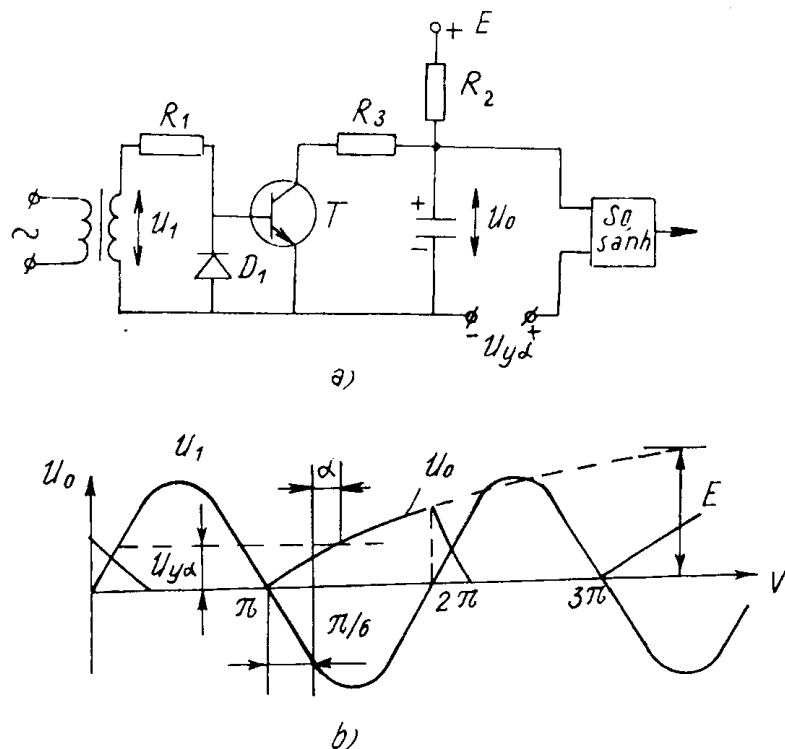
Tuy vậy phương pháp này sẽ rất phức tạp khi tiến hành thiết kế các hệ thống điều khiển của các bộ biến đổi nhiều pha. Xu hướng hiện nay là số hóa các hệ thống điều khiển, ứng dụng kĩ thuật xung, số và mạch tổ hợp tuyến tính để thiết kế các khối của hệ thống điều khiển đảm bảo sao cho hệ thống có độ tin cậy cao nhất.

Dưới đây ta sẽ xét một số sơ đồ nguyên lý của các khối chỉnh trong hệ thống điều khiển động bộ các biến đổi.

- *Bộ tạo điện áp chuẩn* : Thường dùng các bộ tạo điện áp răng cưa (một hoặc hai cực) sơ đồ loại này rất đa dạng.

Trên hình 4.18a là sơ đồ nguyên lý của một mạch tạo điện áp chuẩn răng cưa dùng tranzito.

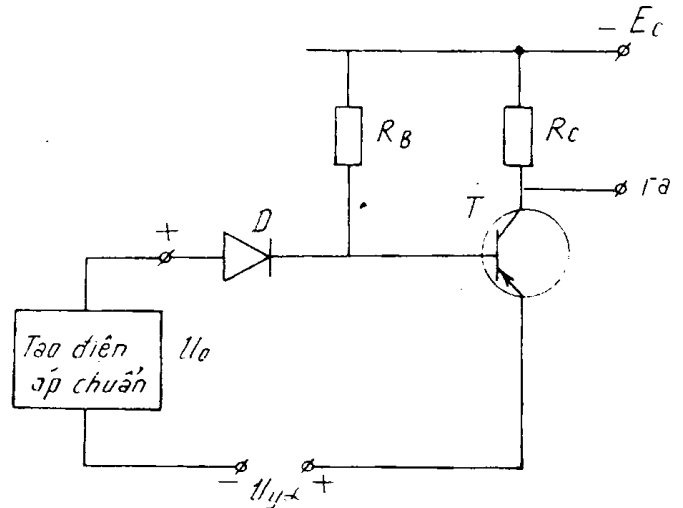
Dùng đồ thị điện áp chuẩn được mô tả trên hình 4.18b. Trong sơ đồ này tranzito T làm việc ở chế độ khóa, điện áp đóng bộ U_1 ngược pha với điện áp U_{α} của mạng 3 pha. Điện áp chuẩn sẽ được tạo ra ở giai đoạn tranzito đóng, tức là khi ở bazơ của nó đặt một điện áp trên bazơ của tranzito T giảm tới mức bằng điện áp đặt trên diốt, do đó sẽ bảo vệ được tranzito khỏi bị đánh thủng. Khi tranzito T đóng, tụ điện C được nạp điện với hằng số thời gian $\tau = CR_2$ vì $\tau = CR_2$ lớn cho nên điện áp trên tụ biến thiên gần như tuyến tính. Ở thời điểm 2π , khi tranzito thông, tụ sẽ phóng điện qua R_3 và qua tranzito T. Khi quá trình phóng điện kết thúc



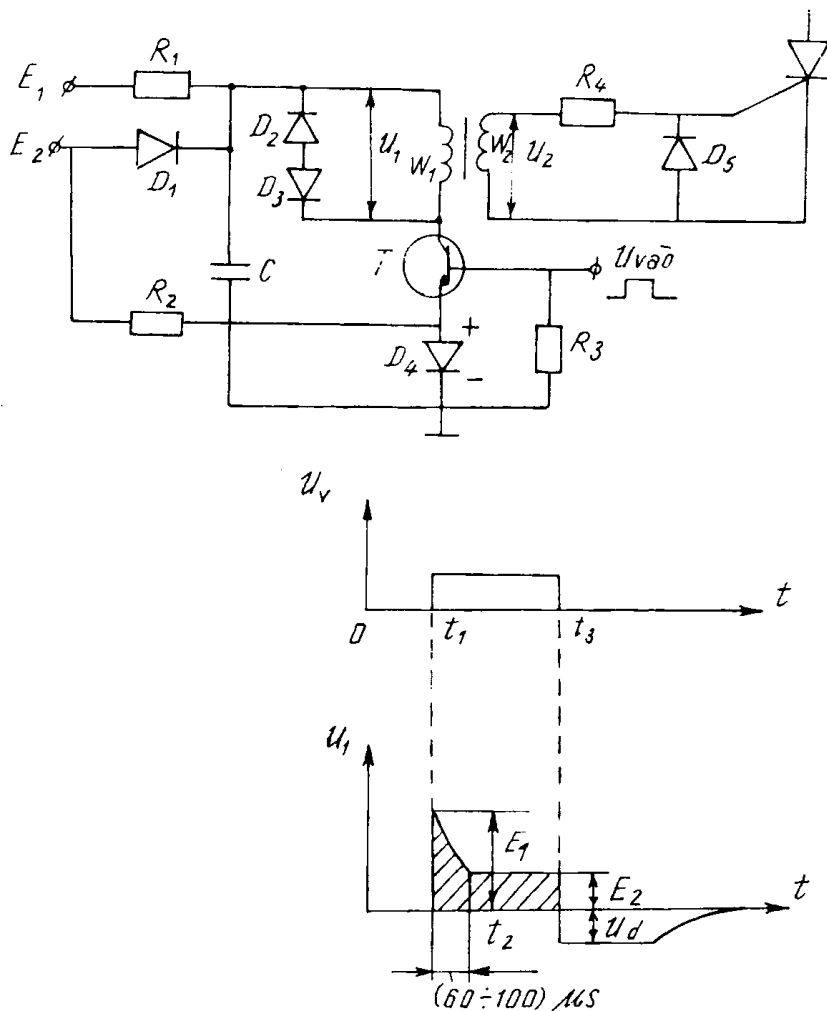
Hình 4.18 : Sơ đồ nguyên lý bộ tạo điện áp chuẩn răng cưa dùng tranzito (a) ; Dạng đồ thị điện áp chuẩn (b).

thì qua tranzito T sẽ chảy một dòng điện bằng $E/(R_2 + R_3)$, điện áp trên tụ lúc đó sẽ bằng $ER_3/(R_3 + R_2)$ và điện áp này sẽ gần bằng không vì $R_2 \gg R_3$. Ưu điểm của sơ đồ này là tiêu thụ ít năng lượng, nhưng thường chỉ dùng trong bộ điều khiển các chỉnh lưu có điều khiển hay nghịch lưu dẫn từ lưới điện, bởi vì góc α chỉ có thể thay đổi từ $0^\circ - 90^\circ$. Còn đối với các bộ biến đổi tần số trực tiếp hay các bộ biến đổi thuận nghịch, góc α thay đổi từ $90^\circ - 180^\circ$ đòi hỏi sự thay đổi dấu của điện áp $U_{y\alpha}$, do đó điện áp chuẩn có tính chất lưỡng cực.

- *Bộ so sánh.* Một trong các sơ đồ so sánh đơn giản nhất là có thể sử dụng một tầng khuếch đại dùng tranzito mắc



Hình 4.19: Sơ đồ nguyên lý của bộ so sánh.



Hình 4.20: Sơ đồ nguyên lý của bộ tạo xung dùng tranzito (a);
Dạng tín hiệu đầu vào (b); Dạng điện áp ra (c).

emitor chung làm việc ở chế độ khóa như trên hình 4.19. Sự hình thành xung điều khiển xảy ra khi thay đổi trạng thái của tranzito sau khi đạt được sự cân bằng $U_0 = U_{y\alpha}$.

Khi $U_0 < U_{y\alpha}$ diốt D đóng bởi điện áp ngược bằng $U_{y\alpha} - U_0$. Tranzito T mở điện áp ra gần bằng không. Khi tăng điện áp U_0 tới mức $U_{y\alpha}$, diốt D sẽ thông và tranzito T sẽ ngắt. Như vậy là ở đầu ra của tranzito có điện áp gần bằng $-E_C$, do đó sẽ xuất hiện xung ở mạch ra của bộ so sánh.

Trong thực tế sẽ giảm thời gian so sánh và để tạo ra các xung có sườn đứng, thường trong các sơ đồ so sánh loại này hay mắc từ 2 đến 3 tầng khuếch đại dùng tranzito làm việc ở chế độ xung. Ngoài ra còn dùng các khuếch đại thuật toán để thiết kế bộ so sánh.

- Các bộ khuếch đại - tạo xung. Công suất của tín hiệu nhận được ở đầu ra của các bộ nghịch pha thường nhỏ, bộ khuếch đại tạo xung dùng để khuếch đại và tạo xung trước khi đưa vào cực điều khiển các tiristo công suất. Trong nhiều trường hợp bộ khuếch đại - tạo xung thường ở dạng các bộ tạo xung ra đồng bộ với tín hiệu từ đầu ra của bộ so sánh. Xung ở các đầu ra của các bộ khuếch đại tạo xung được đưa vào cực điều khiển của tiristo công suất qua các biến áp xung. Các yêu cầu thiết kế các bộ khuếch đại tạo xung phụ thuộc vào các yêu cầu về tham số của các xung kích tiristo, thường là độ rộng xung và công suất của xung. Độ rộng xung phụ thuộc vào dạng sơ đồ của bộ biến đổi và đặc tính của tải. Trên hình 4.20a là một sơ đồ nguyên lý đơn giản của bộ khuếch đại - tạo xung kích cho tranzito công suất. Dạng xung kích đảm bảo kích thông một cách tin cậy các tiristo công suất biểu thị trên hình 4.20c. Điểm đột biến đầu vào của xung có biên độ lớn và độ rộng xung nhỏ khoảng $50 - 100\mu s$ sẽ đảm bảo kích thông tiristo trong thời gian ngắn và tổn hao năng lượng ít trên tiristo khi chuyển từ trạng thái đóng sang trạng thái mở.

Sơ đồ khuếch đại - tạo xung trên hình 4.19a, chính là một tầng khuếch đại dùng biến áp ra. Ở trạng thái ban đầu tranzito T đóng. Sự đóng này thực hiện theo mạch emitter vì lúc đó diốt D_4 sẽ thông theo mạch từ E_2 sang R_2 và diốt D_4 . Diốt D_1 đóng vì $E_2 < E_1$. Quá trình thông tranzito được thực hiện khi ở đầu vào của bộ khuếch đại xuất hiện một xung vuông (có thể lấy ngay ở đầu ra của bộ so sánh). Độ rộng xung này phải chọn cho phù hợp với yêu cầu tiristo trong bộ biến đổi.

Ở thời điểm t_1 xung vào sẽ kích cho tranzito T thông. Chính tranzito T và diốt D sẽ thông nối tụ C với cuộn sơ cấp của biến áp ra, do đó sẽ gây ra sự phóng điện của tụ trong mạch tải của cuộn thứ cấp (mạch điều khiển tiristo công suất). Nhờ có điện trở R_1 điện áp trên tụ C sau thời điểm t_1 giảm và do đó gây ra sự giảm điện áp u_1 ở cuộn sơ cấp và điện áp u_2 ở cuộn thứ cấp của biến áp. Điện áp điều khiển u_2 được liên hệ với điện áp u_1 ở cuộn sơ cấp qua biểu thức $u_2 = u_1 n$, ở đây $n = \omega_1/\omega_2$ là hệ số biến áp. Khi điện áp trên tụ C giảm tới mức điện áp thấp E_2 . Giá trị điện áp E_2 (nếu bỏ qua điện áp sụt ở tranzito và diốt D_4) sẽ xác định thời điểm t_1 , điện áp u_1 ở cuộn sơ cấp và điện áp $u_2 = E_2/n$ ở cuộn thứ cấp của biến áp. Ở thời điểm t_3 xung vào kết thúc, do đó tranzito T đóng, kết thúc quá trình tạo xung điều khiển. Sau đó sẽ có giai đoạn hồi phục trạng thái ban đầu của sơ đồ, tụ điện C lại được nạp điện tới mức điện áp E_1 và dòng nhiễm từ của biến áp sẽ giảm tới không theo mạch của cuộn sơ cấp qua diốt D_2 và diốt ổn áp D_3 .

b - Các hệ thống điều khiển xung - pha không đồng bộ

Trong các hệ thống điều khiển xung - pha không đồng bộ mối liên hệ giữa thời gian của các xung điều khiển với các thời điểm tương ứng của điện áp lưới xoay chiều đóng một vai trò phụ, ví dụ dùng để hạn chế giá trị cực đại và cực tiểu của góc điều khiển α . Chính các xung điều khiển nhận được sẽ không đồng bộ với lưới điện xoay chiều. Các sơ đồ dịch pha về nguyên tắc sẽ không cần thiết đối với các hệ thống điều khiển loại này.

Như vậy là các góc điều khiển α trong hệ thống điều khiển đồng bộ được tạo bỏ sự điều chỉnh các khoảng cách giữa các xung trong hệ thống kín của hệ điều khiển với bản thân bộ biến đổi hay tải của nó.

Nguyên lý xây dựng một hệ thống điều khiển không đồng bộ cho một sơ đồ chỉnh lưu có điều khiển 3 pha được mô tả trên hình 4.21. Đối với sơ đồ biến đổi dạng này cần có 6 kênh điều khiển xung với các sự lệch pha giữa các kênh đó là 60° .

Sáu kênh này sẽ được đưa ra từ bộ chia xung. Bộ chia xung này sẽ làm việc dưới sự tác động của bộ dao động có thể thay đổi tần số. Hiệu giữa điện áp cố định và điện áp lấy từ bộ chuyển đổi sẽ quyết định sự thay đổi tần số của bộ dao động.

Tín hiệu từ bộ biến đổi trong sơ đồ này sẽ tạo thành một mạch hồi tiếp âm theo các tham số điều chỉnh như : điện áp hay dòng điện của bộ biến đổi tần số quay của động cơ,...

Hệ thống điều khiển không đồng bộ của các bộ biến đổi

được sử dụng nhiều trong các trường hợp khi điện áp lưới xoay chiều thường xuyên thay đổi, khi các pha không đối xứng, khi đó nếu sử dụng các hệ thống điều khiển đồng bộ sẽ gây ra sự không đối xứng của góc vượt quá giới hạn cho phép trên các kênh điều khiển.

4.4.3. Các hệ thống điều khiển các bộ biến đổi độc lập

Quá trình làm việc của nghịch lưu độc lập trong nhiều trường hợp được quyết định bởi hệ thống điều khiển để tạo ra xung kích các tiristo với tần số bằng tần số ra của các biến đổi này.

Sơ đồ của hệ thống điều khiển các bộ biến đổi dạng này rất phong phú và đa dạng. Dưới đây ta chỉ xét một sơ đồ đơn giản và thông dụng.

Hình 4.22a là sơ đồ khối của hệ thống điều khiển một bộ nghịch lưu cầu 3 pha. Hệ thống được tạo ra bởi các khối sau :

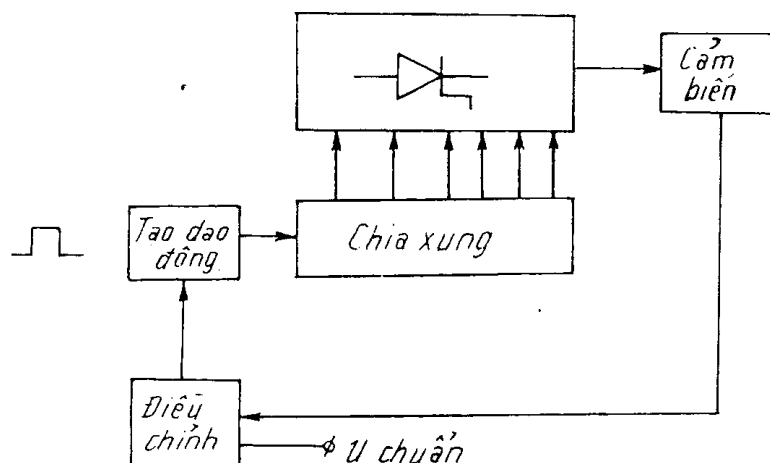
Bộ dao động với tần số $6f$, bộ tạo xung, bộ chia xung và tầng ra khuếch đại xung gồm 6 khối như nhau.

Bộ dao động có thể tạo ra các dao động có tần số có thể thay đổi, điều chỉnh được. Tín hiệu ra của bộ dao động thường là hình sin. Bộ tạo xung sẽ tạo ra các xung vuông từ điện áp hình sin của bộ dao động. Trong thực tế người ta thường hay gộp 2 khối này thành khối tạo xung. Hai khối này sẽ tạo thành hệ thống một kênh.

Để đảm bảo điều khiển quá trình làm việc của nghịch lưu cầu 3 pha cần phải có 6 xung kế tiếp như nhau và các xung này dịch pha theo thời gian một góc là $\pi/3$. Chính vì thế bộ tạo dao động phải tạo ra điện áp với tần số gấp 6 lần tần số của điện áp ra của bộ nghịch lưu.

Bộ chia xung sẽ chia các xung đó theo 6 kênh chính vì thế ở đầu ra của một tầng khuếch đại ta sẽ nhận được các xung với tần số bằng f và sự lệch pha của các xung này là $\pi/3$.

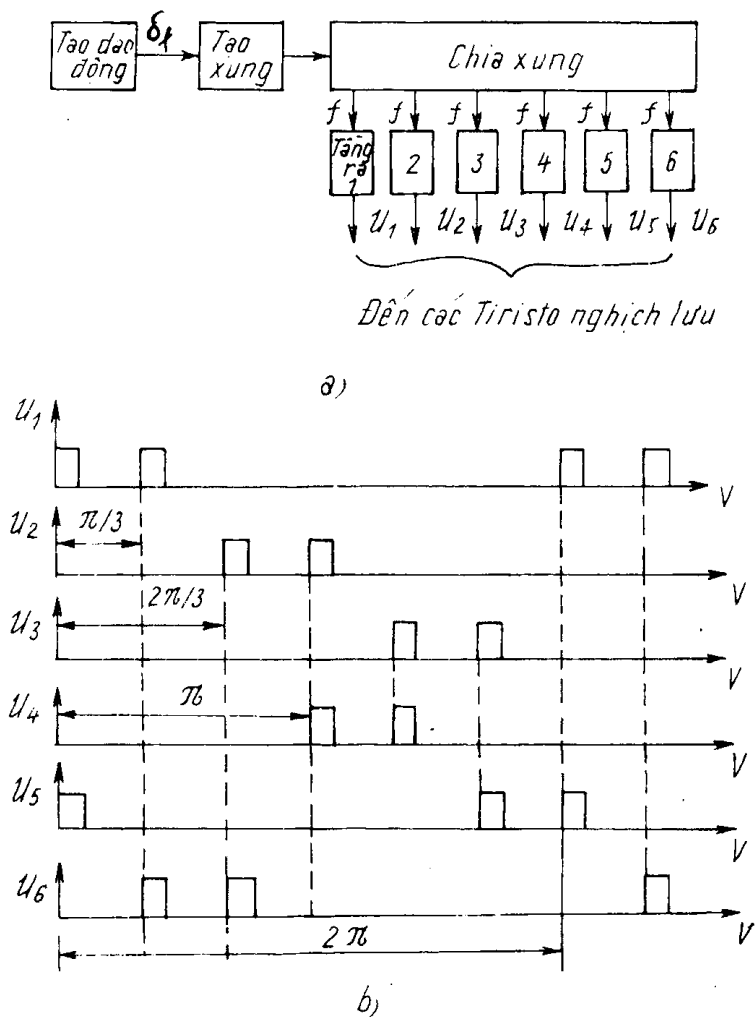
Độ rộng của các xung điều khiển đưa vào các tiristo không quá $2\pi/3$, bởi vì nghịch lưu làm việc cần phải kích 2 tiristo đồng thời (xem ví dụ phần nghịch lưu) một nhóm của anôt, một nhóm của catôt, vì thế hệ thống điều khiển đơn giản thường được xây



Hình 4.21 : Sơ đồ chức năng của hệ thống điều khiển không đồng bộ với các bộ biến đổi.

dụng sao cho mỗi một tiristo được kích thông bằng hai xung ngắn : một xung ở thời điểm bắt đầu làm việc và một xung nữa chậm so với xung đó một góc $\pi/3$ hình 4.22b.

Còn đối với các sơ đồ nghịch lưu độc lập dùng tranzito thì độ rộng xung điều khiển bằng thời gian mà tranzito ở trạng thái mở.



Hình 4.22 : a) Sơ đồ khối hệ thống điều khiển bộ nghịch lưu cầu 3 pha ; b) Giản đồ thời gian mô tả quá trình hình thành xung điều khiển các tiristo

Chương 5

BỘ VI XỬ LÝ

Chương này trình bày bộ vi xử lý (VXL), một thiết bị điện tử số đang được dùng rất phổ biến hiện nay.

Bộ vi xử lý, là một thiết bị xử lý tin vụn năng cực nhỏ và thường được đóng gói trong một vi mạch điện tử (IC chip).

Bộ vi xử lý đầu tiên được đưa ra thị trường là 4004, xử lý 4 bit của hãng Intel từ năm 1971. Sau một thời gian ngắn, bộ vi xử lý đã được sử dụng ở mọi nơi, trong kinh tế, kĩ thuật và nó được cải tiến, phát triển không ngừng.

Nguyên lí làm việc cơ bản của các bộ vi xử lý đều sử dụng nguyên tắc định hình và có thể nói chúng là sự phát triển ngày càng cao của bộ vi xử lý 8085 do Intel đưa ra.

Để dễ dàng nắm được hoạt động của bộ vi xử lý và ứng dụng của chúng, chúng ta bắt đầu với một số khái niệm chung về điện tử số và tính toán xử lý.

5.1. KHÁI NIỆM CHUNG

Trong kĩ thuật điện tử chúng ta đã làm quen các phần tử cơ bản của kĩ thuật số còn gọi là mạch logic cơ bản hoặc phần tử số cơ bản. Các phần tử này, thường được sản xuất nhờ kĩ thuật vi mạch điện tử. Nó được gọi là các phần tử điện tử số (digital electronics).

Từ các phần tử số cơ bản ở trên, dựa vào các luật của toán logic, chúng ta có thể tổng hợp thành các mạch điện tử số phức tạp hơn cho phép thực hiện các chức năng xử lý tín hiệu và xử lý tin. Các mạch này được gọi là các mạch chức năng. Các mạch chức năng này cũng thường được sản xuất nhờ kĩ thuật vi mạch điện tử, và nó còn được gọi là các vi mạch chức năng.

Bằng các mạch chức năng, cũng nhờ các luật của toán logic, người ta xây dựng các thiết bị số.

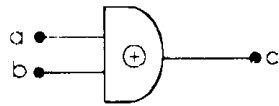
Bộ vi xử lý là một loại vi mạch số điện tử phức tạp và khá đặc biệt. Nó có thể được hiểu là một mạch chức năng và được sử dụng như là khối xử lý trung tâm của thiết bị khác, mà cũng có thể như là một thiết bị hoàn chỉnh với một số cải tiến trong mạch của nó.

Trong phần này, chúng ta lưu ý là phải nắm chắc các phần tử cơ bản AND, OR, NOT và mạch lật (còn gọi Trigo hoặc Flip-Flop). Từ các mạch cơ bản này với các mạch chức năng các bạn cần phải quan tâm đầu tiên là mạch cộng modul 2 còn gọi là mạch XOR, mạch cộng trừ (Adder - Subtractor), thanh ghi (Register), bộ đếm (counter), mạch giải mã (decoder).

5.1.1. Mạch XOR là mạch thực hiện chức năng

$$c = a \oplus b = a\bar{b} + \bar{a}b$$

Có sơ đồ kí hiệu

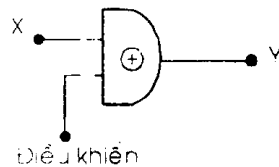


và bảng chân lí

Hình 5.1 : Mạch XOR.

Nó được sử dụng để cộng modul 2, làm mạch so sánh xem hai đầu vào a và b có giống nhau hay không, để làm mạch đảo điều khiển được. Nếu ta có mạch

a	b	c
0	0	0
0	1	1
1	0	1
1	1	0



Hình 5.2. Mạch đảo có điều khiển.

thì rõ ràng $Y = X$ khi không có tín hiệu điều khiển, hoặc $Y = \bar{X}$ khi tín hiệu điều khiển bằng 1.

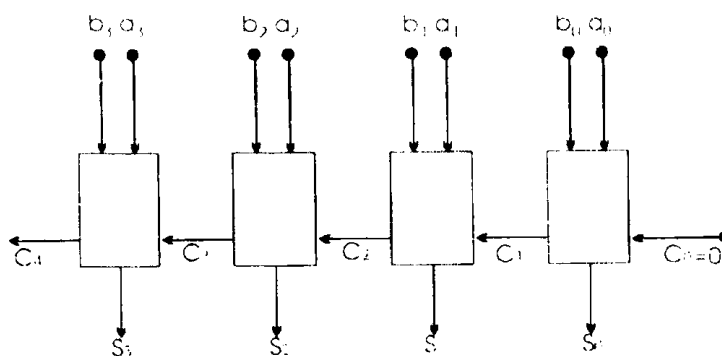
5.1.2. Một mạch cộng trừ thường được sử dụng trong kĩ thuật số là mạch cộng có thể làm chức năng trừ.

Mạch cộng có nhiều dạng nhưng thường để cộng hai số nhị phân người ta cộng từng chữ số của nó, tính từ bên phải, và nếu tổng hai chữ số cùng vị trí có giá trị lớn hơn hoặc bằng 2 thì kết quả cộng ở chữ số đó chỉ là phần còn lại sau khi trừ đi cho 2 và ta thêm 1 vào kết quả cộng hai chữ số bên trái hơn (việc này được gọi là truyền nhớ). Ta ví dụ cộng hai số $a = 0011$ với $b = 0111$

a	0011
b	0111
Cộng từng chữ số	0122
Sau xử lí nhớ	1010

Để thực hiện mạch cộng này, người ta tổ chức các mạch cộng từng chữ số theo cách sau :

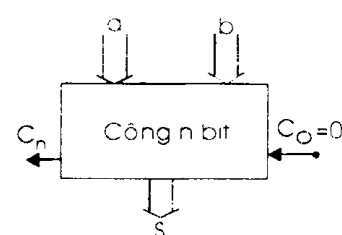
Mỗi mạch cộng từng chữ số sẽ có 3 đầu vào, trong đó hai đầu vào là chữ số thứ i của số a (chữ số a_i) và chữ số thứ i của số b (chữ số b_i) còn đầu vào thứ 3 là đầu truyền nhớ từ chữ số ở bên phải hơn đến C_i . Mạch này có hai đầu ra, một đầu ra là kết quả cộng $a_i + b_i + C_i$ cho ta chữ số thứ i của kết quả S_i , còn đầu ra thứ hai là nhớ truyền sang mạch cộng chữ số bên trái hơn C_{i+1} . Giả thiết chữ số bên phải nhất có thứ tự là 0, ta có sơ đồ kí hiệu cho bộ cộng 4 bit.



Hình 5.3 : Mạch cộng 4 bit.

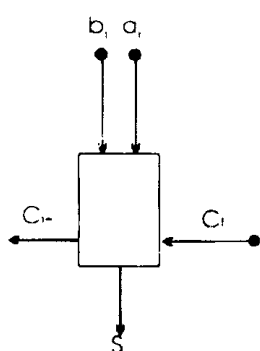
Mạch cộng thường được kí hiệu bằng sơ đồ.

Trong sơ đồ trên C_0 là nhớ đưa vào mạch cộng bên phải nhất (thứ tự 0) nó phải luôn bằng 0, C_n là nhớ được đưa ra từ mạch cộng bên trái nhất (thứ tự n). a, b, S là các đầu vào hoặc ra có n đường truyền tín hiệu a_i, b_i, S_i (còn gọi đường truyền n bit) song song đến từng mạch cộng từng chữ số. Mạch này sẽ cho phép cộng hai số có n chữ số.



Hình 5.4 : Sơ đồ kí hiệu của bộ cộng.

Mỗi mạch cộng từng chữ số có sơ đồ kí hiệu và có bảng chân lí sau



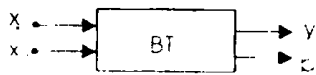
a)

a_i	b_i	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

b)

Hình 5.5 : Sơ đồ kí hiệu (a) và bảng chân lí (b) của mạch cộng một bit.

Mạch cộng một bit này thường được thực hiện từ hai bộ bán tổng. Mỗi bộ bán tổng có sơ đồ kí hiệu và bảng chân lí ở hình 5.6.



a)

x_1	x_2	y	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

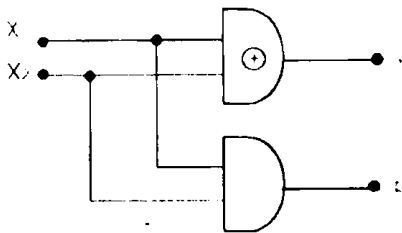
b)

Hình 5.6 : Sơ đồ kí hiệu (a) và bảng chân lí (b) của bộ bán tổng.

Trong bộ bán tổng thì y là kết quả cộng và nó là mạch cộng modul 2, còn P là truyền nhớ và nó là mạch và (AND) từ hai đầu vào x_1, x_2 . Sơ đồ logic của bán tổng cho ở hình 5.7.

Bộ tổng được thực hiện từ bán tổng qua sử dụng hai bảng chân lí của chúng sẽ cho ở hình 5.8.

Để thực hiện chức năng trừ, trong kĩ thuật mạch logic, người ta sử dụng một loại mã gọi là mã bù hai (two complement code) cho số nhị phân âm. Mã bù hai $\tilde{b}$ của số âm b được tính như sau :



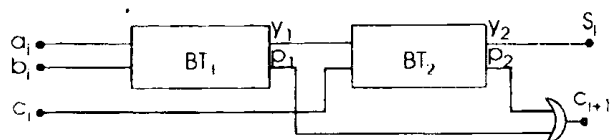
Hình 5.7 : Sơ đồ logic của bán tổng

Trước hết dấu của mã bù hai $\tilde{b}$ cũng là dấu âm như của số âm b . Trong thiết bị số, dấu âm luôn được ghi bằng một Flip-Flop ở bên trái nhất của thanh ghi số và ta gọi nó là bit dấu (SB : Sign bit). Nếu bit này bằng 0 ($SB = 0$) thì số là số dương, bit này bằng 1 ($SB = 1$) thì số là số âm. Phần giá trị số của mã bù hai của b chính là giá trị tuyệt đối của b đem lấy đảo từng bit rồi cộng thêm 1.

$$\tilde{b} = -(|\bar{b}| + 1)$$

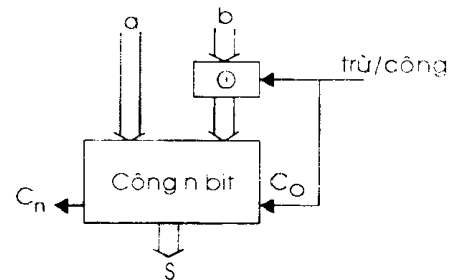
Ví dụ : mã bù hai của -1001 sẽ tính như sau :

$$\begin{array}{rcl} b & = & -1001 \rightarrow 11001 \\ |\bar{b}| & = & 0110 \\ |\bar{b}| + 1 & = & 0111 \\ \hline \tilde{b} & = & 10111 \end{array}$$



Hình 5.8 : Sơ đồ logic của mạch tổng một chữ số.

Khi sử dụng mã này, người ta nhận thấy rằng phép toán $a - b$ sẽ được thay bằng phép toán $a + b$. Điều này có nghĩa là để thực hiện phép toán trừ $a - b$ ta cộng số bị trừ với mã bù hai của số trừ. Để làm điều này ta sử dụng mạch cộng hai số nhưng số trừ trước khi đưa vào mạch cộng ta phải dùng mạch đảo từng bit, và để cộng thêm 1 ta đưa thêm 1 vào đầu truyền nhớ C_0 . Nếu ta sử dụng bộ đảo điều khiển được và chỉ đảo khi thực hiện phép trừ, không đảo khi thực hiện phép cộng và điều khiển $C_0 = 0$ khi thực hiện phép cộng, $C_0 = 1$ khi thực hiện phép trừ thì ta sẽ có mạch cộng trừ điều khiển được. Sơ đồ ký hiệu của mạch cộng trừ cho bởi hình 5.9.



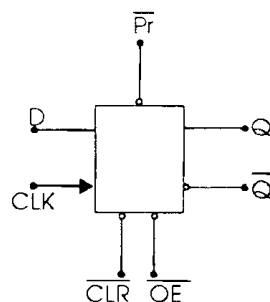
Hình 5.9 : Sơ đồ mạch cộng trừ.

Trong sơ đồ này số 6 được đưa qua mạch đảo có điều khiển là n mạch đảo có điều khiển dùng XOR đặt song song nhau (mỗi mạch cho một chữ số). Tín hiệu điều khiển trừ/cộng sẽ bằng 1 khi thực hiện phép toán trừ, hoặc bằng 0 khi thực hiện phép toán cộng.

5.1.3. Một thanh ghi thực chất là một mạch gồm nhiều Flip-Flop cho phép ghi lên nó nhiều chữ số nhị phân, mỗi chữ số nhị phân ghi vào một Flip-Flop. Ta có thể nói mỗi Flip-Flop là một vị trí ghi 1 chữ số nhị phân và ta gọi nó là một vị trí nhị phân hay một bit (bit : binary digit). Các bit sắp xếp thành một hàng để ghi các chữ số của một số nhị phân (thanh ghi). Bit ở bên phải nhất của thanh ghi, ghi chữ số bên phải nhất của số và theo thông thường nó là chữ số nhỏ nhất nên bit này gọi là bit có ít ý nghĩa nhất (LSB : Last Significant Bit). Tương tự bit bên trái nhất của thanh ghi được gọi là bit nhiều ý nghĩa nhất (MSB). Với số nguyên, chữ số bên phải nhất là chữ số đơn vị hay chữ số bậc 0 nên bit này còn gọi là bit bậc 0 hay bit 0.

Trong các phần trước, ta đã biết rằng Flip-Flop, có nhiều loại và nó đều được tổng hợp từ RS lên. Với thanh ghi, trong kỹ thuật mạch logic, người ta có thể sử dụng Flip-Flop JK và thường nhất là Flip-Flop D.

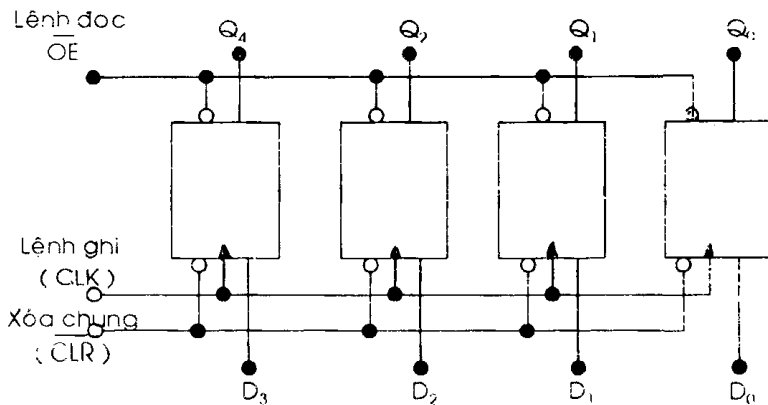
Một Flip-Flop D ở dạng phức tạp nhất là D có chốt (Latch), có lập (Preset), có xóa (Clear), và có điều khiển ba trạng thái ở đầu ra (output Enable). Sơ đồ ký hiệu và bảng chân lý của mạch D này cho bởi hình 5.10.



Pr	CLR	CLK	D	OE	Q
0	0	X	X	0	X
0	0	X	X	1	Z
0	1	X	X	0	1
0	1	X	X	1	Z
1	0	X	X	0	0
1	0	X	X	1	Z
1	1	0	X	0	q
1	1	0	X	1	Z
1	1	1	0	0	0
1	1	1	0	1	Z
1	1	1	1	0	1
1	1	1	1	1	Z

Hình 5.10 : Sơ đồ ký hiệu (a) và bảng chân lý (b) của D.

Trong sơ đồ kí hiệu trên Pr là tín hiệu vào lập và nó là tích cực đảo (tức là khi $Pr = 0$ thì mạch chịu kích thích từ tín hiệu Pr) ; CLR là tín hiệu vào xóa, nó cũng là tích cực đảo. Khi có tín hiệu lập $Pr = 0$ thì mạch được lập lên 1. Khi có tín hiệu xóa $CLR = 0$ thì mạch bị xóa về 0. Nếu đồng thời xóa và lập ($Pr = 0$ và $CLR = 0$) thì mạch không xác định được là được lập lên 1 hay bị xóa về 0. Trạng thái này được gọi là trạng thái không xác định. Tất cả các trạng thái không xác định (có thể là 1, có thể là 0) ở cả đầu ra và đầu vào đều được ghi là X trong bảng chân lí. Tín hiệu vào OE là tín hiệu điều khiển ba trạng thái đầu ra, nó cũng là tích cực đảo. Nếu $OE = 0$ thì đầu ra Q chính là trạng thái bên trong của mạch, nếu $OE = 1$, đầu ra sẽ bị cách li với trạng thái bên trong của mạch, hay là trạng thái của mạch không được phép đưa ra. Khi đầu ra không được nối vào bên trong mạch, trở kháng ra xét tại đầu ra là rất lớn, nên ta gọi trạng thái này là trạng thái trở kháng cao. Ta dùng một chữ Z để chỉ trạng thái này. Khi không lập và không xóa ($Pr = 1$, $CLR = 1$), nếu không có tín hiệu vào nhịp CLK hay còn gọi là đầu vào chốt (Latch) thì mạch giữ nguyên trạng thái cũ. Ta dùng chữ q để chỉ nó là trạng thái trước thời điểm xét ở trong bảng chân lí. Khi có tín hiệu nhịp, trạng thái của mạch là trạng thái của tín hiệu vào, hay ta nói lúc này mạch ghi tín hiệu ở đầu vào D vào trong nó.



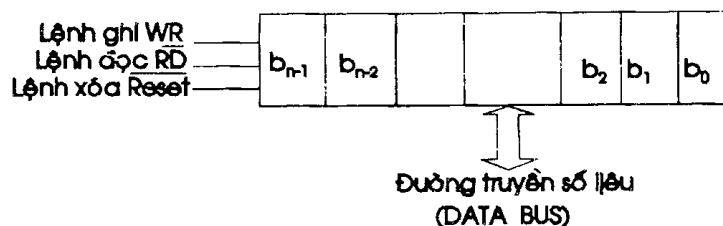
Hình 5.11 : Thanh ghi 4 bit.

Nếu không kể đến lập và xóa Flip-Flop D sẽ là mạch ghi tín hiệu vào từ đầu vào D khi có lệnh ghi CLK và đọc trạng thái từ nó ra đầu ra Q khi có lệnh đọc $\overline{OE}$.

Một thanh ghi là xếp các mạch D kể trên bên cạnh nhau và nối chung các đầu vào nhịp CLK, cho phép ra $\overline{OE}$, và có thể dùng đầu xóa nối chung lại để xóa thanh ghi. Một thanh ghi 4 bit có sơ đồ logic cho ở hình 5.11.

Thanh ghi được kí hiệu bởi sơ đồ quy ước sau :

Vì tín hiệu từ các đầu vào D_i chỉ có thể vào mạch khi có lệnh ghi (ta dùng kí hiệu WR), tín hiệu từ trong mạch chỉ ra được các đầu ra Q_i khi có lệnh đọc (ta kí hiệu là $\overline{RD}$) nên đầu ra Q_i có thể nối chung với đầu vào D_i để tạo thành đường số liệu thứ i (ta sẽ kí hiệu là D_i). Tập hợp các đường số liệu này



Hình 5.12 : Biểu diễn của thanh ghi.

Nếu đầu ra của Flip-Flop i được nối với đầu vào của Flip-Flop $i + 1$ (hoặc $i - 1$) ở bên cạnh nó thì mỗi lệnh ghi sẽ làm cho tín hiệu ở mạch thứ i sẽ dịch sang mạch $i + 1$ (hoặc $i - 1$) với điều kiện lệnh đọc luôn được dẫn đến thanh ghi. Lúc này ta có một thanh ghi đặc biệt gọi là thanh ghi dịch (Shift Register). Hiện nay, người ta thường sản xuất các thanh ghi có thể có hoặc không có chức năng dịch trong cùng một vi mạch số. Người dùng tùy mục đích sử dụng mà tra cứu và chọn cho thích hợp.

Nếu trong thanh ghi dịch mà ban đầu ta sử dụng các đầu vào lập hoặc xóa để chỉ ghi vào trong nó một giá trị 1 ở bit bên trái nhất còn các bit khác ghi 0, thì nếu thanh ghi có n bit, thì sau n nhịp dịch, bit có giá trị 1 sẽ được chuyển đến đầu ra của bit bên phải nhất. Ta có 1 mạch mà sau n xung vào nhịp sẽ có 1 xung ra hay là ta có một bộ đếm cơ số n dùng thanh ghi dịch.

5.1.4. Một bộ nhớ là một thiết bị cho phép ghi các số nhị phân có n bit vào trong nó và có thể lấy nó ra khi ta cần.

Trong kĩ thuật tính toán, một con số có n chữ số còn được gọi là một từ có độ dài n . Từ bây giờ ta sẽ gọi một con số nhị phân có n chữ số là một từ có n bit.

Để ghi một từ n bit, ta có thể sử dụng thanh ghi n bit.

Để ghi nhiều từ n bit, ta dùng nhiều thanh ghi n bit.

Vậy khái niệm đầu tiên về bộ nhớ là nó là một tập hợp các thanh ghi n bit. Độ dài n là độ dài từ nhớ. Ngày nay người ta thường dùng độ dài từ nhớ là 8 bit hay còn gọi là một byte (một bộ tám). Số lượng thanh ghi được gọi là dung lượng của bộ nhớ.

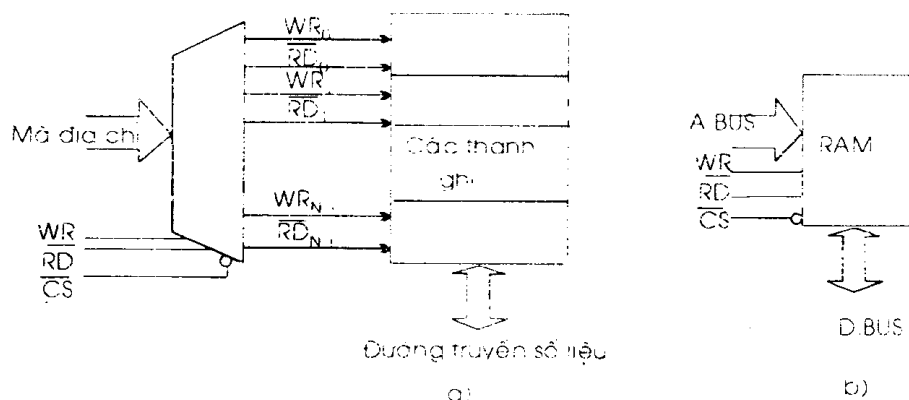
Muốn ghi thông tin vào thanh ghi nào ta phải tạo ra lệnh ghi cho thanh ghi đó. Muốn đọc thông tin từ thanh ghi nào ta phải tạo ra lệnh đọc cho thanh ghi đó. Điều này làm cho số chân tín hiệu ghi, đọc vào bộ nhớ luôn bằng hai lần dung lượng của nó. Số lượng chân này là quá lớn và vượt quá khả năng tổ chức các đường truyền tới mạch cũng như thực hiện các chân ra của mạch nhớ trong kĩ thuật vi mạch điện tử.

Để giảm số chân ghi đọc đến bộ nhớ, người ta tổ chức một mạch giải mã tạo các lệnh ghi đọc cho từng thanh ghi cụ thể và gọi là mạch giải mã địa chỉ nằm trong bộ nhớ. Mạch giải mã địa chỉ có thể có những dạng khác nhau, nhưng phổ biến là sử dụng mạch giải mã thông thường. Mạch này thường cần số chân vào gọi là các chân địa chỉ bằng logarit cơ số hai của dung lượng của bộ nhớ. Nếu gọi số chân địa chỉ là n , dung lượng là N thì

$$n = \log_2 N,$$

và hai tín hiệu gọi là lệnh đọc là lệnh ghi để giải mã ra các lệnh đọc ghi cho từng thanh ghi. Trong nhiều trường hợp mạch giải mã này sẽ chỉ làm việc khi có thêm một tín hiệu cho phép đầu ra của nó. Tín hiệu này cũng quyết định sự làm việc hay không của cả mạch nhớ nên nó được gọi là tín hiệu chọn vỏ CS (chipselect). Tín hiệu này thường là tích cực đảo.

Bộ nhớ này cho phép ta có thể ghi hoặc đọc tùy ý vào bất kì thanh ghi nằm ở vị trí nào trong nó (địa chỉ bất kì) nên còn gọi là bộ nhớ ghi đọc tùy ý hay RAM (Random Access Memory). Sơ đồ logic và sơ đồ quy ước của bộ nhớ cho bởi hình 5.13.

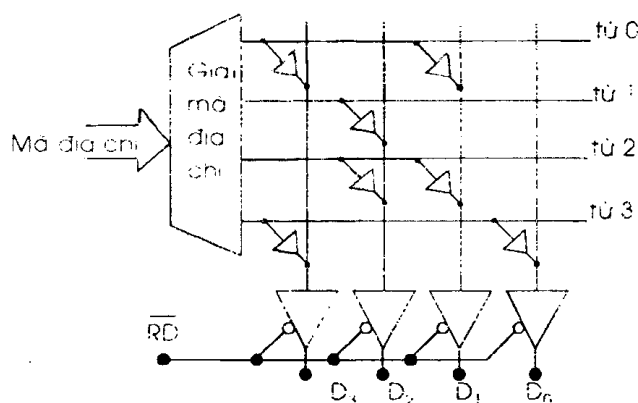


Hình 5.13 : Sơ đồ logic (a) và kí hiệu của RAM (b).

Nếu bộ nhớ chỉ cần đọc thông tin từ trong nó ra, mà các thông tin này được ghi bởi nhà sản xuất thì ta gọi là bộ nhớ chỉ đọc hay ROM (Read Only Memory).

Cấu trúc của ROM có thể được minh họa bởi hình 5.14. Trong hình này ta mô tả một ROM có 4 từ, mỗi từ 4 bit. Đầu vào ta chỉ cần 2 dây địa chỉ đến mạch giải mã địa chỉ. Vì không cần ghi nên không còn lệnh ghi và lệnh đọc được chuyển đến điều khiển các mạch 3 trạng thái để nó mở cho tín hiệu từ bộ nhớ ra được đường số liệu.

Nguyên lý làm việc của nó là cứ trên một dây ngang có tín hiệu là 1 (và chỉ một dây ngang được quyền có tín hiệu 1 do mạch giải mã địa chỉ quyết định) thì qua các điốt nối với nó, tín hiệu 1 này được truyền đến các dây dọc tương ứng. Tín hiệu từ các dây dọc sẽ đi ra ngoài nếu có lệnh đọc. Việc ghi thông tin và việc đặt các điốt.



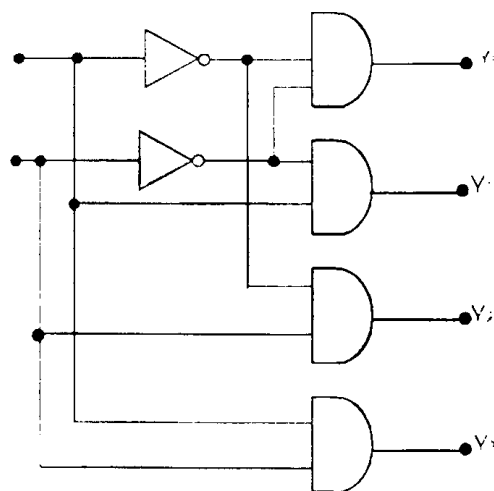
Hình 5.14: Ví dụ vẽ ROM 4 từ 4 bit.

5.1.5. Mạch giải mã thực chất là mạch nhận biết giá trị của tổ hợp mã ở đầu vào của mạch. Giả thiết mạch có n đầu vào nhị phân. Số giá trị có thể có của các đầu vào này sẽ là 2^n . Mạch của ta phải nhận biết được từng giá trị này và báo ra đầu ra. Cách tổ chức đơn giản nhất là ta dùng 2^n đầu ra đánh số từ $Y_0, Y_1, \dots, Y_{2^n-1}$ ứng với các giá trị $0, 1, \dots, 2^n - 1$ ở đầu vào. Khi đầu vào có giá trị i thì chỉ duy nhất đầu ra Y_i chuyển lên 1 còn các đầu ra khác giữ ở giá trị 0.

Theo các luật của toán logic, nếu ta biểu diễn giá trị i bằng một số nhị phân dài n chữ số thì nó sẽ là tổ hợp của n giá trị nhị phân hay là tổ hợp của n giá trị vào của n biến nhị phân x_i . Biết x_i sẽ không đảo nếu giá trị vào là 1 và sẽ là đảo ($\bar{x}_i$) khi giá trị vào bằng 0. Một mạch nhận biết 1 giá trị i chính là một mạch và (AND) có n đầu vào mà các đầu vào của nó có hay không có đảo tùy chữ số nhị phân ứng với vị trí đó lấy giá trị 0 hay 1 (ứng với giá trị i). Hình 5.15 là bảng chân lí và sơ đồ logic của mạch giải mã 2 đầu vào 4 đầu ra.

x_0	x_1	y_0	y_1	y_2	y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

a)



b)

Hình 5.15 : Bảng chân lí (a) và sơ đồ logic (b) của mạch giải mã 2 đầu vào 4 đầu ra.

5.2. CẤU TRÚC CHUNG CỦA BỘ VI XỬ LÝ

5.2.1. Khái niệm về xử lí và tính toán

Ta hiểu mỗi một phép biến đổi thông tin được gọi là một phép xử lí tin. Một thiết bị thực hiện một phép xử lí tin là một bộ xử lí tin. Một thiết bị cho phép thực hiện được những lớp phép toán xử lí tin khá rộng được gọi là bộ xử lí tin vạn năng.

Với một phép biến đổi thông tin, nếu ta có thể mô hình hóa được tin vào tin ra bằng những biến toán học và phép biến đổi là một hàm nào đấy thì xử lí tin có thể được coi là một hàm toán học.

Với định lí lấy mẫu tín hiệu, ta có thể chuyển bất kì một đại lượng tương tự thành số và ngược lại. Điều này cho phép sử dụng các thiết bị số để thực hiện các phép xử lí tin cho dù nó là số hay không.

Ngày nay các thiết bị điện tử số được sản xuất với thời gian sản xuất ngắn, có kích thước nhỏ, giá thành thấp, độ linh hoạt cao và khả năng xử lí rất vạn năng nên các thiết bị xử lí tin hầu hết là các thiết bị điện tử số.

Với các thiết bị điện tử số, một bộ xử lí vạn năng có thể nằm gọn trong một vi mạch điện tử ta gọi nó là một bộ vi xử lí (Microprocessor : MP).

Để hiểu cấu trúc tổng quát và nguyên lí hoạt động tổng quát của bộ vi xử lí, ta xem xét cách xử lí tin của người.

Con người dùng các cơ quan cảm thụ thông tin các giác quan để nhận thông tin (ví dụ dùng mắt để nhận thông tin quang). Các thông tin này được tính toán, so sánh xử lí với các thông tin đã biết và được nhớ trong não để đưa ra những quyết định về

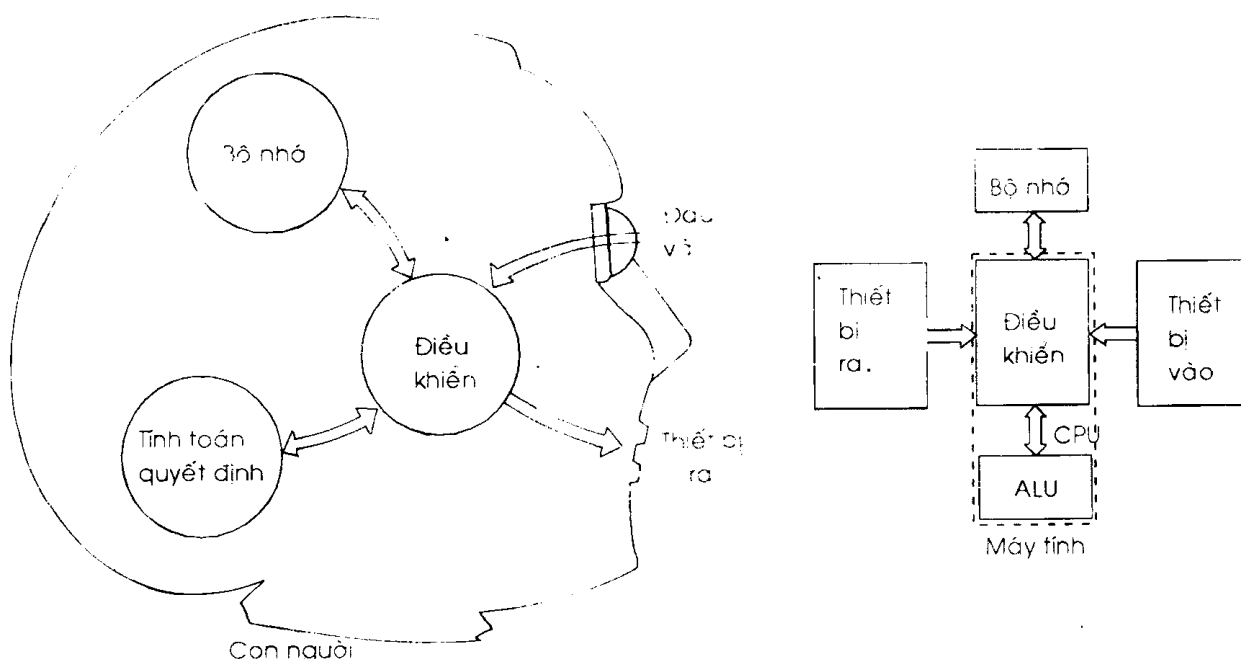
thông tin đó. Từ những quyết định về thông tin thu nhận được con người có thể quyết định các hành động thích hợp và các quyết định hành động này được chuyển đến các cơ quan chấp hành để thực hiện hành động (ví dụ đến cơ quan phát âm để phát ra tiếng nói cần thiết). Để có thể điều phối hoạt động của các cơ quan trên, phải có một cơ quan điều khiển chung. Cơ quan này sẽ ra các quyết định về thời điểm và loại thông tin cần thu thập và chuyển tải đến cơ quan tính toán, thời điểm và loại hành động cần thực hiện, chuyển tải lệnh hành động cần thiết đến cơ quan chấp hành, quyết định về phép toán cần thực hiện ở cơ quan tính toán quyết định cũng như thời điểm đọc ghi thông tin với cơ quan nhớ thông tin. Đối với con người, cơ quan nhớ, tính toán quyết định và điều khiển chung đều tập trung ở não người.

Với một bộ xử lý nó cũng phải có thiết bị vào để thu nhận thông tin, thiết bị ra để trao đổi thông tin ra bên ngoài hoặc tác động đến cơ cấu chấp hành, bộ nhớ để nhớ thông tin, khối tính toán, và cuối cùng là bộ điều khiển chung.

Vì tính ưu việt của điện tử số, các bộ xử lý ngày nay là xử lý số, nên khối tính toán quyết định chính là khối thực hiện các phép toán số. Hiện nay người ta có thể tìm được các thuật toán (sử dụng các đại số khác nhau) để chuyển hầu hết các bài toán về dạng dãy xác định của các phép toán logic, số học và quan hệ. Các phép toán quan hệ lại có thể thực hiện bằng các phép toán logic, số học và thử đầu ra.

Khối tính toán quyết định lúc này sẽ chỉ là khối thực hiện các phép toán logic, số học và quyết định đầu ra. Khối này thực hiện một dãy phép toán bất kì nhờ các thứ tự xác định của các lệnh điều khiển các phép toán hay còn gọi là chương trình (program) của bài toán. Khối tính toán quyết định kiểu này được gọi là khối logic số học hay ALU (Arithmetic Logic Unit).

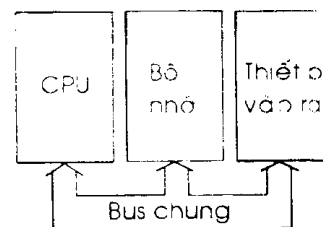
Khối điều khiển, để quyết định các lệnh điều khiển của mình, thường xuyên phải dựa vào kết quả tính toán của ALU, nên trong thực tế sản xuất khối này và ALU thường được sản xuất chung thành một khối. Khối chung này sẽ chịu trách nhiệm điều



Hình 5.16 : Sơ đồ xử lý tin của người (a) và kỹ thuật (b).

kiến, tính toán, quyết định cho toàn hệ thống. Ta chỉ cần thêm bộ nhớ, thiết bị vào ra là ta có một thiết bị xử lý tin hoàn chỉnh. Khối chung này được gọi là khối điều khiển hay xử lý trung tâm hay CPU (central processing Unit). Mô hình xử lý tin của người và sơ đồ khối chung của thiết bị xử lý tin dạng số cho ở hình 5.16.

Cấu trúc của các thiết bị xử lý tin dạng số ở trên là cấu trúc chung của tất cả các máy tính số. Trong các máy tính này, người ta gộp các chức năng vào và ra chung trong một tập hợp các thiết bị gọi là thiết bị vào ra. Nếu ta sử dụng nhiều thiết bị vào ra thì hệ của ta sẽ có rất nhiều đường nối với nó nên, trong kĩ thuật, người ta sử dụng một cách nối bắt nguồn từ việc tổ chức giao thông công cộng trong các mạng xe Bus. Cách nối này gọi là cấu trúc Bus và nó là một đường nối song song chung (Bus chung). Mỗi thiết bị sẽ nối với nó qua một bộ nối (connector). Mọi thiết bị đều dùng Bus chung để truyền tin với nhau, và mỗi thời điểm trên Bus chỉ có 1 cặp thiết bị truyền tin cho nhau. Sơ đồ khối chung của thiết bị xử lý tin, cũng chính là sơ đồ khối chung của máy tính số cho ở hình 5.17.



Hình 5.17 : Sơ đồ khối của máy tính số.

Do sự phát triển của kĩ thuật vi mạch điện tử, đặc biệt trong lĩnh vực điện tử số, mỗi khối của sơ đồ trên, thậm chí gần như toàn bộ sơ đồ khối trên được sản xuất gọn trong một vi mạch số điện tử. Những vi mạch có chứa trong nó CPU của sơ đồ khối trên được gọi là bộ vi xử lý. Kĩ thuật vi xử lý là kĩ thuật sử dụng bộ vi xử lý và các vi mạch chức năng khác tạo ra các thiết bị xử lý tin cụ thể.

Việc ứng dụng bộ vi xử lý và các vi mạch chức năng (ứng dụng kĩ thuật vi xử lý) trong kĩ thuật tính toán cho ta các máy tính có kích thước cực nhỏ và có công suất tính toán cũng như khả năng giải các lớp bài toán khác nhau ngày càng tăng. Những máy tính này được gọi là các máy vi tính và nó có ứng dụng hết sức rộng rãi trong kinh tế, kĩ thuật và công nghệ.

5.2.2. Cấu trúc và nguyên lí hoạt động của bộ vi xử lý

Như trên đã nói bộ vi xử lý, trước hết, phải chứa khối CPU của cấu trúc máy tính nói chung. Để xét cấu trúc của bộ vi xử lý, ta phải xét cấu trúc chung của CPU của máy tính.

CPU là khối xử lý trung tâm nó gồm khối điều khiển chung và ALU như ta đã nói trong phần trên. Để thấy được cấu trúc của CPU, đầu tiên ta xét ALU và rồi đến các khối phải có trong điều khiển chung các hoạt động của máy từ yêu cầu của ALU và việc trao đổi số liệu giữa ALU với bên ngoài.

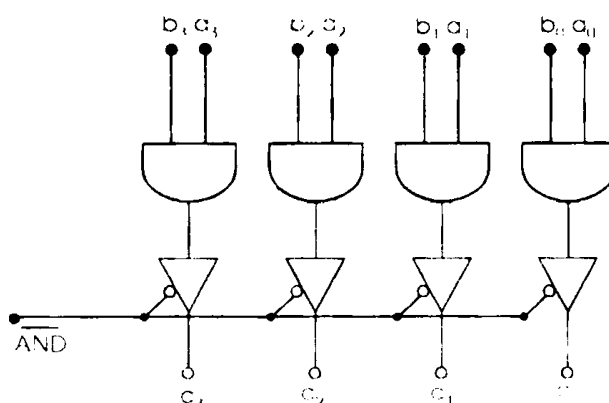
1. ALU là khối số học logic, trong nó phải có các khối thực hiện các phép toán số học các phép toán logic và quyết định logic. Mỗi khối thực hiện một phép toán trên dữ liệu là từ nhị phân n bit và cho ra kết quả cũng là từ nhị phân n bit. Các dữ liệu đến mỗi khối thực hiện một phép toán đều được truyền qua một Bus chung. Các kết quả từ mỗi khối phép toán cũng đều được đưa ra một Bus chung.

Để cho ALU chỉ thực hiện phép toán cần thiết (ta gọi là phép toán được chọn) thì ta phải cấm các khối khác hoạt động hoặc không truyền dữ liệu vào ra với nó.

Trong kỹ thuật điện tử, đơn giản nhất là ta dùng các mạch ba trạng thái ở đầu ra của mỗi khối và một khối chỉ cho tín hiệu kết quả ra Bus chung khi khối này có tín hiệu điều khiển đầu ra tương ứng. Tín hiệu điều khiển đầu ra của mỗi khối sẽ là tín hiệu chọn phép toán thực hiện trong khối. Tập hợp các tín hiệu chọn này có thể gọi là mã phép toán.

Thực tế thực hiện ALU sử dụng nguyên tắc trên để chọn các phép toán logic AND, OR, NOT và phân biệt các phép toán số học với các phép toán logic.

Mỗi phép toán logic theo từ n bit sẽ là n phép toán logic từng bit có đầu ra ba trạng thái. Ví dụ hình 5.18 cho ta sơ đồ logic của khối phép toán AND 4 bit. Trong sơ đồ này a_i, b_i là các chữ số của dữ liệu a và b ; C_i là các chữ số của kết quả C ; $\overline{\text{AND}}$ là tín hiệu chọn phép toán AND, nó chính là tín hiệu điều khiển đầu ra và nó có tích cực âm.

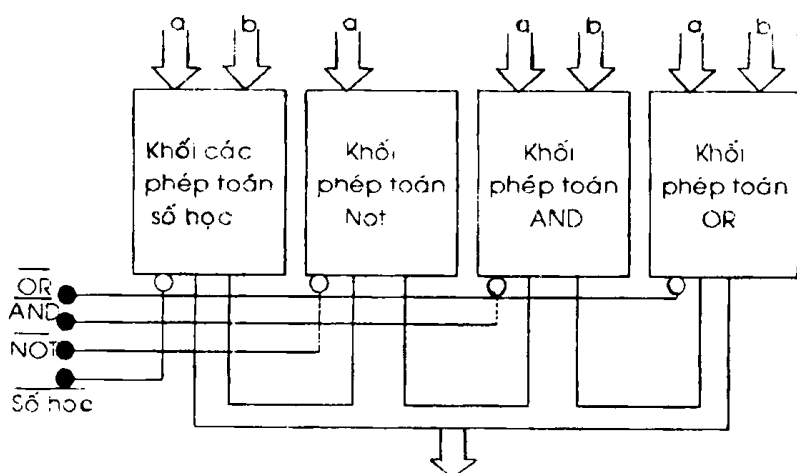


Hình 5.18 : Sơ đồ logic của khối AND 4 bit.

Một ALU sẽ có sơ đồ khối cho bởi hình 5.19, nếu xét theo những điều ta đã nêu.

Trong phần các phép toán số học của ALU, bốn phép toán sẽ được thực hiện là cộng, trừ, nhân, chia. Cả bốn phép toán này đều được thực hiện trên bộ cộng trừ.

Để chọn phép toán cộng hoặc trừ, ta chỉ cần có tín hiệu chọn phép toán trừ / cộng ta đã nêu.



Hình 5.19 : Sơ đồ khối của khối số học và logic

Để thực hiện nhân hai dữ liệu a với b, ta có thể viết

$$a \cdot b = a + a + \dots + a$$

b lần

Vậy mạch nhân sẽ là một mạch cộng vào kết quả trước đây (có giá trị đầu bằng 0) số bị nhân một số lần bằng giá trị của số nhân. Mạch này đòi hỏi có mạch cộng trừ (thực hiện phép cộng) và một mạch đếm số lần cộng. Bộ đếm này là đếm có cơ số thay đổi và bằng b.

Để thực hiện mạch chia a cho b ta nhận thấy rằng nếu kết quả của phép chia a/b là P thì

$$P * b = a. \text{ hay } a = b + b + \dots + b$$

$p \text{ lần}$

Vậy mạch chia là mạch trừ a cho b một số lần bằng P . Ở đây P nguyên để có kết quả P thực ta chỉ cần biến đổi một chút thuật toán trên.

Để xây dựng mạch chia, ta sử dụng mạch cộng trừ (chọn phép toán trừ) và thực hiện trừ số bị chia cho số chia rồi đếm số lần trừ được. Mỗi lần trừ ta phải phân tích kết quả trừ rồi quyết định đã dừng việc trừ chưa. Kết quả phép chia là số lần trừ đếm được.

Trong khối số học, người ta thường chỉ tổ chức mạch cộng trừ, còn các khối thực hiện đếm và quyết định lập được đặt trong khối các thanh ghi chung và điều khiển của CPU.

Để phân tích kết quả, trong ALU sẽ có thêm một mạch phân tích kết quả. Mạch này gồm mạch xác định xem kết quả âm hay dương, bằng 0 hay khác 0.

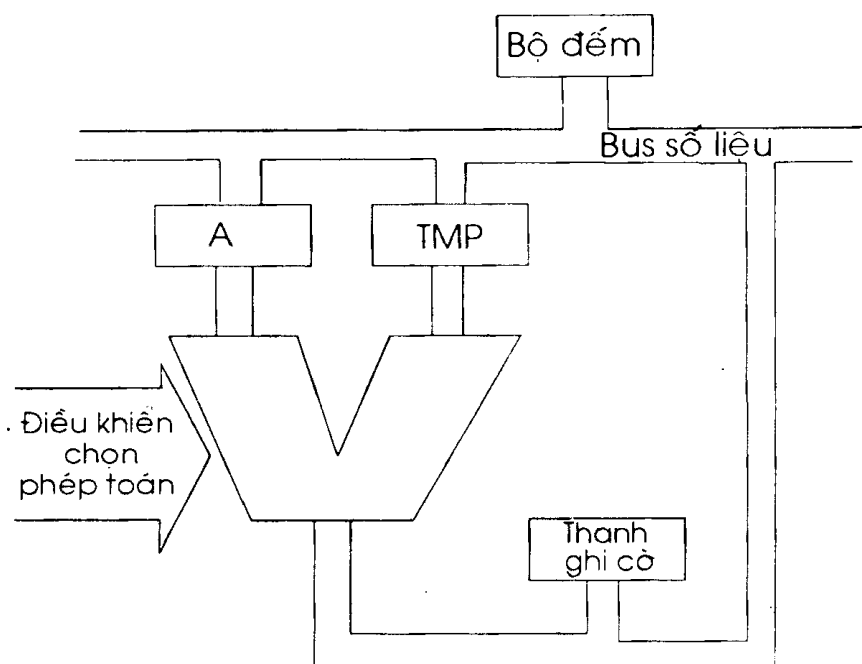
Việc xác định dấu của kết quả được thực hiện nhờ cách biểu diễn dấu của số trong các thanh ghi bằng bit bên trái nhất của thanh ghi gọi là bit dấu SB. Nếu bit dấu của kết quả $SB = 1$ thì kết quả âm, còn nếu $SB = 0$ thì kết quả dương.

Để kiểm tra xem kết quả có bằng 0 hay không thì ta chỉ cần thực hiện cộng logic tất cả các bit giá trị của kết quả. Nếu đầu ra mạch này bằng 0 thì kết quả bằng 0.

Để có thể lưu trữ trạng thái của kết quả từ mạch phân tích kết quả, ta dùng các Flip-Flop để ghi các đầu ra của mạch phân tích. Mỗi Flip-Flop này được gọi là một cờ (Flag). Việc lập cờ là việc ghi giá trị 1 vào Flip-Flop, việc xóa cờ là việc ghi 0 vào nó. Tập hợp các cờ gọi là thanh ghi cờ. Thanh ghi cờ thường nằm ngoài ALU và thuộc khối các thanh ghi chung.

Để cho hai dữ liệu có thể từ Bus chung đến được ALU mà không mất một dữ liệu nào thì từ Bus chung, từng dữ liệu phải được ghi vào thanh ghi dữ liệu đầu vào ALU. Hai thanh ghi này luôn được đặt tên một là Acc hoặc A, một là TMP. Thanh ghi A luôn được dùng ghi một dữ liệu và kết quả vừa tính trước đó nên nó còn được gọi là thanh tổng. Thanh ghi TMP còn được gọi là thanh ghi tạm thời.

Sơ đồ khối của một ALU được cho ở hình 5.20.



Hình 5.20 : Sơ đồ khối của ALU.

2. Khối điều khiển và khối tạo địa chỉ

Khối điều khiển có nhiệm vụ tạo ra tất cả các tín hiệu điều khiển để chọn phép toán cần thiết, nạp số liệu vào các thanh ghi, bộ đếm, đọc số liệu từ chúng và đọc ghi số liệu với ngoại vi (bộ nhớ và thiết bị vào ra).

Khi đọc ghi số liệu với ngoại vi, CPU còn phải xác định xem số liệu nằm ở chỗ nào trong các ngoại vi. Công việc này gọi là tính địa chỉ của số liệu. Công việc này sẽ do một mạch tạo địa chỉ đảm nhận. Nhiệm vụ của khối điều khiển là lệnh cho khối tạo địa chỉ thực hiện việc tính địa chỉ khi nó cần.

Cho đến lúc này, ta thấy có hai nhóm phép toán được thực hiện trong bộ xử lý là các phép toán tính toán (số học, logic, quyết định) và các phép toán dịch chuyển số liệu (đọc số liệu vào CPU và ghi số liệu ra ngoại vi). Mỗi phép toán đều phải có lệnh phép toán ở dạng một mã nào đó gọi là mã lệnh đưa từ ngoài vào CPU. Từ mã lệnh của mỗi phép toán khối điều khiển phải tạo ra các tín hiệu điều khiển tất cả các khối của CPU cũng như ngoại vi hoạt động theo một trật tự quy định. Mỗi mã lệnh thực chất là một giá trị nhị phân, mỗi mã lệnh phải được nhận biết và tạo ra một nhóm tín hiệu điều khiển xác định hoạt động theo một trật tự quy định. Khối điều khiển phải có một mạch giải mã lệnh và một khối trình tự tạo ra các xung thời gian để kết hợp với khối giải mã lệnh tạo ra trật tự xác định của các tín hiệu điều khiển.

Một mã lệnh vào khối điều khiển có thể phải được duy trì trong thời gian đủ để tạo ra các xung điều khiển cần thiết nên nó phải được ghi trong một thanh ghi riêng thuộc khối điều khiển được gọi là thanh ghi lệnh và thường được ký hiệu là IR.

Việc mỗi lệnh là một mã nhị phân nên nó có cùng cấu trúc với các dữ liệu và cũng có thể ghi trong một thanh ghi hoặc trong bộ nhớ. Các máy tính hiện nay đều ghi các lệnh của một bài toán vào trong bộ nhớ, thường là ở vùng có địa chỉ liên tục nhau, bắt đầu từ một địa chỉ quy ước mà ta có thể coi là "địa chỉ không" tương đối. Với cách tổ chức này đầu tiên CPU phải tạo "địa chỉ không" rồi đọc lệnh đầu tiên vào khối điều khiển, sau đó tùy lệnh này có thể phải ra các lệnh đọc số liệu từ bên ngoài. Khi kết thúc thực hiện một lệnh thì địa chỉ lệnh phải tự động được tăng lên một.

Với cách làm việc này, trong bộ tạo địa chỉ cần phải có hai cơ chế tạo địa chỉ. Một là tạo địa chỉ lệnh, và một là tạo địa chỉ số liệu.

Để tạo địa chỉ lệnh, đầu tiên khối điều khiển xóa thanh ghi địa chỉ lệnh trong bộ tạo địa chỉ. Thanh ghi này được gọi là thanh đếm lệnh và thường ký hiệu là PC. Sau khi thực hiện mỗi lệnh, thanh ghi này được lệnh tăng thêm 1. Muốn thay đổi trật tự thực hiện lệnh khối điều khiển nạp một giá trị địa chỉ lệnh mới vào PC. Việc thay đổi trật tự thực hiện lệnh xuất phát từ yêu cầu của bài toán, tức là trong các lệnh của bài toán phải có lệnh thay đổi trật tự thực hiện các phép toán, các lệnh này gọi chung là các lệnh điều khiển. Địa chỉ lệnh mới phải được chứa trong mỗi lệnh điều khiển tương ứng, và có thể hiểu nó là tham số của lệnh điều khiển. Nó phải được đọc vào CPU và chuyển lên khối tạo địa chỉ để nạp vào PC.

Với các lệnh tính toán và dịch chuyển số liệu, mỗi lệnh yêu cầu thực hiện một phép toán. Địa chỉ của dữ liệu cho mỗi phép toán cũng phải được quy định ở trong lệnh.

Nó là các tham số của lệnh, nó phải được đọc vào CPU và được chuyển lên khối tính địa chỉ để tính ra địa chỉ của số liệu.

Địa chỉ số liệu tính được sẽ được ghi trong bộ tính địa chỉ. Qua cơ chế dồn kênh được điều khiển bởi khối điều khiển hoặc địa chỉ lệnh, hoặc địa chỉ số liệu sẽ được đưa ra đường truyền địa chỉ chung đến các ngoại vi để chọn vị trí (địa chỉ) của lệnh hoặc số liệu. Cùng với tín hiệu yêu cầu đọc hoặc ghi (tín hiệu đọc hoặc ghi) từ khối điều khiển lệnh được đọc vào CPU hoặc số liệu sẽ được đọc hoặc ghi.

Phần tham số của lệnh còn được gọi là phần địa chỉ của lệnh. Phần này chỉ ra địa chỉ của lệnh mới hoặc của số liệu. Nó phải có độ dài bằng độ dài của mỗi mã địa chỉ chuyển đến ngoại vi. Điều này làm cho lệnh sẽ rất dài. Để rút ngắn độ dài của lệnh, người ta phải giảm độ dài phần địa chỉ của lệnh, rồi khối tạo địa chỉ sẽ phục hồi lại nó. Có nhiều cách rút ngắn địa chỉ trong lệnh và mỗi cách được gọi là một mode địa chỉ. Với mỗi cách phải có một cách tính trong bộ tạo địa chỉ. Nói chung các cách tính đều để một phần địa chỉ ở một thanh ghi được thêm vào trong CPU hoặc để ở một vị trí nhớ, và cách tính địa chỉ là một cách phối hợp nào đó phần địa chỉ trong lệnh với phần địa chỉ này.

3. Các thanh ghi chung

Trong các phần trình bày ở trên ta thấy trong CPU (hay bộ vi xử lý) bắt buộc phải có các thanh ghi A, TMP, thanh ghi cờ, thanh ghi lệnh, thanh đếm lệnh PC. Ngoài các thanh ghi này với phép nhân và chia ta còn cần thanh ghi dùng làm bộ đếm. Để tính địa chỉ ta cần các thanh ghi ghi một phần địa chỉ. Để giảm số lần ghi đọc số liệu với ngoại vi, tất cả các CPU luôn có các thanh ghi để ghi các kết quả trung gian của phép toán.

Trong một số trường hợp xác định, CPU tạm dừng bài toán đang thực hiện để thực hiện bài toán khác rồi mới quay lại thực hiện bài toán này. Chúng ta gọi là ngắt CPU. Bài toán đang thực hiện bị dừng lại được gọi là bài toán bị ngắt, bài toán được thực hiện xen vào giữa bài toán bị ngắt được gọi là bài toán ngắt hoặc phục vụ ngắt.

Vì mỗi bài toán đang thực hiện, trên các thanh ghi chung lưu trữ các thông tin liên quan đến bài toán đó. Nếu bài toán bị ngắt mà ta không cất nội dung các thanh ghi này và sẽ phục hồi lại nó khi quay lại thực hiện tiếp thì bài toán được thực hiện tiếp không đúng với các kết quả trung gian trước đó.

Vậy bắt buộc phải cất nội dung các thanh ghi chung và phục hồi lại nó.

Để cất nội dung các thanh ghi chung, trong kỹ thuật tính toán, người ta sử dụng một phần của bộ nhớ làm kho chứa (Stack). Kho chứa này có cấu trúc đặc biệt gọi là cấu trúc stack hay LIFO. Cấu trúc này buộc Stack phải nằm ở một địa chỉ xác định gọi là đáy stack, nếu trong kho chứa (Stack) không có dữ liệu nào thì ta nói đáy của Stack trùng với đỉnh của nó.

Khi có một dữ liệu được ghi vào Stack thì đỉnh của nó tăng thêm một giá trị. Khi đọc một giá trị dữ liệu từ Stack ra thì đỉnh của Stack giảm một giá trị. Đỉnh của Stack luôn là vị trí được phép can thiệp vào nó. CPU cần phải biết và quản lý được vị trí này. Trong CPU luôn có các thanh ghi liên quan đến giá trị của vị trí đỉnh này gọi là các thanh ghi Stack, ví dụ SP.

4. Ngắt và quản lý ngắt

Phân trên ta đã trình bày sơ qua về vấn đề ngắt. Cơ chế ngắt được đưa ra để giải quyết các yêu cầu làm việc khẩn cấp của một bài toán nào đó, ví dụ cần nhận số liệu từ một đường truyền đến, nếu không nhận sẽ mất số liệu.

Ngắt được phân ra thành hai loại gọi là ngắt cứng và ngắt mềm do nguồn gốc của nguồn yêu cầu ngắt. Nếu nguồn yêu cầu ngắt là một lệnh ở trong bài toán thì ta gọi là ngắt mềm. Ngắt cứng là ngắt khi một tín hiệu ngắt, qua một đường truyền riêng, truyền đến CPU.

Nguyên tắc thực hiện ngắt trong CPU (bộ vi xử lý) dù là ngắt cứng hoặc ngắt mềm cũng đều phải thiết lập được cờ ngắt (có tên là IF) trong thanh ghi cờ. Trước khi thực hiện một lệnh mới, khối điều khiển thực hiện việc tham khảo cờ IF. Nếu $IF = 1$ thì nó thực hiện ngắt bài toán đang thực hiện, bằng cách cắt các thanh ghi và chuyển đến thực hiện lệnh ở một địa chỉ quy định trước cho nguồn ngắt (gọi là vector ngắt).

Vì có nhiều nguồn ngắt, nên không phải nguồn ngắt nào cũng được phép lập cờ IF, nhất là khi có nhiều nguồn ngắt cùng chuyển đến tích cực (chuyển tín hiệu ngắt đến CPU). Để quản lý các nguồn ngắt, trong CPU có một khối gọi là bộ quản lý ngắt.

Bộ quản lý ngắt nhận các yêu cầu ngắt (cả cứng và mềm) so sánh yêu cầu ngắt đến nó với một thứ tự quy định mức độ khẩn cấp cho từng nguồn ngắt (gọi là thứ tự ưu tiên). Nếu thứ tự ưu tiên của yêu cầu ngắt được gửi đến là cao hơn của bài toán đang thực hiện thì cờ IF được lập, đồng thời số hiệu nguồn ngắt được xác định để phục vụ cho việc xác định vector ngắt. Nếu có nhiều yêu cầu ngắt cùng gửi đến thì yêu cầu ngắt nào có thứ tự ưu tiên cao hơn sẽ được xem xét trước.

Mạch này thực chất là một thanh ghi các yêu cầu ngắt gửi đến, thanh ghi yêu cầu ngắt đang thực hiện (bài toán đang thực hiện), thanh ghi mức ưu tiên của các nguồn ngắt, và một mạch so sánh ưu tiên.

Dấu vào của thanh ghi các yêu cầu ngắt có thể điều khiển được để cho phép hay không cho phép yêu cầu ngắt ghi được vào trong thanh ghi. Nguyên lý này ta gọi là che ngắt. Phục vụ cho việc này cần phải có thêm thanh ghi thông tin có che hay không cho từng yêu cầu ngắt, ta gọi thanh ghi này là thanh ghi mặt nạ che.

Vì bộ vi xử lý dùng chung Bus với các ngoại vi nên nếu có hai ngoại vi truyền tin cho nhau thì bộ vi xử lý phải được tách khỏi Bus. Ta gọi là treo bộ xử lý. Bộ xử lý sẽ treo bằng cách thả nổi các cửa ra lên trạng thái thứ ba. Cần phải có tín hiệu yêu cầu treo gửi vào bộ điều khiển và trả lời của nó về chấp nhận treo ra các thiết bị ngoại vi. Bộ điều khiển phải nhận yêu cầu treo, xử lý xem có cho phép không, yêu cầu treo máy và trả lời ra ngoại vi.

5.3. TẬP LỆNH CỦA BỘ VI XỬ LÝ

Mỗi lệnh của bộ vi xử lý (CPU) yêu cầu thực hiện một phép toán trong bộ vi xử lý. Tập hợp các lệnh có thể thực hiện của một bộ vi xử lý là tập lệnh của nó. Nó là tập tất cả các phép toán có thể thực hiện trong bộ vi xử lý.

Tất cả các lệnh của mọi bộ vi xử lý đều gồm hai phần. Phần đầu được gọi là mã phép toán (opcode). Nó quy định phép toán cần phải thực hiện và cách tính địa chỉ dữ liệu. Nó thường chiếm một byte. Phần thứ hai là phần địa chỉ. Phần này có thể có, có thể không có và có thể có một hoặc hai địa chỉ tùy theo mỗi phép toán cụ thể quy định bởi phần mã phép toán. Mỗi địa chỉ thực chất là một phần của một địa chỉ mà cần phải bổ sung thêm trong bộ tính địa chỉ. Mỗi địa chỉ này thường gồm 1 hoặc 2 byte.

Mỗi lệnh của bộ vi xử lý (CPU nói chung) luôn là một mã nhị phân. Điều này gây khó khăn cho việc đọc hiểu và sử dụng nó mà không lầm lẫn. Để tránh nhược điểm này, người ta mã hóa nó bằng các từ mô tả trên phép toán và có thể mô tả cả địa chỉ. Việc dịch ngược các từ này sang các mã nhị phân là rất đơn giản (ví dụ dùng mạch giải mã). Cách ghi lệnh như thế này gọi là ghi lệnh bằng ngôn ngữ Assembler. Các lệnh trong các tập lệnh thường trình bày ở ngôn ngữ này, nhưng người ta cũng cần dạng nhị phân của nó, nên các tài liệu thường trình bày cả dạng nhị phân của tập lệnh. Dạng trình bày này được gọi là ghi lệnh bằng ngôn ngữ máy.

Các tập lệnh có thể khác nhau nhưng có thể chia chúng thành ba nhóm lệnh chính

- Các lệnh tính toán là các lệnh thực hiện các phép toán logic, số học, quyết định.
- Các lệnh dịch chuyển số liệu là các lệnh đọc ghi số liệu, chuyển số liệu.
- Các lệnh điều khiển gồm các lệnh thay đổi trật tự phép toán, các lệnh ngắt, các lệnh gọi chương trình con...

5.4. CẤU TRÚC CỦA 8085

Bộ vi xử lý 8085 của Intel là một bộ xử lý 8 bit do Intel đưa ra. Nó đã được cải tiến và phát triển thành nhiều bộ vi xử lý. Với phương diện tìm hiểu về vi xử lý, 8085 là bộ vi xử lý thích hợp nhất khi ta bắt đầu vào kỹ thuật vi xử lý.

Bộ vi xử lý 8085 có sơ đồ cấu trúc cho ở hình 5.21.

Trong sơ đồ khối này, các chân INTR, RST 5.5, RST 6.5, RST 7.5 và Trap là các đầu vào ngắt cứng có thứ tự ưu tiên khác nhau, INTA là trả lời chấp nhận ngắt (đã lập IF).

X_1 , X_2 là hai đầu vào để nối mạch tạo xung nhịp mạch này có thể chỉ là một tụ hoặc một thạch anh. CLK out là xung nhịp có tần số bằng nửa tần số xung nhịp vào được đưa ra để đưa đến các thiết bị ngoài cần xung nhịp.

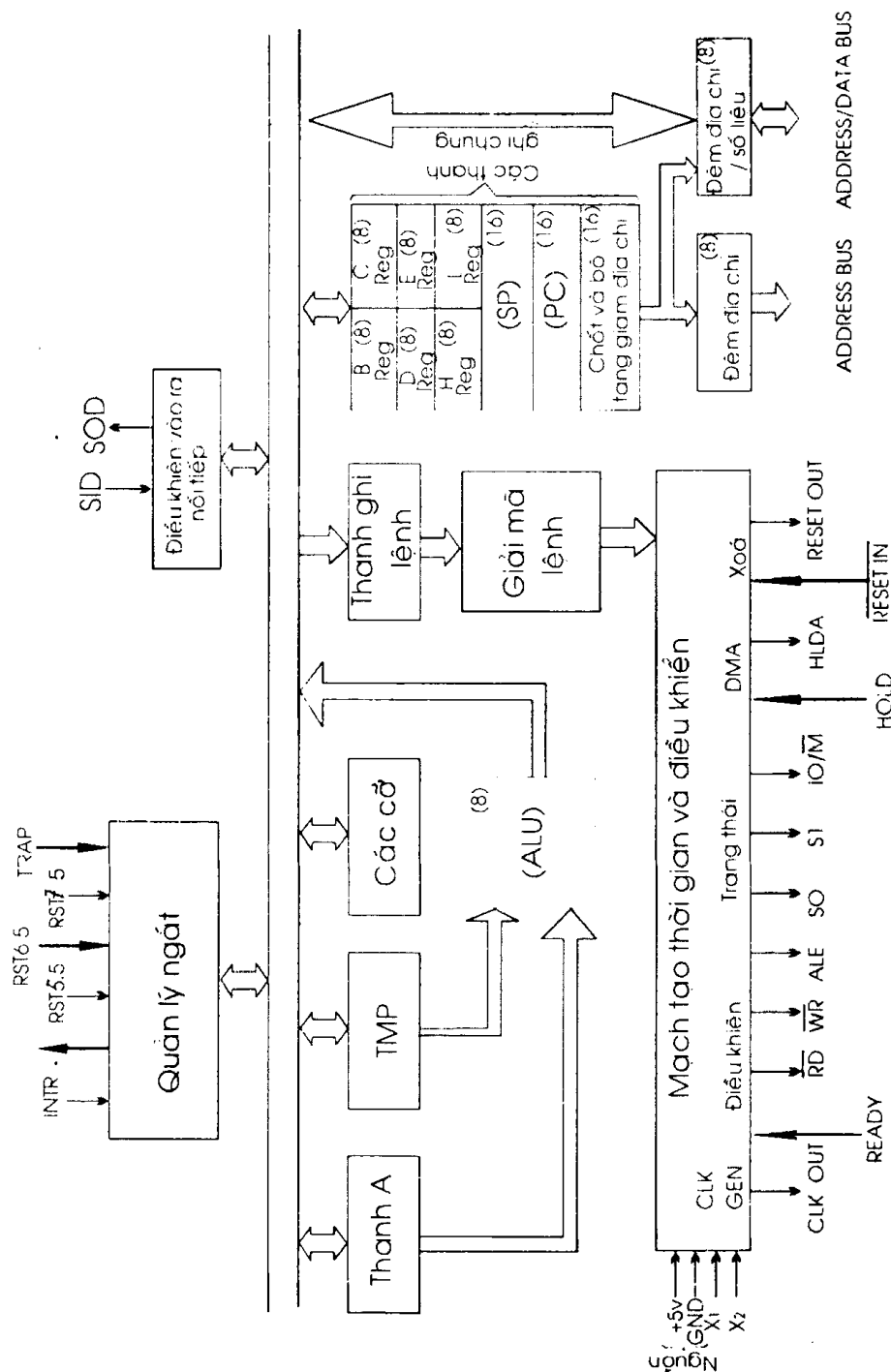
Ready là tín hiệu báo một thiết bị ngoài yêu cầu đã sẵn sàng làm việc, nếu tín hiệu này bằng 0 thì phải đợi khi ta đọc ghi với bên ngoài.

$\overline{RD}$ là lệnh đọc, $\overline{NR}$ là lệnh ghi thông tin với ngoại vi.

ALE báo phần thấp của địa chỉ được đưa qua bộ đệm số liệu/ địa chỉ (các chân $AD_0 \div AD_7$).

S_0 , S_1 là tín hiệu báo trạng thái của bộ xử lý.

Hold và HLDA là các tín hiệu yêu cầu và chấp nhận treo.



Hình 5.21 : Cấu trúc của 8085.

Tín hiệu xóa đưa vào để xóa tất cả các thanh ghi trong bộ vi xử lý và nó tạo ra tín hiệu xóa dẫn đến các ngoại vi cần thiết.

$A_8 \div A_{15}$ các bit cao của mã địa chỉ

$AD_0 \div AD_7$ các bit số liệu ($D_0 \div D_7$) và các bit thấp của mã địa chỉ ($A_0 \div A_7$).

SID, SOD là các chân số liệu vào và ra theo kiểu nối tiếp từng bit.

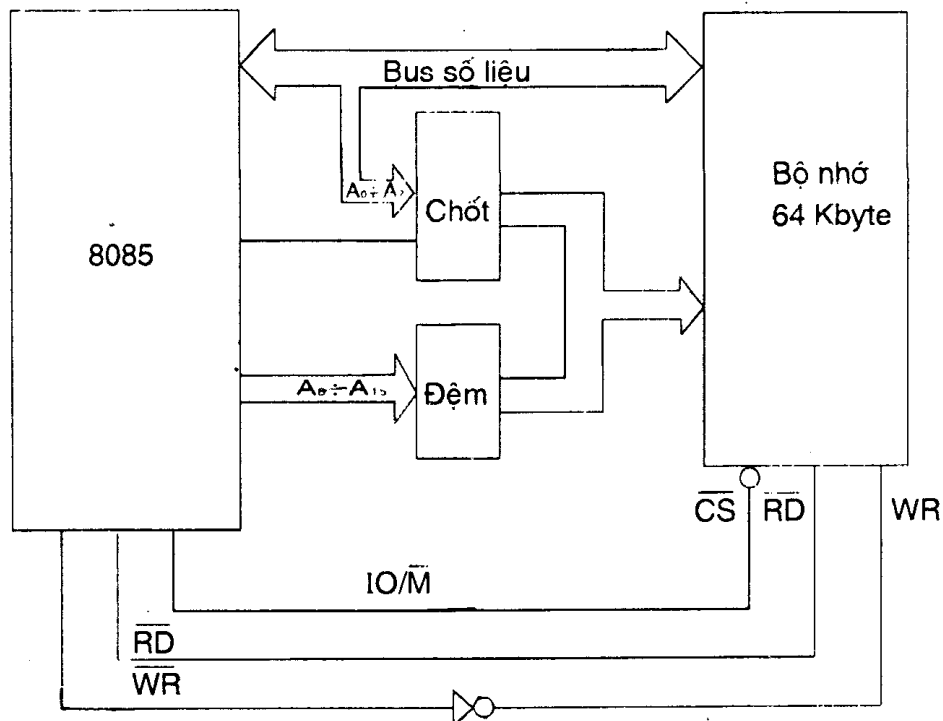
5.5. VÀO RA CƠ BẢN VỚI BỘ VI XỬ LÝ

Nói đến vào ra cơ bản với bộ vi xử lý là ta nói đến vào ra giữa bộ vi xử lý với bộ nhớ và với một thanh ghi đại diện cho một cửa vào hoặc ra số liệu. Thanh ghi này có thể là thanh ghi đếm của một mạch điều khiển ghép nối với một thiết bị vào ra số liệu thực tế nào đó.

Vì trong bộ nhớ có sẵn mạch giải mã địa chỉ cho đến các chân địa chỉ (thường qua mạch chốt địa chỉ) được dẫn thẳng đến các chân địa chỉ của bộ nhớ. Nếu số chân địa chỉ của bộ nhớ ít hơn số chân ra địa chỉ của bộ vi xử lý thì ta nối các bit thấp của địa chỉ đến bộ nhớ còn các bit cao ta cho qua mạch giải mã địa chỉ để chọn bộ nhớ, các đầu ra mạch giải mã địa chỉ này nối đến các chân chọn vô của bộ nhớ. Tín hiệu ghi đọc cần dẫn đến bộ nhớ với mức tích cực thích hợp. Tín hiệu IO/M sẽ được nối đến mạch giải mã chọn bộ nhớ hoặc đến chọn vô nếu chỉ dùng một bộ nhớ. Các đường số liệu của bộ vi xử lý thường qua đệm để nối đến các đường số liệu của bộ nhớ.

Để làm việc với bộ nhớ, người sử dụng nhớ phải dùng đúng lệnh làm việc với bộ nhớ. Ví dụ với 8085 ta có thể dùng lệnh MOV để dịch chuyển số liệu giữa một thanh ghi trong bộ vi xử lý với bộ nhớ, hoặc dùng LDA để đọc số liệu từ bộ nhớ, STA để ghi số liệu ra bộ nhớ.

Hình 5.22 là sơ đồ minh họa mạch nối 8085 với mạch nhớ 64Kbyte (có 10 chân địa chỉ).

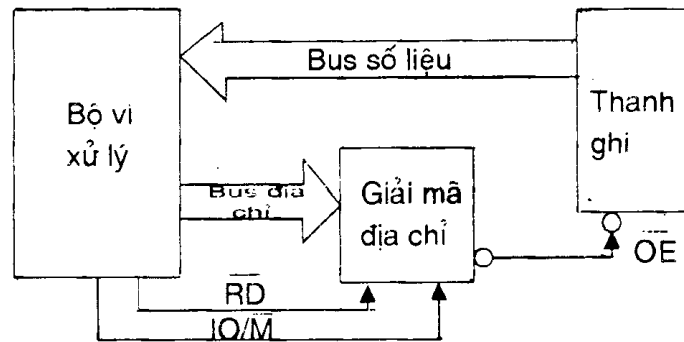


Hình 5.22 : Cách nối 8085 với bộ nhớ 64Kbyte.

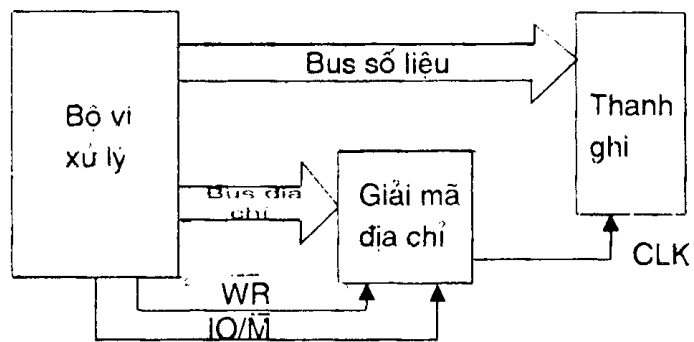
Để nối bộ xử lý với một thanh ghi, ta có hai cách nối là nối có hội thoại và nối không hội thoại (handshaking).

Nối không hội thoại là nối mà không cần biết trên thanh ghi đã có số liệu hay chưa. Lúc này ta chỉ cần một mạch giải mã địa chỉ cùng với tín hiệu đọc RD hoặc WR và $\overline{IO/M}$ để đọc hoặc ghi vào thanh ghi. Hình 5.23 cho ta minh họa trong trường hợp này.

Khi vào ra có hội thoại, người ta phải dùng thêm, tối thiểu, một Flip-Flop làm cờ báo tình trạng của thanh ghi. Ta định nghĩa thanh ghi là rỗng nếu chưa ghi số liệu vào nó hoặc vừa đọc số liệu từ nó ra, thanh ghi là đầy nếu ta vừa ghi số liệu vào nó mà chưa đọc ra. Thanh ghi dùng cho cách ghép này buộc phải có chốt và có điều khiển đầu ra. Khi thanh ghi rỗng Flip-Flop cờ bị xóa về 0. Khi thanh ghi đầy thì nó được lập lên 1. Trạng thái của Flip-Flop cờ có thể được đọc vào bộ vi xử lý như là ta đọc từ một cửa không hội thoại, bằng cách ta nối đầu ra của nó với một bit tùy ý của đường truyền số liệu qua một mạch 3 trạng thái, mà mạch này cho tín hiệu truyền qua khi được điều khiển từ một đầu ra xác định của mạch giải mã địa chỉ. Nguyên tắc này được gọi là vào ra bằng ngắt mềm hay điều khiển bằng chương trình.



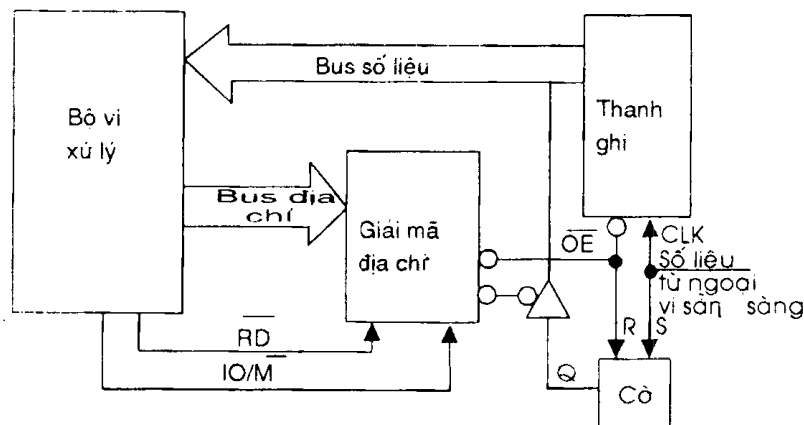
a)



b)

Hình 5.23 : Ghép vào và ghép ra không hội thoại.

Nguyên tắc này được gọi là vào ra bằng ngắt mềm hay điều khiển bằng chương trình.



Hình 5.24 : Ví dụ về ghép vào có hội thoại.

Trạng thái của Flip-Flop này cũng có thể được nối đến một chân ngắt cứng của bộ vi xử lý buộc bộ vi xử lý phải dừng để nhận số liệu vào hoặc đưa số liệu ra. Vào ra bằng cách này gọi là vào ra bằng ngắt cứng.

Hình 5.24 minh họa một mạch ghép vào có hội thoại bằng ngắt mềm.

Cần phải chú ý rằng, khi ghép nối với thanh ghi ta cần phải sử dụng các lệnh làm việc với ngoại vi để đọc ghi thông tin từ thanh ghi. Ví dụ với 8085 lệnh IN cho phép đọc số liệu từ thanh ghi, lệnh OUT cho phép ghi số liệu ra thanh ghi.

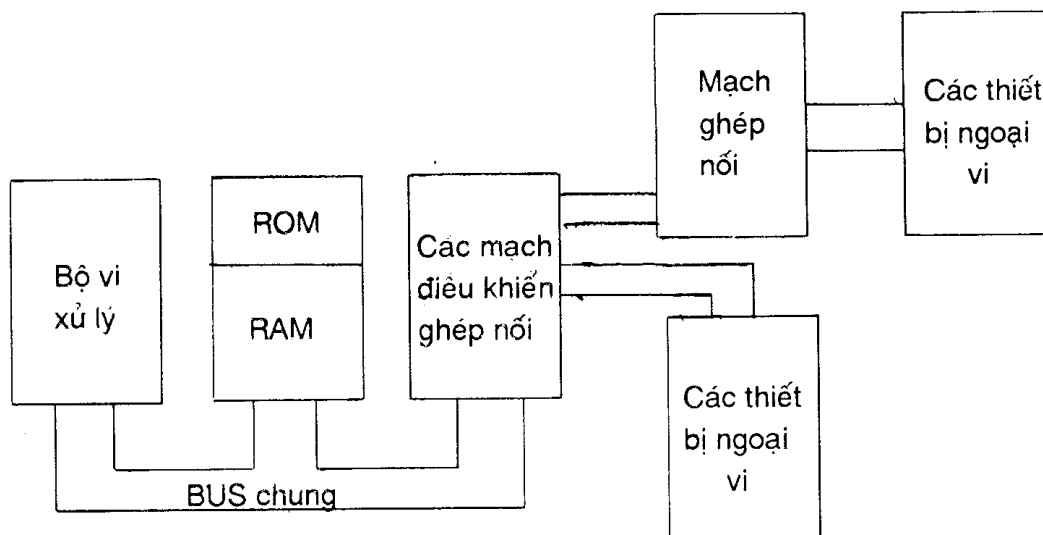
Từ khái niệm về vào ra cơ sở này, nếu thêm các mạch ghép nối với các ngoại vi thực tế, các mạch quản lý vào ra cho phép ta vào ra nhanh hơn, xa hơn... với chất lượng vào ra tốt hơn thì ta sẽ có thể ghép nối bộ xử lý với rất nhiều chủng loại ngoại vi có trong thực tế, cho phép ứng dụng nó ở nhiều lĩnh vực kinh tế, kỹ thuật và công nghệ. Các mạch ghép nối này không trình bày ở đây, nếu bạn muốn tìm hiểu có thể đọc trong các sách về kỹ thuật máy tính hoặc kỹ thuật vi xử lý.

5.6. MỘT SỐ ỨNG DỤNG CỦA BỘ VI XỬ LÝ

5.6.1. Máy vi tính

Máy vi tính là một máy tính có CPU là một bộ vi xử lý và có các vi mạch chức năng phục vụ cho việc ghép nối với các ngoại vi. Do khả năng của vi mạch điện tử, các bộ vi xử lý cũng như các mạch chức năng ngày càng phức tạp nên khả năng của máy vi tính ngày càng lớn.

Trong máy vi tính người ta luôn sử dụng các bộ nhớ bán dẫn và cấu hình chuẩn của nó thường cho bởi hình 5.25. Ở đây các thiết bị vào ra bàn phím, màn hình, con chuột, ổ đĩa...



Hình 5.25 : Cấu trúc chung của máy vi tính.

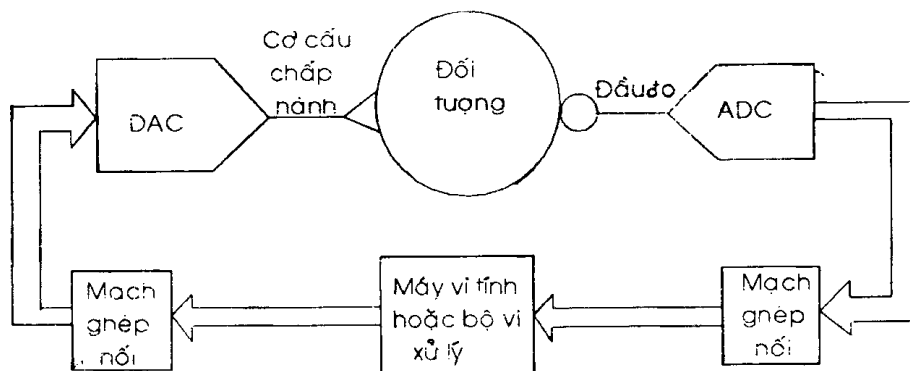
5.6.2. Thiết bị điều khiển số

Một thiết bị điều khiển số một đối tượng nào đấy thường là một máy vi tính có ngoại vi đơn giản và có mạch ghép nối với các đầu đo và cơ cấu chấp hành.

Máy vi tính này thường chỉ là một bảng mạch với ngoại vi là một số phím điều khiển và bảng đèn chỉ thị. Máy vi tính này nhiều khi là một vi mạch (onechip) như vi mạch 8156 của Intel.

Mạch nối ghép với các đầu đo thì thường là một mạch vào ra cơ sở nối với một mạch chuyển đổi từ tương tự sang số (ADC) để chuyển đổi tín hiệu tương tự từ đầu đo thành số đưa vào máy vi tính.

Mạch nối ghép với cơ cấu chấp hành thường là mạch ghép nối cơ sở và một bộ biến đổi số - tương tự (DAC) để chuyển đổi từ số trong máy tính ra tín hiệu tương tự tác động vào cơ cấu chấp hành.



Hình 5.26 : Nguyên lý chung điều khiển số.

Nếu đầu đo và cơ cấu chấp hành làm việc với tín hiệu số thì ta bỏ ADC và DAC trong sơ đồ trên.

Cùng với khả năng của máy tính, với những chương trình thích hợp và với các mạch ghép nối thích hợp bộ vi xử lý được ứng dụng để tạo ra một tín hiệu mong muốn hoặc làm thiết bị xử lý tin.

TÀI LIỆU THAM KHẢO

- [1] Л.М. Гольденберг
Импульсные и цифровые устройства. Изд Связь 1973
- [2] И.М. Степаненко
Основы Теории Транзисторов и транзисторных схем. Изд Энергия 1973
- [3] А.Т. Алексенко
Основы микросхемотехники. Изд Советское радио, 1977
- [4] U. Tietze, Ch. Schenk
Halbleiter Schaltungstechnik
Springer. Verlag Berlin - Newyork, 1980
- [5] Tập thể tác giả : Nguyễn Xuân Quỳnh...
Điện tử công nghiệp 1, 2
Nhà xuất bản Đại học và Giáo dục chuyên nghiệp 1988
- [6] Забродии Ю. С.
Промышленная электроника.
Изд Энергия, Москва, 1982
- [7] Руденко В.С. и другие
Основы преобразовательной техники.
Изд Москва Высшая школа, 1980
- [8] Đỗ Xuân Thụ
Dụng cụ bán dẫn và vi điện tử
Nhà xuất bản Đại học và Trung học chuyên nghiệp, 1985
- [9] The art electronics, Paul Horowitz, Winfield Hill
Cambridge - London - Newyork 1980 - 1983

MỤC LỤC

	<i>Trang</i>
<i>Lời nói đầu</i>	3
CHƯƠNG 1. MỞ ĐẦU	
1.1. Các đại lượng cơ bản	5
1.2. Tín tức và tín hiệu	9
1.2.1. Tín tức	9
1.2.2. Tín hiệu	10
1.2.3. Các tính chất của tín hiệu theo cách biểu diễn thời gian	11
1.3. Các hệ thống điện tử điển hình	14
1.3.1. Hệ thống thông tin thu phát	14
1.3.2. Hệ thống đo lường điện tử	15
1.3.3. Hệ thống tự điều chỉnh	16
CHƯƠNG 2. KỸ THUẬT TƯƠNG TỰ	
2.1. Chất bán dẫn điện – phần tử một mặt ghép $p - n$	18
2.1.1. Chất bán dẫn nguyên chất và chất bán dẫn tạp chất	18
2.1.2. Mặt ghép $p - n$ và tính chỉnh lưu của diốt bán dẫn	22
2.1.3. Vài ứng dụng điển hình của diốt bán dẫn	27
2.2. Phần tử hai mặt ghép $p - n$	34
2.2.1. Nguyên lý làm việc và các tham số của tranzito bipolar	35
2.2.2. Các dạng mắc mạch cơ bản của tranzito	39
2.2.3. Phân cực và ổn định nhiệt điểm công tác của tranzito	43
2.2.4. Tranzito trường (FET)	55
2.3. Khuếch đại	63
2.3.1. Những vấn đề chung	63
2.3.2. Khuếch đại dùng tranzito lưỡng cực	70
2.3.3. Khuếch đại dùng tranzito trường (FET)	79
2.3.4. Ghép giữa các tầng khuếch đại	84
2.3.5. Khuếch đại công suất	90
2.3.6. Khuếch đại tín hiệu biến thiên chậm	98
2.4. Khuếch đại dùng vi mạch thuật toán	107
2.4.1. Khái niệm chung	107
2.4.2. Bộ khuếch đại đảo	110
2.4.3. Bộ khuếch đại không đảo	110
2.4.4. Mạch cộng	111
2.4.5. Mạch trừ	112
2.4.6. Bộ tích phân	113
2.4.7. Bộ vi phân	114
2.4.8. Các biến đổi hàm số	114
2.4.9. Bộ lọc	115

2.5.	<i>Tạo dao động điều hòa</i>	117
2.5.1.	Nguyên lý chung tạo dao động điều hòa	117
2.5.2.	Máy phát dao động hình sin dùng hệ tự dao động gần với hệ bảo toàn tuyến tính	119
2.5.3.	Tạo tín hiệu hình sin bằng phương pháp biến đổi từ một dạng tín hiệu tuần hoàn khác	123
2.6.	<i>Nguồn một chiều</i>	127
2.6.1.	Khái niệm chung	127
2.6.2.	Lọc các thành phần xoay chiều của dòng điện ra tải	127
2.6.3.	Đặc tuyến ngoài của bộ chỉnh lưu	129
2.6.4.	Ổn định điện áp và dòng điện	130
2.6.5.	Bộ ổn áp tuyến tính IC	141
2.7.	<i>Phần tử nhiều mặt ghép $p - n$</i>	145
2.7.1.	Nguyên lý làm việc, đặc tuyến và tham số của tiristo	145
2.7.2.	Các mạch khống chế điển hình dùng tiristo	147
2.7.3.	Vài dụng cụ chỉnh lưu có cấu trúc 4 lớp	150
CHƯƠNG 3. KỸ THUẬT XUNG - SỐ		
3.1.	<i>Khái niệm chung</i>	153
3.1.1.	Tín hiệu xung và tham số	153
3.1.2.	Chế độ khóa của tranzito	154
3.1.3.	Chế độ khóa của khuếch đại thuật toán	157
3.2.	<i>Các mạch không đồng bộ hai trạng thái ổn định</i>	160
3.2.1.	Trigơ đối xứng (RS-trigơ) dùng tranzito	160
3.2.2.	Trigơ SMIT dùng tranzito	161
3.2.3.	Trigơ SMIT dùng IC tuyến tính	163
3.3.	<i>Mạch không đồng bộ một trạng thái ổn định</i>	164
3.3.1.	Đa hài đợi dùng tranzito	165
3.3.2.	Đa hài đợi dùng IC thuật toán	166
3.4.	<i>Mạch không đồng bộ hai trạng thái không ổn định</i>	168
3.4.1.	Đa hài dùng tranzito	168
3.4.2.	Đa hài dùng IC tuyến tính	170
3.5.	<i>Bộ tạo dao động Blocking</i>	172
3.6.	<i>Mạch tạo xung tam giác</i>	174
3.6.1.	Các vấn đề chung	174
3.6.2.	Mạch tạo xung tam giác dùng tranzito	177
3.6.3.	Mạch tạo xung tam giác dùng vi mạch thuật toán	178
3.7.	<i>Cơ sở đại số logic và các phần tử logic cơ bản</i>	181
3.7.1.	Cơ sở đại số logic	181
3.7.2.	Các phần tử logic cơ bản	186
3.7.3.	Các thông số đặc trưng của phần tử IC logic	191
3.8.	<i>Các phần tử logic thông dụng</i>	192
3.8.1.	Phần tử tương đương	192
3.8.2.	Phần tử khác dấu (cộng môđun 2)	193
3.8.3.	Phần tử so sánh hai số nhị phân	194
3.8.4.	Phần tử nửa tổng	195
3.8.5.	Phần tử tổng toàn phần 3 đầu vào	196
3.9.	<i>Một số hệ logic thông dụng</i>	197
3.9.1.	Các trigơ số	197

3.9.2. Bộ đếm	201
3.9.3. Bộ ghi dịch	207
3.9.4. Bộ biến đổi mã và giải mã	209
3.9.5. Bộ dồn kênh và tách kênh	216
3.9.6. Các bộ nhớ bán dẫn	219
CHƯƠNG 4. CÁC BỘ BIẾN ĐỔI ĐIỆN ÁP VÀ DÒNG ĐIỆN	
4.1. <i>Chỉnh lưu công suất lớn không điều khiển và có điều khiển</i>	222
4.1.1. Bộ chỉnh lưu 3 pha có điểm trung tính không điều khiển tải thuần trở	223
4.1.2. Bộ chỉnh lưu 3 pha có điểm trung tính tải cảm tính	224
4.1.3. Bộ chỉnh lưu 3 pha cầu tải thuần trở	225
4.1.4. Bộ chỉnh lưu 3 pha cầu tải cảm tính	227
4.2. <i>Bộ chỉnh lưu 3 pha có điều khiển</i>	228
4.2.1. Bộ chỉnh lưu 3 pha có điều khiển có điểm trung tính	228
4.2.2. Bộ chỉnh lưu 3 pha cầu dùng tiristo	229
4.3. <i>Nghịch lưu</i>	231
4.3.1. Sơ đồ nghịch lưu làm việc ở chế độ phụ thuộc	231
4.3.2. Sơ đồ nghịch lưu làm việc ở chế độ độc lập	232
4.4. <i>Các phần tử cơ bản của hệ thống điều khiển các bộ biến đổi</i>	238
4.4.1. Chức năng và những yêu cầu cơ bản đối với hệ thống điều khiển các bộ biến đổi	238
4.4.2. Hệ thống điều khiển xung - pha của các bộ biến đổi dẫn từ lưới điện	239
4.4.3. Các hệ thống điều khiển các bộ biến đổi độc lập	244
CHƯƠNG 5. BỘ VI XỬ LÝ	
5.1. <i>Khái niệm chung</i>	246
5.1.1. Mạch XOR	247
5.1.2. Một mạch cộng trừ	247
5.1.3. Một thanh ghi	250
5.1.4. Một bộ nhớ	252
5.1.5. Mạch giải mã	253
5.2. <i>Cấu trúc chung của bộ vi xử lý</i>	254
5.2.1. Khái niệm về xử lý và tính toán	254
5.2.2. Cấu trúc và nguyên lý hoạt động của bộ vi xử lý	256
5.3. <i>Tập lệnh của bộ vi xử lý</i>	261
5.4. <i>Cấu trúc của 8085</i>	262
5.5. <i>Vào ra cơ bản với bộ vi xử lý</i>	264
5.6. <i>Một số ứng dụng của bộ vi xử lý</i>	266
5.6.1. Máy vi tính	266
5.6.2. Thiết bị điều khiển số	266
<i>Tài liệu tham khảo</i>	268
<i>Mục lục</i>	269