

LỜI GIỚI THIỆU

Cùng với sự tiến bộ của khoa học và công nghệ, các thiết bị điện tử đang và sẽ tiếp tục được ứng dụng ngày càng rộng rãi và mang lại hiệu quả cao trong hầu hết các lĩnh vực kinh tế kĩ thuật cũng như đời sống xã hội.

Việc gia công xử lí tín hiệu trong các thiết bị điện tử hiện đại đều dựa trên cơ sở nguyên lí số vì các thiết bị làm việc dựa trên cơ sở nguyên lí số có những ưu điểm hơn hẳn các thiết bị điện tử làm việc trên cơ sở nguyên lí tương tự, đặc biệt là trong kĩ thuật tính toán. Bởi vậy sự hiểu biết sâu sắc về điện tử số là không thể thiếu được đối với kĩ sư điện tử hiện nay. Nhu cầu hiểu biết về kĩ thuật số không phải chỉ riêng đối với các kĩ sư điện tử mà còn đối với nhiều cán bộ kĩ thuật các ngành khác có sử dụng các thiết bị điện tử. Để đáp ứng nhu cầu lớn lao này, anh Vũ Đức Thọ cán bộ giảng dạy Khoa Điện tử - Viễn thông Trường Đại học Bách Khoa Hà Nội đã chọn dịch cuốn "Cơ sở kĩ thuật điện tử số - Giáo trình tinh giản" của Bộ môn Điện tử Trường đại học Thanh Hoa Bắc Kinh. "Cơ sở kĩ thuật điện tử số - Giáo trình tinh giản" là một tập giáo trình được soạn thảo để dạy cho sinh viên trong Trường Đại học với thời gian 120 tiết (không kể thời gian thực nghiệm). Giáo trình này giới thiệu một cách hệ thống các phần tử cơ bản cần dùng trong các mạch điện tử số, kết hợp với một số mạch điển hình, giải thích các khái niệm cơ bản về cổng điện tử số, các phương pháp phân tích cũng như các phương pháp thiết kế logic cơ bản. Toàn bộ giáo trình bao gồm những kiến thức cơ bản về cấu kiện bán dẫn, mạch cổng logic, cơ sở đại số logic, mạch logic tổ hợp, các mạch trigô, các mạch logic dãy, sự sản sinh các tín hiệu xung cũng như sự sửa dạng xung, các khái niệm cơ bản về chuyển đổi số - tương tự và tương tự - số. Tất cả gồm 8 chương. Sau mỗi chương đều có phần tóm tắt nội dung để đọc giả dễ dàng ghi nhớ, các câu hỏi gợi ý và các bài tập để đọc giả kiểm tra mức độ nắm kiến thức sau khi học mỗi chương. Cách cấu trúc giáo trình rất logic đi từ đơn giản đến phức tạp, từ dễ đến khó, phần trước tạo tiền đề kiến thức cho phần sau. Cách trình bày vấn đề rõ ràng khúc triết. Nội dung từng chương rất chất lọc, bỏ qua được những dẫn dắt toán học dài dòng, nhưng vẫn đảm bảo tính cơ bản, cốt lõi của vấn đề, các khái niệm mới được nhấn mạnh đúng mức. Trên cơ sở các kiến thức cơ bản kinh điển giáo trình đã cố gắng tiếp cận các vấn đề hiện đại, đồng thời liên hệ với thực tế kĩ thuật. Ví dụ trong giáo trình hầu như đã bỏ qua các mạch điện xây dựng trên cơ sở cấu kiện rời rạc mà chủ yếu nói về các mạch điện xây dựng trên cơ sở mạch tổ hợp vi điện tử (IC). Trong khi chủ yếu giới thiệu các hệ thống xây dựng trên cơ sở các IC cỡ nhỏ và cỡ trung bình đã thích đáng đề cập đến các hệ thống xây dựng trên cơ sở các IC cỡ lớn và siêu lớn.

Chúng tôi nghĩ, đọc giáo trình này, đọc giả mau chóng nắm được những vấn đề cốt lõi của kĩ thuật điện tử số, tăng cường năng lực giải quyết các vấn đề kĩ thuật trong thực tế cũng như bồi dưỡng năng lực tự học.

Bởi vậy cuốn sách giáo trình này trước hết thích hợp cho độc giả muốn tự học. Các học sinh cao đẳng kĩ thuật ngành Điện tử - Viễn thông, làm tài liệu bổ trợ cho sinh viên các trường đại học, và nói chung cho tất cả những ai quan tâm đến kĩ thuật điện tử số.

Cũng cần nói thêm rằng thuật ngữ tiếng Việt chúng tôi dùng trong bản dịch này là căn cứ vào các thuật ngữ được dùng trong quá trình giảng dạy tại Trường Đại học Bách khoa Hà Nội, rất có thể có những thuật ngữ chưa thỏa đáng, mong độc giả gần xa góp ý kiến. Các ý kiến xin gửi về Khoa Điện tử - Viễn thông, Trường Đại học Bách khoa Hà Nội hoặc Nhà xuất bản Giáo dục.

Xin trân trọng cảm ơn.

ĐỖ XUÂN THỤ

Chủ nhiệm

**KHOA ĐIỆN TỬ - VIỄN THÔNG
TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI**

Chương 1

NHỮNG KIẾN THỨC CƠ BẢN VỀ CẤU KIẾN BÁN DẪN

1.1. CÁC KIẾN THỨC CƠ BẢN VỀ VẬT LIỆU BÁN DẪN

1.1.1. Vật liệu dẫn điện, cách điện và bán dẫn

Trong đời sống hàng ngày cũng như trong thực tiễn sản xuất, mọi người đều biết rằng, bạc đồng nhôm sắt... là vật liệu dẫn điện tốt ; còn nhựa, sứ, da, thủy tinh... là vật liệu cách điện tốt (dù cho có cao áp đặt vào vẫn không có dòng điện chạy qua chúng).

Đặc tính dẫn điện của vật liệu bán dẫn nằm giữa dẫn điện và cách điện.

Vì sao vật liệu lại có tính dẫn điện khác nhau như vậy ? nguyên nhân căn bản là ở cách liên kết giữa các nguyên tử với nhau và kết cấu bản thân nguyên tử trong vật liệu. Chúng ta đều biết rằng, nguyên tử được tạo thành từ hạt nhân mang điện dương và các điện tử mang điện âm, các điện tử chia thành nhiều tầng vây quanh hạt nhân và không ngừng chuyển động.

Vật liệu dẫn điện : So sánh tương đối với vật dẫn khác, trong kim loại, các điện tử lớp ngoài của nguyên tử bị hạt nhân hút yếu ; có rất nhiều điện tử không bị ràng buộc với hạt nhân trở thành điện tử tự do. Những điện tử tự do này trở thành các hạt dẫn mang điện. Dưới tác dụng của điện trường ngoài, chúng di chuyển có hướng và hình thành dòng điện. Do đó kim loại dẫn điện tốt nhất.

Vật liệu cách điện : Trong vật liệu cách điện, lực ràng buộc với hạt nhân của các điện tử rất lớn ; chúng khó có thể tách khỏi hạt nhân, nên số điện tử tự do cực kỳ ít ; do đó tính năng dẫn điện rất kém.

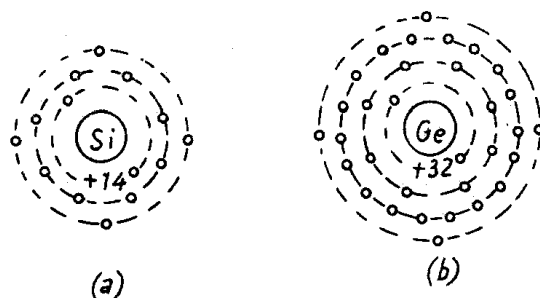
Vật liệu bán dẫn : Cấu trúc nguyên tử của vật liệu bán dẫn tương đối đặc biệt. Các điện tử lớp ngoài không dễ dàng tách khỏi liên kết với hạt nhân như vật liệu dẫn điện, mà cũng không ràng buộc quá chặt với hạt nhân như vật liệu cách điện. Do đó, đặc tính dẫn điện của nó nằm giữa vật liệu dẫn điện và vật liệu cách điện.

1.1.2. Hiện tượng dẫn điện trong vật liệu bán dẫn sạch

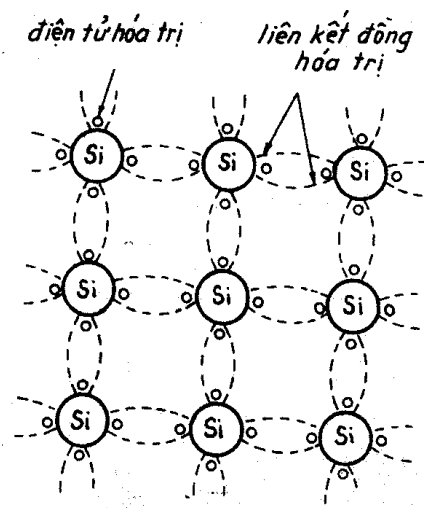
Vật liệu bán dẫn thuần khiết được gọi là bán dẫn sạch mà đặc trưng về tính bán dẫn phụ thuộc nguyên tố hóa học. Hạt dẫn điện của bán dẫn sạch là điện tử hoặc là lỗ trống.

Lỗ trống. Để làm rõ lỗ trống là gì, đầu tiên ta hãy quan sát cấu trúc nguyên tử của hai nguyên tố bán dẫn là Ge và Si biểu thị trên hình 1.1.1. Chúng có đặc điểm chung là tầng ngoài cùng đều có 4 điện tử. Các điện tử này được gọi là điện tử hóa trị. Nguyên tử có hóa trị bằng số điện tử hóa trị của chúng. Vậy Ge và Si là các nguyên tố hóa trị 4.

Khi vật liệu bán dẫn Ge, Si được chế tạo thành tinh thể thì từ trạng thái sắp xếp lộn xộn thông thường, chúng trở thành trạng thái hoàn toàn trật tự của cấu trúc tinh thể của các nguyên tử. Khi đó, khoảng cách giữa các nguyên tử đều bằng nhau, vào khoảng $2,35 \cdot 10^{-4} \mu\text{m}$. Bốn điện tử ở lớp ngoài cùng của mỗi nguyên tử không những chịu sự ràng buộc với hạt nhân bản thân nguyên tử đó, mà còn liên kết với 4 nguyên tử gần kề xung quanh. Hai nguyên tử đứng cạnh nhau có một đôi điện tử góp chung. Mỗi một điện tử trong đôi vừa chuyển động quanh hạt nhân nguyên tử của nó, vừa có mặt trên quỹ đạo của nguyên tử đối tác góp chung. Sự liên kết này được gọi là liên kết đồng hóa trị. Xem hình 1.1.2

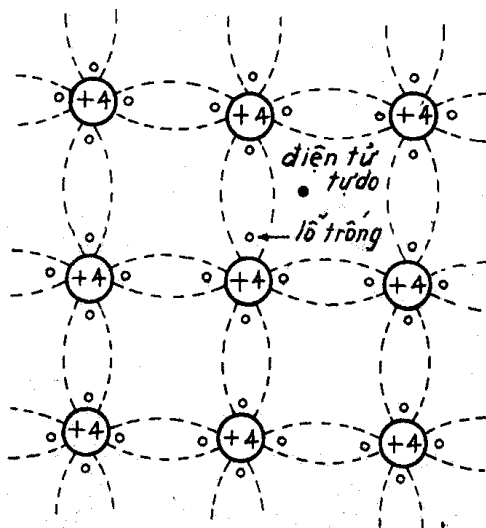


Hình 1-1-1. Sơ đồ cấu trúc phẳng của nguyên tử Si (a) và nguyên tử Ge(b).



Hình 1-1-2.

Sơ đồ biểu thị mối liên kết đồng hóa trị của tinh thể Si.



Hình 1-1-3.

Sơ đồ cấu trúc tinh thể bán dẫn sạch.

Ở nhiệt độ nhất định, do chuyển động nhiệt, một số điện tử góp chung thoát khỏi sự ràng buộc với hạt nhân trở thành điện tử tự do, đó là hạt dẫn điện tử.

Điều đáng chú ý ở đây là, sau khi một điện tử góp chung trong đôi đã trở thành điện tử tự do thì để lại một lỗ trống, như hình 1.1.3 biểu thị. Đã có một lỗ trống như thế, thì điện tử góp chung trong đôi kế cận rất dễ dàng rơi vào lỗ trống đó, tạo thành sự di chuyển của các điện tử góp chung. Sự di chuyển này, dù xét về hiệu quả hay xét trên hiện tượng, đều giống sự di chuyển của hạt mang điện tích

dương. Để phân biệt với sự di chuyển của điện tử tự do, ta gọi đây là sự di chuyển của lỗ trống. Hạt mang điện tích dương ấy là lỗ trống.

Vậy lỗ trống cũng là loại hạt mang điện. Khi đặt điện áp lên vật liệu bán dẫn, thì có hai thành phần trong dòng điện chạy qua nó : thành phần dòng điện do điện tử tự do di chuyển có hướng và thành phần dòng lỗ trống do điện tử góp chung dịch lấp lỗ trống. Sự khác nhau của hai thành phần này là điện tử mang điện âm, còn lỗ trống mang điện dương. Vậy trong vật liệu bán dẫn, không những có hạt dẫn là điện tử, mà còn có hạt dẫn là lỗ trống. Đó là đặc điểm quan trọng của sự dẫn điện bán dẫn.

Vật chất vận động không ngừng, chuyển động nhiệt làm cho trong vật liệu bán dẫn không ngừng sản sinh ra điện tử tự do và đồng thời xuất hiện các lỗ trống có số lượng tương ứng. Vì điện tử là lỗ trống được sinh ra thành cặp, nên ta gọi chúng là cặp điện tử - lỗ trống. Mặt khác, trong quá trình vận động, điện tử và lỗ trống gặp nhau, trung hòa điện tích. Quá trình ngược lại đó được gọi là tái hợp. Sự phát xạ và tái hợp của cặp điện tử - lỗ trống thường cân bằng trong điều kiện nhiệt độ nhất định. Khi ấy, tuy quá trình phát xạ và tái hợp không ngừng diễn ra, nhưng số cặp điện tử - lỗ trống vẫn giữ nguyên một giá trị nào đó.

1.1.3. Hiện tượng dẫn điện trong bán dẫn pha tạp

Sự phân tích trên đây là đối với bán dẫn sạch đơn tinh thể. Trong loại vật liệu đó, tuy rằng có thêm hạt mang lỗ trống, nhưng số lượng toàn thể hạt mang vẫn rất ít, khả năng dẫn điện vẫn kém, cho nên ứng dụng ít, nhờ phương pháp khuếch tán tạp chất có ích vào bán dẫn sạch đơn tinh thể nên điều chỉnh chính xác được đặc tính điện của vật liệu bán dẫn.

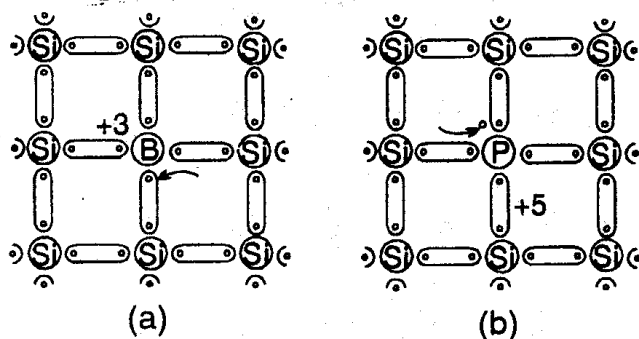
Ví dụ, khuếch tán một lượng nhỏ B vào đơn tinh thể Si thì số lượng hạt mang lỗ trống trong vật liệu bán dẫn tăng mạnh, làm cho khả năng dẫn điện tăng mạnh, nhờ vậy vật liệu bán dẫn có ứng dụng vô cùng quan trọng.

Chất bán dẫn P. Hình 1.1.4 (a) trình bày sơ đồ cấu trúc liên kết đồng hóa trị do nguyên tử Si và B tạo ra sau khi khuếch tán B vào đơn tinh thể Si.

Hình 1-1-4.

Khuếch tán tạp chất vào đơn tinh thể Si :

- Khuếch tán B tạo thành bán dẫn P ;
- Khuếch tán P tạo thành bán dẫn N.



(Mũi tên chỉ vào lỗ trống)

(Mũi tên chỉ vào điện tử)

Vì số lượng nguyên tử B rất nhỏ so với Si nên cấu trúc tinh thể bán dẫn căn bản không đổi. Ta biết rằng, B là nguyên tố hóa trị 3, có ba điện tử lớp ngoài. Nên khi nó cùng với nguyên tử Si tạo thành liên kết đồng hóa trị thì hình thành

lỗ trống. Khuếch tán tạp chất B rồi thì mỗi nguyên tử B đều cung cấp một lỗ trống, làm cho số lượng hạt mang lỗ trống trong đơn tinh thể Si tăng lên rất nhiều. Vật liệu bán dẫn loại này hầu như không có điện tử tự do, dẫn điện được chủ yếu dựa vào lỗ trống, nên được gọi là vật liệu bán dẫn lỗ trống, gọi tắt chất bán dẫn P. Trong chất bán dẫn P, nồng độ lỗ trống lớn hơn nhiều nồng độ điện tử, nên lỗ trống được gọi là hạt mang đa số, điện tử là hạt mang thiểu số.

Chất bán dẫn N. Nếu khuếch tán nguyên tố hóa trị 5 như P, Zn... vào đơn tinh thể Si thì xảy ra tình hình khác hẳn. Sau khi nguyên tử Si và P tạo thành liên kết đồng hóa trị, chỉ có 4 trong 5 điện tử lớp ngoài của P tham gia liên kết, còn lại một điện tử ràng buộc yếu với hạt nhân dễ dàng trở thành điện tử tự do. Vậy trong loại bán dẫn này, số lượng hạt mang điện tử rất nhiều, chúng là hạt mang đa số; số lượng hạt mang lỗ trống rất ít, chúng là hạt mang thiểu số. Chất bán dẫn này dẫn điện được chủ yếu dựa vào điện tử, nên gọi là vật liệu bán dẫn điện tử, gọi tắt là chất bán dẫn N. Xem hình 1.1.4b.

1.2. ĐIỐT BÁN DẪN

1.2.1. Đặc tính của chuyển tiếp PN

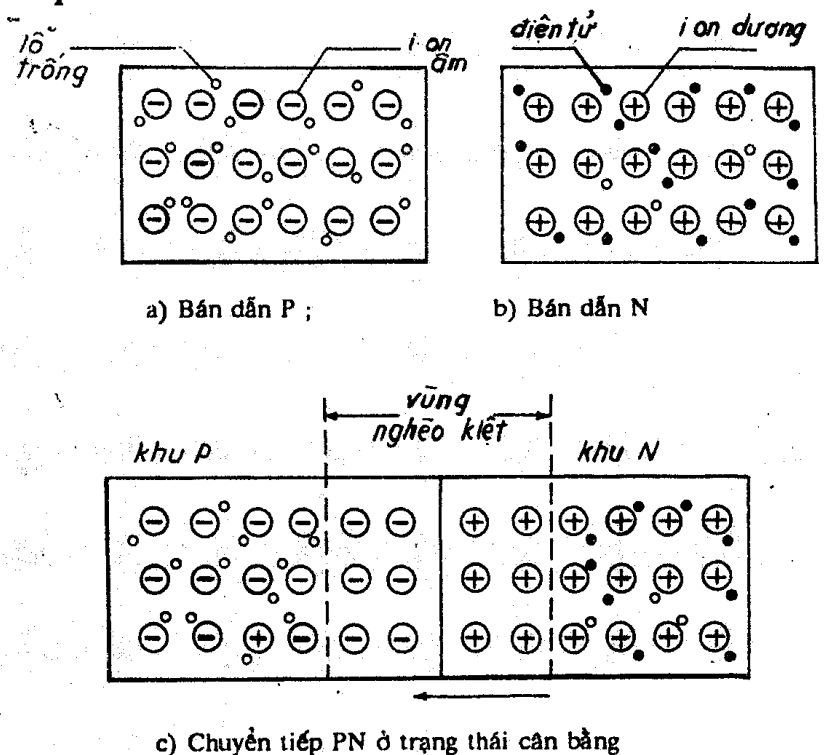
1) Chuyển động của hạt dẫn trong chuyển tiếp PN

Khi chất bán dẫn P ghép với chất bán dẫn N thành một khối thì tất yếu xảy ra sự khuếch tán hạt dẫn do nồng độ không đều của chúng: lỗ trống trong khu vực P khuếch tán sang khu vực N, điện tử trong khu vực N khuếch tán sang khu vực P. Xem hình 1.2.1.a, b.

Nhờ quá trình khuếch tán mà lỗ trống khu vực P giảm nhỏ tạo thành vùng ion âm, còn điện tử khu vực N giảm nhỏ tạo thành vùng ion dương.

Vậy nên sinh ra điện trường trong tại hai bên vùng tiếp giáp. Điện trường này có hướng ngược với hướng khuếch tán của dòng điện, như mũi tên từ khu vực N sang khu vực P trên hình 1. 2.1c

chỉ rõ. Điện trường trong cản trở sự khuếch tán của lỗ trống sang khu vực N và của điện tử sang khu vực P. Trạng thái cân bằng động xảy ra khi điện tích không gian vùng tiếp giáp không tăng nữa. Khi cân bằng động, vùng tiếp giáp hình thành sự thiếu vắng hạt dẫn, như hình 1.2.1c biểu thị, vùng đó được gọi là vùng điện



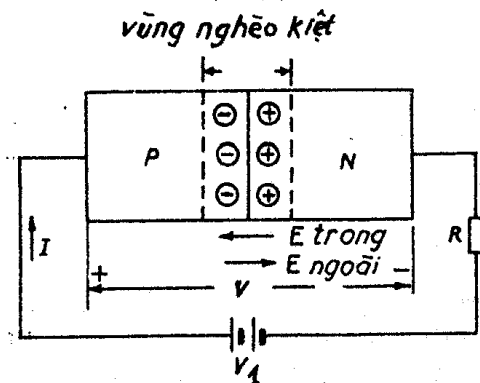
Hình 1-2-1. Chuyển động của hạt dẫn trong chuyển tiếp PN
(Mũi tên dưới cùng chỉ điện trường trong)

tích không gian, hay còn được gọi là vùng nghèo kiệt, đó chính là chuyển tiếp PN, độ rộng của nó chừng vài mươi μm , có thể cho rằng chỉ bao gồm các ion không thể di chuyển được.

Khi cân bằng động, qua chuyển tiếp PN không chỉ có sự khuếch tán của hạt dẫn đa số (lỗ trống trong khu vực P và điện tử trong khu vực N), mà còn có sự trôi dạt của hạt dẫn thiểu số (điện tử trong khu vực P và lỗ trống trong khu vực N). Sự trôi dạt là sự di chuyển của hạt dẫn được định hướng của điện trường trong. Điện trường trong chỉ cản trở sự khuếch tán của hạt dẫn đa số, mà lại trợ giúp sự trôi dạt của hạt dẫn thiểu số sang phía khu vực đối phương. Vậy ở trạng thái cân bằng động, ngoài dòng điện khuếch tán của lỗ trống từ khu vực P sang khu vực N, thì còn có dòng điện trôi dạt của lỗ trống theo hướng ngược lại, tất nhiên bằng nhau về số trị. Tương tự, dòng điện khuếch tán và dòng điện trôi dạt của điện tử cũng triệt tiêu nhau. Vậy nên không có dòng điện chạy qua chuyển tiếp PN trong điều kiện không có tác động của điện trường ngoài hay của các yếu tố kích hoạt khác (chẳng hạn sự kích quang)

2) Chuyển tiếp PN có điện áp thuận đặt vào

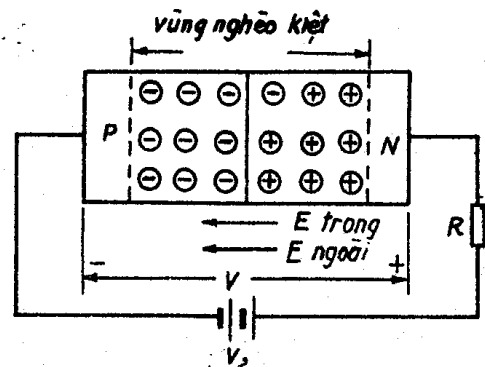
Hình 1.2.2 biểu thị điện trường ngoài hướng thuận đặt vào chuyển tiếp PN : cực dương của nguồn nối vào P, cực âm của nguồn nối vào N. Khi đó, điện trường ngoài ngược hướng với điện trường trong, làm suy yếu điện trường trong, nên điện tích không gian và bề rộng vùng nghèo kiệt đều giảm nhỏ ; điện tử trong khu vực N và lỗ trống trong khu vực P đều dễ dàng hơn vượt qua chuyển tiếp PN, hình thành dòng điện khuếch tán lớn. Về dòng điện trôi dạt do số rất ít hạt dẫn thiểu số tạo ra, thì ảnh hưởng của nó đối với dòng điện tổng là không đáng kể. Vậy chuyển tiếp PN có điện áp thuận đặt vào biến thành trạng thái dẫn điện, và điện trở của nó khi đó rất bé.



Hình 1-2-2. Điện trường ngoài hướng thuận.

3) Chuyển tiếp PN có điện áp nghịch đặt vào

Hình 1.2.3 biểu thị điện trường ngoài hướng nghịch đặt vào chuyển tiếp PN : Cực dương của nguồn nối vào N, Cực âm của nguồn nối vào P. Khi đó, điện trường ngoài cùng hướng với điện trường trong, làm cho điện tích không gian và bề rộng vùng nghèo kiệt đều tăng lên, gây khó khăn cho sự khuếch tán, dòng điện khuếch tán giảm nhỏ đi nhiều. Dòng điện trôi dạt cân bản không đổi, là phần chủ yếu của dòng điện tổng đi qua chuyển tiếp PN. Dòng điện này (khi có điện áp nghịch đặt vào) gọi là dòng điện nghịch. Khi nhiệt độ không đổi thì nồng độ hạt dẫn thiểu số



Hình 1-2-3. Điện trường ngoài hướng nghịch.

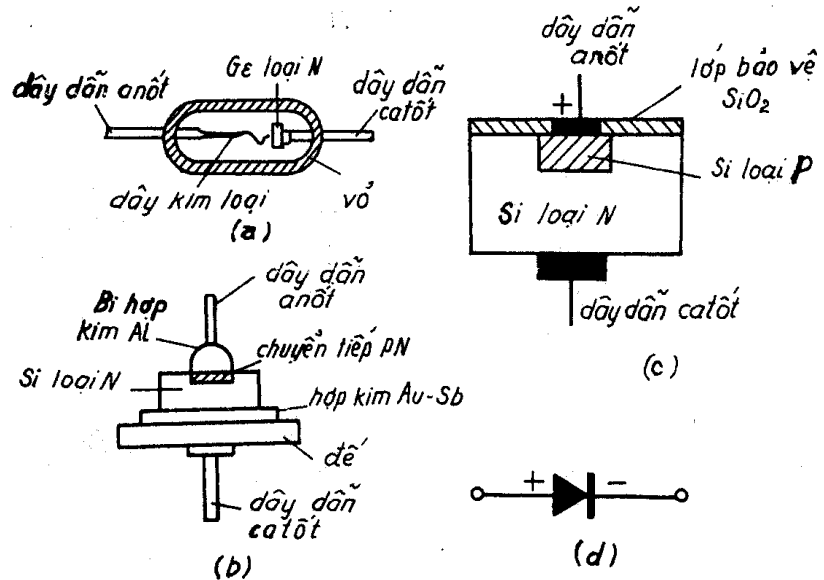
hông đổi, nên dòng điện nghịch không phụ thuộc điện áp nghịch đặt vào (trong giới hạn nhất định), vì thế dòng điện nghịch còn được gọi là dòng điện bão hòa nghịch. Vì số lượng hạt dẫn thiểu số rất nhỏ, dòng điện nghịch rất nhỏ, nhỏ xấp xỉ 0. Vậy chuyển tiếp PN có điện áp nghịch đặt vào biến thành trạng thái ngắt.

1.2.2. Cấu trúc điốt và đặc tuyến Von - ampe

Hình 1-2-4.

Cấu trúc và kí hiệu điốt bán dẫn

- loại tiếp xúc điểm ;
- loại tiếp xúc mặt ;
- loại bề mặt ;
- kí hiệu.



1) Cấu trúc điốt

Điốt bán dẫn là chuyển tiếp PN có thêm dây dẫn ra ngoài và vỏ bọc bảo vệ. Xem hình 1.2.4

Đặc điểm của điốt loại tiếp xúc điểm là diện tích chuyển tiếp PN rất nhỏ, vì thế điện dung của chuyển tiếp PN rất nhỏ, thích hợp với tần số cao (vài trăm MHz). Đặc điểm của điốt loại tiếp xúc mặt là diện tích chuyển tiếp PN lớn, cho phép dòng điện hướng thuận đạt lớn, thường dùng làm bóng chỉnh lưu (nắn dòng) ; nhưng điện dung của chuyển tiếp PN lớn, chỉ có thể làm việc với tần số tương đối thấp. Điốt mặt Si có diện tích chuyển tiếp PN khá lớn, có dòng qua khá lớn, phù hợp yêu cầu chỉnh lưu công suất lớn. Điốt tiếp điểm Si có diện tích chuyển tiếp tương đối nhỏ, điện dung của chuyển tiếp PN khá nhỏ, nên thường làm bóng chuyển mạch (nối - ngắt mạch) trong mạch số, mạch xung.

2) Đặc tuyến von - ampe của điốt

Quan hệ giữa dòng điện đi qua điốt chuyển tiếp PN và điện áp trên 2 cực anốt catốt của nó được biểu thị bằng công thức sau :

$$I = I_s \left(e^{\frac{V}{V_T}} - 1 \right) = I_s \left(e^{\frac{qV}{KT}} - 1 \right) \quad (1-2-1)$$

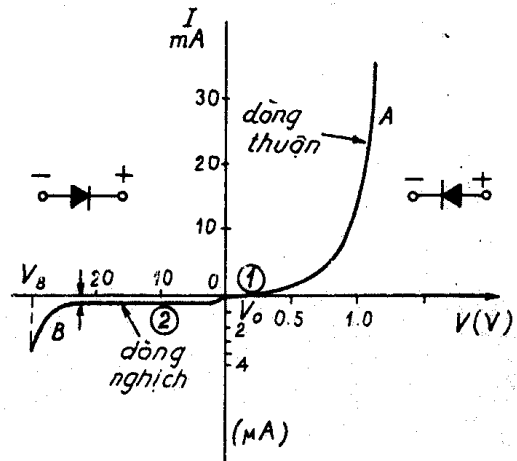
I : dòng qua điốt, I_s : dòng điện bão hòa nghịch

V : điện áp ngoài đặt trên 2 cực của điốt

$V_T = \frac{KT}{q}$: đương lượng điện áp của nhiệt độ, với $K = 1,381 \cdot 10^{23} \text{ J/K}$

$q = 1,6 \cdot 10^{-19} \text{ C}$. Vậy $V_T = \frac{T}{11600}$, ở nhiệt độ trong phòng 300K thì $V_T \approx 26 \text{ mV}$

(1.2.1) là đặc tính von- ampe của diốt bán dẫn lý tưởng (còn gọi là phương trình diốt bán dẫn). Khi điện áp thuận đặt vào V lớn gấp vài lần V_T , $e^{\frac{V}{V_T}} > 1$ thì đặc tuyến von-ampe của diốt là một hàm số mũ, biểu thị thành đoạn OA trên hình 1.2.5. Khi điện áp nghịch đặt vào khá lớn, $e^{\frac{V}{V_T}} \approx 0$, $I \approx -I_s$. Ở nhiệt độ xác định thì I_s không đổi (không đổi phụ thuộc V), biểu thị thành đoạn OB trên hình 1.2.5.



Hình 1-2-5. Đặc tuyến V- A của Diốt.

a) Phần dòng thuận : đoạn (1) trên hình 1.2.5. Khi điện áp thuận tương đối nhỏ, điện trường ngoài vẫn không áp đảo điện trường trong, mà điện trường trong ngăn trở dòng điện khuếch tán, nên dòng điện thuận vẫn rất nhỏ, diốt thể hiện một điện trở lớn. Khi điện áp thuận vượt quá giá trị V_0 xác định (V_0 được gọi là điện áp mở, phụ thuộc vào nhiệt độ và vật liệu bóng bán dẫn) thì điện trường trong bị khắc phục, điện trở của diốt rất nhỏ, dòng điện thuận tăng nhanh theo điện áp. V_0 của diốt Si thường là 0,5V, vùng chết của diốt Ge không rõ như vậy, nên có thể cho rằng V_0 của diốt Ge xấp xỉ 0,1 V.

b) Phần dòng nghịch : đoạn (2) trên hình 1.2.5. Khi đặt điện áp nghịch lên diốt, dòng điện nghịch rất bé. Ở nhiệt độ như nhau, dòng nghịch của diốt Si nhỏ hơn nhiều so với diốt Ge (cấp μA đối với diốt Ge, cấp nA đối với diốt Si). Dòng điện nghịch của diốt có 2 đặc điểm là : tăng nhanh theo nhiệt độ, trong một giới hạn nhất định của điện áp thì không phụ thuộc vào điện áp.

c) Phần đánh thủng : khi đặt điện áp nghịch lớn đến một giá trị xác định lên diốt, thì mối liên kết đồng hóa trị bị phá hoại, bứt ra nhiều điện tử, lượng hạt dẫn thiểu số tăng vọt. Điện trường mạnh làm cho điện tử va đập vào nguyên tử, sinh ra các cặp điện tử - lỗ trống mới, tăng vọt số lượng hạt dẫn. Hai yếu tố này dẫn đến hiện tượng đánh thủng điện (Xem hình 1.2.5). Tương ứng, V_B được gọi là điện áp nghịch đánh thủng. Nếu điện áp nghịch đặt vào diốt xấp xỉ hoặc lớn hơn V_B , lại không có biện pháp hạn chế dòng điện một cách thích hợp thì dòng điện lớn, điện áp cao sẽ làm diốt bán dẫn quá nóng đến nỗi hỏng vĩnh viễn, đó là đánh thủng nhiệt.

Vì điện trở của dây dẫn nối và của bản thân vật liệu bán dẫn, ngoài ra còn có nhiều nhân tố khác ảnh hưởng, như dòng điện dò chẳng hạn, nên đặc tuyến V - A của diốt thực sự đo được có khác ít nhiều so với đặc tuyến V - A lý tưởng (1.2.1).

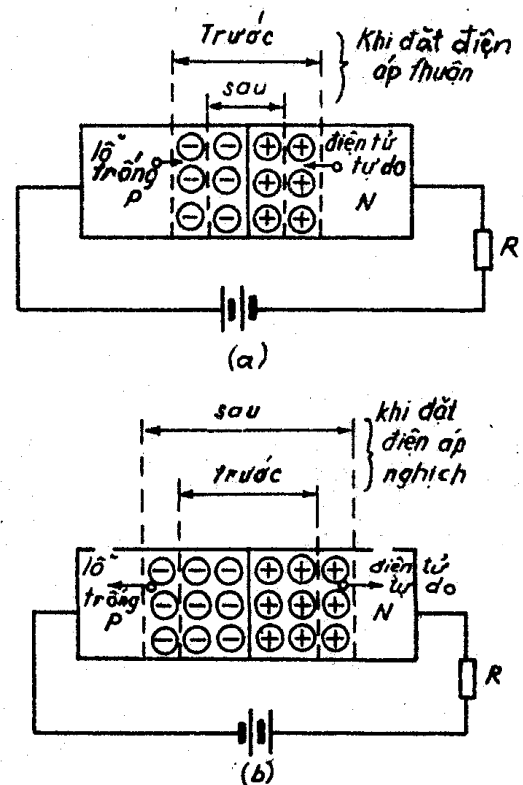
1.2.3. Hiệu ứng điện dung của điốt bán dẫn

1) Điện dung của chuyển tiếp

Điốt bán dẫn ngoài đặc tính dẫn điện một chiều, còn có hiệu ứng điện dung, trước hết là điện dung của chuyển tiếp. Điện dung này được tạo ra trong vùng nghèo kiệt. Như đã nói ở phần trước, trong vùng nghèo kiệt chỉ có các ion không dịch chuyển, tương đương với điện tích tồn trữ; sự thiếu vắng hạt mang dẫn điện làm cho điện trở suất khá lớn, như là của điện môi; Độ dẫn điện cao hơn của vùng P và vùng N tương đương kim loại; khi có điện áp xoay chiều đặt vào thì điện tích vùng nghèo kiệt biến đổi theo. Hiện tượng này y hệt như điện dung, vì thế gọi là điện dung của chuyển tiếp, ký hiệu là C_B .

Tác dụng của C_B như sau:

Nếu có điện áp thuận đặt vào chuyển tiếp PN thì hạt dẫn đa số chuyển động tới tiếp giáp, số lượng điện tích trong vùng nghèo kiệt giảm nhỏ, vùng nghèo kiệt trở nên hẹp hơn, tương đương sự phóng điện, xem hình 1.2.6a. Còn nếu có điện áp nghịch đặt vào chuyển tiếp PN thì hạt dẫn đa số rời xa tiếp giáp, số lượng điện tích trong vùng nghèo kiệt tăng lớn, vùng nghèo kiệt trở nên rộng hơn, tương đương sự nạp điện, xem hình 1.2.6b. Hiện tượng phóng nạp điện đó y hệt điện dung, chỉ có điều khác là điện dung của chuyển tiếp C_B phụ thuộc điện áp đặt vào, chứ không phải là hằng số. Khi đặt vào điện áp nghịch, C_B tuy bé nhưng đấu song song với điện trở rất lớn của chuyển tiếp, nên tác dụng lại rõ rệt. Còn khi đặt vào điện áp thuận, C_B tuy lớn nhưng đấu song song với điện trở rất nhỏ của chuyển tiếp, nên tác dụng không rõ. Vậy nên, với định thiên điện áp nghịch, ta phải chú ý đến sự tồn tại của C_B . Nhất là khi làm việc ở tần số cao, càng nên xem xét ảnh hưởng của C_B . Thông thường giá trị điện dung của chuyển tiếp C_B từ vài pF đến một hai trăm pF.



Hình 1-2-6. Hiệu ứng điện dung:

a) Phóng điện; b) Nạp điện.

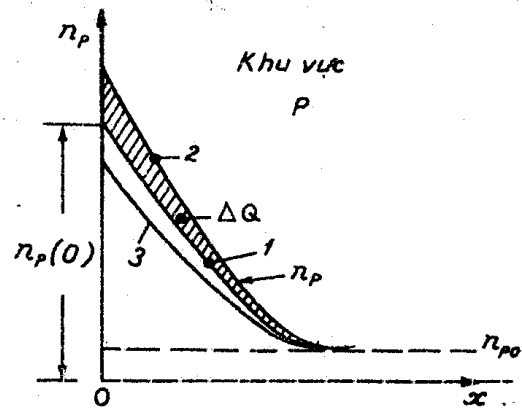
2) Điện dung khuếch tán

Sự hình thành điện dung khuếch tán không giống điện dung chuyển tiếp. Điện dung khuếch tán là kết quả sự tích lũy của điện tử trong khu vực N và lỗ trống trong khu vực P sau quá trình khuếch tán.

Hình 1.2.7. trình bày (trường hợp đặt vào chuyển tiếp điện áp thuận) sự biến đổi nồng độ hạt dẫn thiểu số trong khu vực P (điện tử). $n_p(0)$ là nồng độ điện tử tại tiếp giáp bên khu vực P. n_{p0} là nồng độ điện tử trong khu vực P khi cân

bằng. Khi điện áp thuận tăng, tương ứng với xu thế dòng điện tăng lên là gradien nồng độ hạt mang phải tăng lên (vì dòng điện khuếch tán tỷ lệ thuận với gradien nồng độ)

Vì vậy, sự phân bố nồng độ từ đường cong 1 biến đổi thành đường cong 2, tạo ra sự tích lũy nhiều hơn hạt dẫn, làm tăng thêm một lượng điện tích ΔQ . Ngược lại, khi điện áp thuận giảm, sự phân bố nồng độ từ đường cong 1 biến đổi thành đường cong 3. Nghĩa là, nếu điện áp thuận tăng hay giảm thì tương ứng có sự bổ sung hay thoái giảm của hạt dẫn. Sự tích lũy điện tử trong khu vực P hoặc của lỗ trống trong khu vực N biến đổi theo điện áp ngoài đặt vào tương đương với một điện dung gọi là điện dung khuếch tán C_D . Giá trị của C_D tỷ lệ thuận với dòng điện. Với điện áp thuận đặt vào, C_D tương đối lớn. Với điện áp nghịch đặt vào, C_D nhỏ đến mức có thể bỏ qua.



Hình 1-2-7.

Sự biến đổi nồng độ hạt dẫn thiểu số trong khu vực P theo điện áp thuận đặt vào.

1.2.4. Đặc tính đóng mở (chuyển mạch) của diốt bán dẫn

Diốt bán dẫn trong mạch số thường làm việc ở trạng thái đóng mở. Vì vậy chúng ta hết sức chú ý điều kiện đóng mở và đặc điểm công tác ở trạng thái đóng mở.

Với khóa đóng mở lí tưởng, khi đóng mạch thì điện áp trên hai đầu của nó luôn bằng 0 bất kể dòng điện chạy qua nó là bao nhiêu, khi ngắt mạch dòng điện chạy qua phải bằng 0 bất kể điện áp trên hai đầu của nó là bao nhiêu, hơn nữa thời gian chuyển đổi trạng thái phải là tức thì. Tất nhiên khóa đóng mở lí tưởng như vậy không tồn tại trong thực tế.

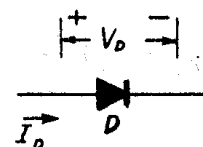
Diốt bán dẫn dùng làm cấu kiện đóng mở thì gần lý tưởng đến mức nào? Chúng ta hãy xem xét diốt Si.

1) Điều kiện đóng và đặc điểm đóng

Từ đặc tuyến V - A của diốt bán dẫn, ta biết rằng khi điện áp thuận đặt vào $V_D > V_0$ (V_0 là điện áp mở) thì diốt bắt đầu dẫn điện, sau đó dòng điện I_D tăng nhanh theo V_D . Ở $V_D = 0,7V$, đặc tuyến đã khá dốc, I_D biến đổi khá nhiều trong phạm vi V_D xấp xỉ 0,7V. Vì vậy, trong việc tính toán và phân tích mạch số thường lấy $V_D \geq 0,7V$ làm điều kiện dẫn điện của diốt Si. Và khi diốt đã dẫn điện, điện áp rơi trên nó được ước lượng là 0,7V.

2) Điều kiện ngắt và đặc điểm ngắt

Từ đặc tuyến V - A của diốt bán dẫn, ta biết rằng khi $V_D < V_0$ thì I_D rất nhỏ. Vì vậy, trong việc tính toán và phân tích mạch số thường lấy $V_D < V_0 = 0,5V$ làm điều kiện ngắt mạch của diốt. Và ở trạng thái ngắt mạch, ước lượng rằng $I_D \approx 0$.



Hình 1-2-8.

Phương hướng dòng điện và điện áp của diốt.

3) Thời gian hồi phục nghịch

Trong hình 1.2.9 khi điện áp vào V_i biến đổi từ $+V_1$ đến $-V_2$, nếu diốt là khóa đóng mở lí tưởng, thì dạng sóng dòng điện qua tải R_L có dạng hình b :

dòng thuận bằng $\frac{V_1}{R_L}$, dòng nghịch ≈ 0 Hình c biểu

thị dạng sóng dòng điện thực tế : dòng thuận bằng $\frac{V_1}{R_L}$, có đột biến với dòng điện nghịch $-\frac{V_2}{R_L}$, chỉ sau

thời gian hồi phục nghịch t_{re} thì diốt mới tiến đến trạng thái ngắt mạch, dòng điện ≈ 0 . Vì vậy, nếu tần số điện áp vào V_i là rất cao, đến nỗi bề rộng nửa chu kỳ âm của V_i bé hơn thời gian t_{re} , thì diốt còn đâu tác dụng dẫn điện một chiều nữa.

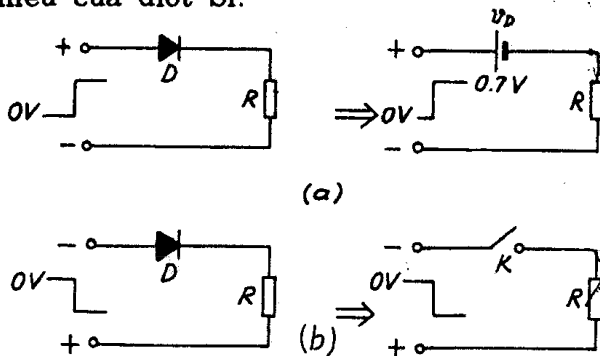
Chúng ta phải xem xét vấn đề : khi điện áp vào đã biến từ V_1 thành $-V_2$ rồi mà diốt vẫn thông.

Chúng ta đã biết rằng, với điện áp nghịch trên diốt, dòng điện trôi dạt là chủ yếu, ở trạng thái ổn định, số lượng hạt dẫn thiểu số tạo thành dòng điện trôi dạt rất nhỏ, diốt hở mạch. Nhưng khi diốt dẫn điện với điện áp thuận đặt vào, hạt dẫn đa số không ngừng khuếch tán sang khu vực bên kia chuyển tiếp, (lỗ trống ở khu vực P khuếch tán sang thành hạt dẫn thiểu số của khu vực N, điện tử ở khu vực N khuếch tán sang thành hạt dẫn thiểu số của khu vực P) làm cho sự tích trữ khá nhiều hạt mang thiểu số hai bên chuyển tiếp PN. Do đó, bỗng đặt vào điện áp ngược, thì các hạt dẫn thiểu số hình thành dòng điện trôi dạt tương

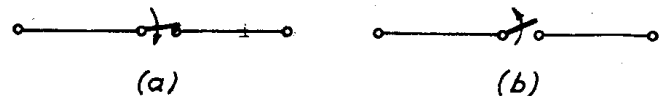
đối lớn. Đó là dòng điện $I \approx -\frac{V_2}{R_L}$ ở thời điểm có đột biến âm, diốt vẫn thông. Chỉ sau khoảng thời gian hồi phục nghịch t_{re} đủ tiêu tán hết số hạt mang thiểu số đã tích trữ thì dòng điện nghịch qua diốt mới tiến đến $I_R \approx 0$.

4) Mạch điện tương đương

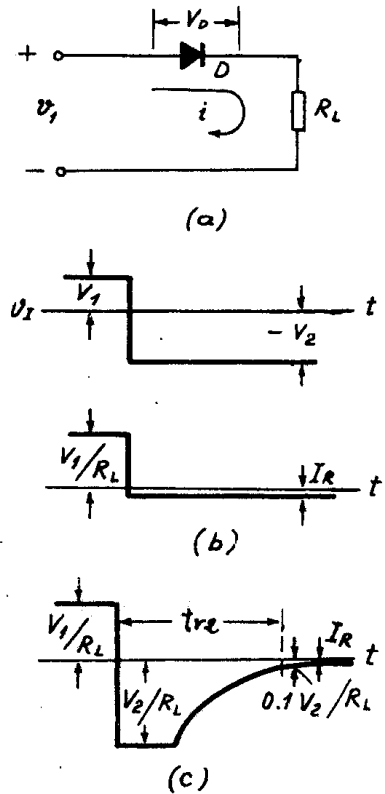
Các hình 1-2-10, 1-2-11 trình bày mạch điện tương đương đối với dòng điện một chiều của diốt Si.



Hình 1-2-10. Mạch điện tương đương gần đúng của diốt Si : a) thuận ; b) nghịch.



Hình 1-2-11. Mạch điện tương đương đơn giản : a) thuận ; b) nghịch.



Hình 1-2-9. Quá trình quá độ của diốt

- a) mạch điện
- b) Đồ thị sóng lý tưởng
- c) Đồ thị sóng thực

1.2.5. Các tham số cơ bản của diốt bán dẫn

1) *Dòng điện chỉnh lưu trung bình cực đại I_F* . Đó là dòng điện trung bình hướng thuận cực đại được cho phép chạy qua diốt trong thời gian sử dụng dài, trị số này được xác định bởi diện tích chuyển tiếp PN và điều kiện tỏa nhiệt. Trong sử dụng diốt, cần chú ý điều kiện tỏa nhiệt và bảo đảm dòng điện trung bình $< I_F$, để diốt khỏi hỏng.

2) *Điện áp nghịch cực đại V_R* . Nếu điện áp nghịch đặt vào diốt đạt đến điện áp đánh thủng V_B thì dòng điện nghịch tăng nhanh, tính dẫn điện một hướng của diốt bị phá hoại, thậm chí dẫn đến đánh thủng nhiệt làm hỏng diốt. Để diốt làm việc an toàn, thường điện áp nghịch cực đại cho phép trên diốt bằng một nửa điện áp đánh thủng.

3) *Dòng điện nghịch I_R* . Đó là trị số dòng điện nghịch khi diốt không bị đánh thủng. I_R càng nhỏ thì tính dẫn điện một hướng càng tốt. Cần chú ý rằng I_R phụ thuộc rõ rệt vào nhiệt độ.

4) *Tần số công tác*. Điện dung chuyển tiếp PN và điện dung khuếch tán của diốt là yếu tố chủ yếu giới hạn tần số công tác, vượt quá giới hạn đó thì diốt không thể hiện tính năng dẫn điện một chiều nữa.

5) *Thời gian hồi phục nghịch t_{re}* . Thời gian t_{re} được đo trong các điều kiện quy định về : phụ tải, dòng điện thuận, dòng điện nghịch tức thời cực đại. Ví dụ, bóng đóng mở Si có số hiệu 2CK15, khi $R_L = 50 \Omega$, biên độ dòng điện thuận và nghịch đều 10 mA, thì $t_{re} \leq 5nS$ (ở thời điểm kết thúc t_{re} thì $I_R = 1mA$, tức 10% biên độ)

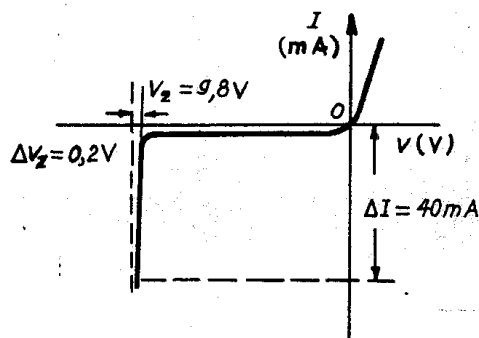
6) *Điện dung không thiên áp*. Không thiên áp là điều kiện không có điện áp đặt vào diốt. Giá trị điện dung này bao gồm tổng điện dung khuếch tán và điện dung chuyển tiếp PN. Ví dụ, với 2CK15, điện dung không thiên áp nhỏ hơn 5pF.

1.2.6. Diốt ổn áp

Diốt ổn áp, một diốt bán dẫn có đặc tính ổn áp được sản xuất chuyên dụng phục vụ các thiết bị ổn áp và mạch điện tử, nó được phân biệt với các diốt bán dẫn khác có ứng dụng chỉnh lưu, tách sóng v.v...

1) Tác dụng ổn áp

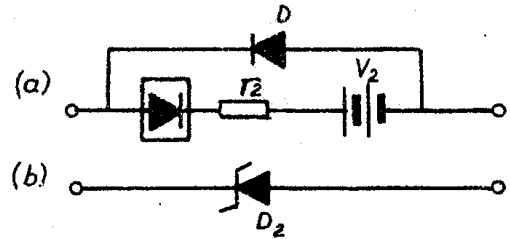
Để thấy rõ tác dụng ổn áp của diốt ổn áp, ta hãy xét phần nghịch của đặc tuyến $V - A$ của diốt ổn áp, hình 1.2.12. khi điện áp nghịch đạt đến một giá trị nhất định, thì dòng điện nghịch tăng nhanh đột biến, sau đó ứng với phạm vi biến thiên rất lớn của dòng điện nghịch là phạm vi biến thiên rất nhỏ của điện áp nghịch. Đó là hiện tượng đánh thủng điện. Điều kiện để sử dụng đặc tính ổn áp nói trên là trong mạch điện diốt ổn áp phải có biện pháp hạn chế dòng điện sao cho sự đánh thủng điện không dẫn đến sự đánh thủng nhiệt làm hỏng bóng ổn áp.



Hình 1-2-12. Đặc tính ổn áp.

Hình 1-2-13 a là mạch điện tương đương của diốt ổn áp. Tương ứng với hình 1-2-12, giá trị ổn áp $V_Z = 9,8V$, giá trị nội trở tương đương $r_2 = \frac{\Delta V}{\Delta I} = \frac{0,2V}{0,04A} = 5\Omega$

Hình 1-2-13 b. là ký hiệu của diốt ổn áp.



Hình 1-2-13.

Mạch điện tương đương và kí hiệu của diốt ổn áp.

2) Nguyên lí đánh thủng

Hiện tượng đánh thủng xảy ra trong chuyển tiếp PN có thể do hai cơ chế sau đây :

Cơ chế đánh thủng Zene (xuyên hầm) : khi điện trường nghịch đặt vào đủ lớn thì các điện tử đồng hóa trị có thể đủ năng lượng để tách khỏi nguyên tử trở thành điện tử tự do, tạo ra cặp điện tử - lỗ trống. Vì lúc này số hạt mang tăng đột biến nên xảy ra hiện tượng đánh thủng.

Cơ chế đánh thủng thác lũ : khi điện trường nghịch đặt vào mạnh, thì năng lượng hạt mang lớn hơn, có thể xảy ra va chạm làm bật ra các điện tử ở lớp ngoài của nguyên tử. Những điện tử mới sinh ra này lại tham gia vào quá trình va chạm và bật ra điện tử. Phản ứng dây chuyền này làm cho số hạt mang tăng đột biến.

Thực nghiệm chứng minh rằng : đối với diốt ổn áp có điện áp V_Z nhỏ, tức là vùng điện tích không gian của nó hẹp, thì xảy ra cơ chế đánh thủng Zene. Vùng điện tích không gian hẹp, cường độ điện trường mạnh, cặp điện tử-lỗ trống dễ sinh ra. Nhưng quá trình va chạm và phản ứng dây chuyền lại có xác suất thấp. Đối với diốt ổn áp có điện áp ổn áp V_Z lớn, tức là vùng điện tích không gian của nó rộng, thì xảy ra cơ chế đánh thủng thác lũ là chủ yếu. Ví dụ, đối với bóng ổn áp Si, thì ranh giới giữa hai cơ chế này là $4 \div 7V$, nghĩa là các diốt ổn áp có $V_Z < 4V$ thuộc cơ chế đánh thủng Zene, các diốt ổn áp $V_Z > 7V$ thuộc về cơ chế đánh thủng thác lũ, còn các diốt ổn áp $4V < V_Z < 7V$ thì thuộc về cả hai cơ chế đánh thủng.

3) Tham số

a) Điện áp ổn áp : là giá trị điện áp ổn áp trên hai cực của diốt ổn áp khi nó làm việc trong mạch điện ổn áp. Giá trị này có thay đổi nhỏ, phụ thuộc vào dòng điện công tác và nhiệt độ. Cùng loại số hiệu được sản xuất ra nhưng các diốt ổn áp có sai lệch về điện áp ổn áp. Ví dụ : bóng 2CW11 có điện áp ổn áp $3,2 \div 4,5V$.

b) Dòng điện công tác : là giá trị dòng điện công tác của diốt ổn áp được dùng để tham khảo. Giá trị thực của dòng điện có thể nhỏ hơn, tuy rằng tính năng ổn áp sẽ kém hơn. Giá trị thực của dòng điện có thể lớn hơn, kèm theo tính năng ổn áp sẽ tốt hơn, nhưng tiêu hao điện cũng lớn hơn ; cần chú ý không vượt tổn hao cho phép để khỏi hỏng bóng.

c) Hệ số nhiệt độ : là hệ số biểu thị sự ảnh hưởng của biến đổi nhiệt độ đối với giá trị điện áp ổn áp. Ví dụ : bóng 2CW2D có hệ số nhiệt độ là $+ 0,095\%/^{\circ}C$, tức là nếu nhiệt độ tăng thêm $1^{\circ}C$ thì giá trị điện áp ổn áp cũng tăng thêm $0,095\%$. Giả sử $V_Z = 17V$ ở $t = 20^{\circ}C$ thì ở $t = 50^{\circ}C$:

$$V_Z = 17 + \frac{9,5}{10000} \times (50 - 20) \times 17 = 17 + 0,48 = 17,48V$$

Nói chung, bóng ổn áp có $V_Z < 6V$ thì hệ số nhiệt độ là âm, bóng ổn áp có $V_Z > 6V$ thì có hệ số nhiệt độ là dương (đó là đặc điểm của hai cơ chế đánh thủng). Bóng ổn áp có V_Z xấp xỉ $6V$ bị ảnh hưởng nhiệt độ là không đáng kể. Vậy nếu cần mức độ ổn áp chính xác, thường chọn V_Z cỡ $6V$, hoặc chọn hai bóng có hệ số nhiệt độ ngược nhau rồi mắc nối tiếp để chúng bù trừ lẫn nhau.

d) *Điện trở động* : là tỷ số giữa số gia điện áp với số gia dòng điện tương ứng. Điện trở động thay đổi theo dòng điện công tác, dòng càng lớn thì điện trở động càng nhỏ. Ví dụ, bóng 2DW7C, ở $5mA$ thì điện trở động là 18Ω , ở $10 mA$ thì là 8Ω , ở $\geq 20mA$ thì là 2Ω . Chẳng hạn, khi dòng điện công tác tăng từ $20mA$ đến $30mA$, thì biến thiên tương ứng của điện áp ổn áp là :

$$(30 - 20) \times 10^{-3} \times 2 = 20 \times 10^{-3} V = 20mV.$$

5) *Công suất tiêu hao cho phép* : là tham số xác định nhiệt độ tăng cao cho phép. Nếu biết điện áp ổn áp của bóng thì tính được dòng điện công tác cực đại cho phép bằng tỷ số giữa công suất tiêu hao cho phép với giá trị điện áp ổn áp. Ví dụ, bóng 2DW7A có $V_Z = 6V$, công suất tiêu hao cho phép $200mW$, vậy dòng điện công tác cực đại cho phép là :

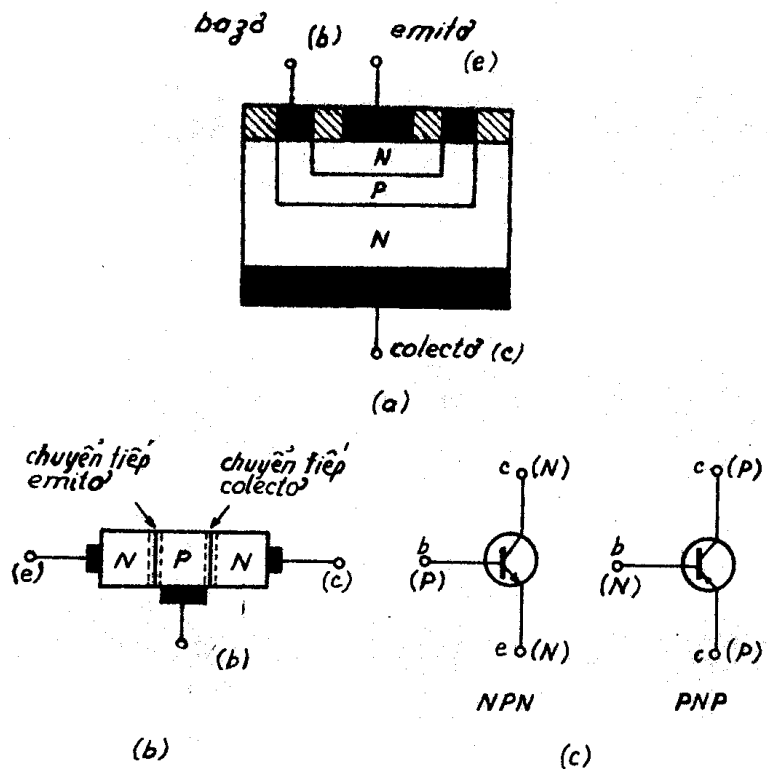
$$\frac{200 mW}{6V} \approx 33mA$$

1.3. TRANZITO

Sự chế tạo ra tranzito là một nhảy vọt về chất của kỹ thuật điện tử. Hiện nay, ta thường dùng công nghệ quang khắc, khuếch tán để chế tạo tranzito. Xét về cấu trúc, ta phân loại thành tranzito NPN và tranzito PNP.

Hình 1.3.1 trình bày cấu trúc tranzito NPN.

Tranzito có hai chuyển tiếp PN : chuyển tiếp emitor (cực phát) và chuyển tiếp colectơ (cực góp) và ba khu vực : emitor, bazơ (cực gốc), colectơ. Tranzito có 3 điện cực là dây dẫn điện lấy ra từ ba khu vực nói trên, ký hiệu là e (emitor), b (bazơ), c (colectơ). Dùng chất bán dẫn P làm khu vực emitor và khu vực colectơ, chất bán dẫn N làm khu vực bazơ để



Hình 1-3-1. Cấu trúc và kí hiệu của tranzito.

cấu trúc nên PNP. Hình 1.3.1c là kí hiệu của hai loại tranzito, mũi tên của cực e biểu thị chiều dòng điện khi chuyển tiếp emitơ có điện áp thuận, mũi tên hướng ra ngoài đối với tranzito NPN, mũi tên hướng vào trong đối với tranzito PNP. Nguyên lý công tác của hai loại tranzito giống nhau. Dưới đây giới thiệu nguyên lý tranzito NPN.

1.3.1. Tác dụng khuếch đại và sự phân phối dòng điện trong tranzito

Tác dụng khuếch đại của mạch điện khuếch đại là lấy năng lượng từ nguồn riêng để nâng mức năng lượng tín hiệu đầu vào (nhỏ) thành mức năng lượng lớn hơn của tín hiệu đầu ra.

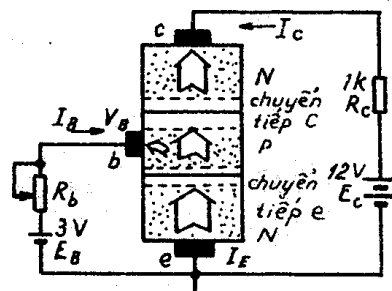
1) Chuyển động của hạt dẫn và sự phân phối dòng điện

Hình 1.3.2. trình bày sự chuyển động của hạt dẫn trong tranzito.

Nguồn + 12 V thông qua điện trở R_C để đặt điện áp thuận vào tranzito.

a) Tình hình điện tử phát xạ từ vùng e vào vùng b :

Chuyển tiếp e có điện áp thuận $V_B > V_E$, sự chuyển động khuếch tán mạnh hơn chuyển động trôi dạt, điện tử của vùng e không ngừng vượt qua chuyển tiếp PN tới vùng b, lỗ trống của vùng b không ngừng vượt tới vùng e, cùng tạo ra dòng điện cực emitơ I_E . Do đặc điểm kỹ thuật chế tạo, nồng độ lỗ trống vùng b rất nhỏ so với nồng độ điện tử vùng e, nên dòng điện lỗ trống có thể bỏ qua.



Hình 1-3-2. Chuyển động của hạt mang trong tranzito.

b) Tình hình khuếch tán và tái hợp điện tử trong khu vực b :

Vì nồng độ điện tử vùng gần e rất lớn, còn nồng độ điện tử vùng gần c rất bé, nên điện tử sau khi đến b thì có thể tiếp tục khuếch tán đến c. Trong quá trình khuếch tán này, điện tử luôn gặp phải lỗ trống của khu vực b, lỗ trống bị tái hợp triệt tiêu, nhưng nguồn cực b bổ sung lỗ trống, tạo ra dòng điện cực bazơ I_B . Để có được nhiều điện tử khuếch tán đến c, khi chế tạo tranzito, người ta làm vùng b rất mỏng, nồng độ tạp chất vùng b rất nhỏ, xác suất tái hợp sẽ rất bé.

c) Tình hình cực c thu thập điện tử :

Khác với tình hình xảy ra ở chuyển tiếp e, khi điện tử đến chuyển tiếp c thì gặp điện trường nghịch. Điện trường này cản trở điện tử khuếch tán vào khu vực b, đồng thời gom góp các điện tử khuếch tán từ b đến, tạo ra dòng điện cực colectơ I_C .

Trong tranzito có cấu trúc đã xét trên, dòng điện bao gồm cả điện tử và lỗ trống, nên đôi khi được gọi là tranzito lưỡng hạt để phân biệt với các loại tranzito cấu trúc khác.

2) Tác dụng khuếch đại dòng điện

Tóm tắt sự chuyển động của hạt dẫn trong tranzito, hình 1.3.2 biểu thị bằng mũi tên hướng dòng điện tử. Vì vùng b rất mỏng, nồng độ lỗ trống lại thấp, nên đa số điện tử khuếch tán từ e sẽ vượt qua khu vực b để tới được c, tạo thành I_C ;

chỉ một phần nhỏ chạy tới b tạo thành I_B . Sau khi chế tạo, tỉ lệ $\frac{I_C}{I_B}$ là xác định, vậy nên có thể điều chỉnh I_C bằng thay đổi I_B . Từ đó có tác dụng khuếch đại dòng điện của tranzito.

Hệ số khuếch đại dòng điện một chiều của tranzito được biểu thị là :

$$\beta = \frac{I_C}{I_B} \quad (1-3-1)$$

Còn hệ số khuếch đại dòng điện xoay chiều của tranzito được biểu thị là :

$$\bar{\beta} = \frac{\Delta I_C}{\Delta I_B} \quad (1-3-2)$$

Nói chung, $\beta \approx \bar{\beta}$.

Xét về quan hệ điện áp, giữa b và e là điện áp thuận, V_{BE} chỉ biến đổi bé cũng có thể sinh ra biến đổi đáng kể của I_B (đặc tính thuận của chuyển tiếp PN), nhờ tác dụng khuếch đại dòng điện của tranzito, kết quả có được sự biến đổi rất lớn của I_C . Sự biến đổi dòng điện này sinh ra sự biến đổi điện áp trên hai đầu điện trở cực colectơ R_C . Thành phần xoay chiều đó lớn gấp bội lần thành phần xoay chiều V_{BE} . Vậy tác dụng khuếch đại dòng điện đã chuyển thành tác dụng khuếch đại điện áp.

1.3.2. Đặc tính đầu vào và đặc tính đầu ra của tranzito

Đặc tuyến V-A của tranzito phản ánh toàn diện quan hệ dòng - áp giữa các cực. Trên thực tế, những đặc tuyến này là biểu hiện bên ngoài của tính năng dẫn điện các chuyển tiếp PN. Xét ở góc độ sử dụng, đặc tuyến tranzito thường được dùng. Các sổ tay về bóng bán dẫn thường cho đặc tuyến đầu vào và đặc tuyến đầu ra của tranzito. Hình 1.3.3 giới thiệu mạch điện đo đặc tuyến tranzito.

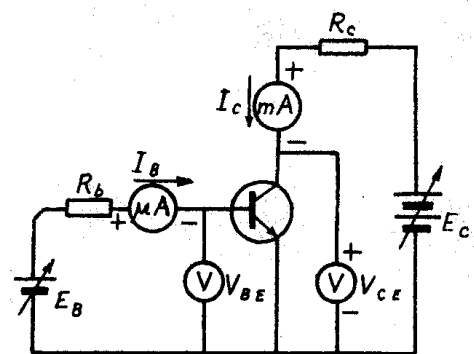
1) Đặc tính đầu vào

Đó là quan hệ giữa I_B và V_{BE} trong mạch vòng đầu vào của tranzito.

- Khi $V_{CE} = 0$, tương đương sự ngắn mạch ce ; quan hệ I_B và V_{BE} là đặc tính V - A của 2 diốt có áp thuận nối song song (một diốt của chuyển tiếp e, một diốt của chuyển tiếp c)

- Khi $V_{CE} = 2V$. Có điện áp nghịch đặt lên chuyển tiếp c thu hút mạnh điện tử từ e, tạo thành I_C . Vậy với V_{BE} như nhau, thì I_B giảm nhỏ, đặc tuyến dịch sang phải. Hình 1.3.4 là đặc tuyến đầu vào của tranzito 3DG4C. Với các giá trị V_{CE} khác nhau, thì đặc tuyến đầu vào có thay đổi chút ít. Khi

V_{CE} đủ lớn ($V_{CE} > 1V$), ứng với một giá trị V_{BE} là số điện tử xác định khuếch tán tới khu vực b, tuyệt đại số số điện tử này bị kéo đến c, vì vậy dòng I_B không



Hình 1-3-3. Mạch đo đặc tuyến tranzito.

giảm nhỏ rõ ràng khi V_{CE} tăng thêm. Nên đặc tuyến đầu vào chỉ cần cho một đường như hình 1.3.4.

2) Đặc tính đầu ra

Đó là quan hệ giữa I_C và V_{CE} trong mạch vòng đầu ra của tranzito khi I_B là tham số (xác định). Hình 1.3.5 biểu thị đặc tuyến ra của tranzito 3DG4C. Từ đặc tuyến trên hình 1.3.5, ta có thể thấy 3 khu vực công tác của tranzito.

- Khu vực cắt. Tương ứng với $I_B \leq 0$. Đối với tranzito NPN Si, khi $V_B < V_E$ ($V_{BE} < 0$) thì tranzito hở mạch. Như ta thấy ở đặc tuyến thuận của chuyển tiếp PN, khi $V_{BE} < 0,5V$ (Điện áp vùng chết $V_0 = 0,5V$), thì vùng e căn bản không có điện tử chuyển sang vùng b, tương ứng $I_B \approx 0$, $I_C \approx 0$. Thật ra, khu vực cắt không tương ứng trạng thái hở mạch tranzito, vì chuyển động nhiệt mà tồn tại dòng điện rất nhỏ trong mạch cực colecto. I_{CE0} , gọi là dòng điện xuyên. Dòng điện xuyên nhỏ dưới μA nên không được thể hiện trên đặc tuyến.

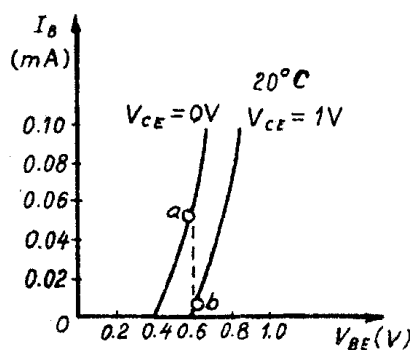
- Khu vực khuếch đại. Tương ứng với điện áp thuận trên chuyển tiếp e và điện áp nghịch trên chuyển tiếp c, thì phần đặc tuyến đầu ra gần như nằm ngang, đó là khu vực khuếch đại. Đối với tranzito Si, khi $V_{BE} > 0,5V$, và với điện áp nghịch nào đó ở chuyển tiếp c, thì hầu hết điện phát xạ từ e, qua b, đều đến c, vậy $I_C \approx I_E$, I_B rất bé. Khi I_B biến đổi

thì I_C biến đổi theo, I_C không phụ thuộc đáng kể vào V_{CE} , hơn nữa $\frac{\Delta I_C}{\Delta I_B} \gg 1$, tức là tranzito khuếch đại mạnh dòng điện.

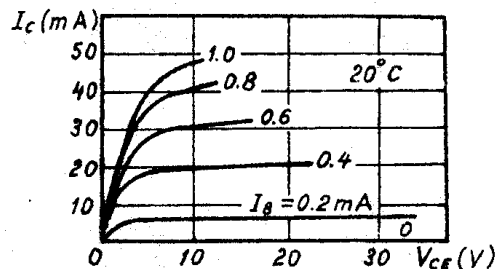
- Khu vực bão hòa. Trong mạch điện của bộ khuếch đại tranzito như hình 1.3.2 biểu thị, có điện trở tải. Nếu nguồn điện E_C không đổi, khi I_C tăng thì V_{CE} giảm. Nếu V_{CE} bé đến mức làm suy giảm khả năng thu góp điện tử của colecto, thì I_C không tăng hoặc tăng không đáng kể theo I_B ; tranzito mất đi tác dụng khuếch đại, tức là nó ở trong trạng thái bão hòa. Mức độ bão hòa phụ thuộc I_B và I_C . Chúng ta gọi trạng thái $V_{CE} = V_{BE}$ là bão hòa giới hạn, trạng thái $V_{CE} < V_{BE}$ là quá bão hòa. Điện áp bão hòa V_{CES} tỉ lệ thuận với I_C . Ví dụ, tranzito Si công suất nhỏ có $V_{CES} < 0,4V$, tranzito Si công suất lớn ($I_C > 1A$) có $V_{CES} > 1V$, tranzito G_e có $|V_{CES}|$ nhỏ hơn.

1.3.3. Đặc tính chuyển mạch của tranzito

Tranzito là cấu kiện chuyển mạch (khóa) cơ bản nhất trong mạch số, nó có trạng thái làm việc hoặc ở khu vực cắt, hoặc ở khu vực bão hòa, còn chỉ trong khoảng khác của quá trình quá độ (chuyển từ bão hòa sang ngắt hoặc từ ngắt sang bão hòa) tranzito mới làm việc trong khu vực khuếch đại. Như hình 1.3.6 biểu thị, khi điện áp vào $V_z = 0$ thì tranzito ngắt, khi $V_1 = +3V$ thì tranzito thông bão hòa.



Hình 1-3-4. Đặc tuyến đầu vào.



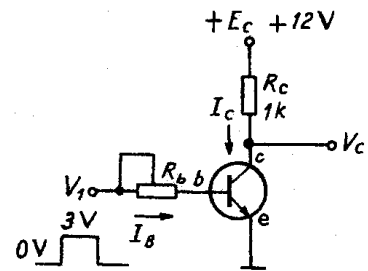
Hình 1-3-5. Đặc tuyến đầu ra.

Vì vậy điều kiện đóng mở của tranzito và đặc điểm công tác ở chế độ đóng mở cần được chúng ta chú ý đặc biệt.

1. Điều kiện thông bão hòa và đặc điểm

Điều kiện :

Khi bão hòa giới hạn,
 $V_{CE} = V_{CES}$, $I_C = I_{CS}$, $I_B = I_{BS}$. Có thể tính được từ mạch hình 1.3.6



Hình 1-3-6. Chuyển hóa trạng thái công tác của tranzito.

$$I_{CS} = \frac{E_C - V_{CES}}{R_C} \approx \frac{E_C}{R_C}$$

$$I_{BS} = \frac{I_{CS}}{\beta} \approx \frac{E_C}{\beta R_C}$$

Vậy tranzito sẽ thông bão hòa khi

$$I_B > I_{BS} \approx \frac{E_C}{\beta R_C} \quad (1-3-3)$$

(1-3-3) là điều kiện làm căn cứ xét đoán phải chăng tranzito thông bão hòa.

- Đặc điểm :

Từ đặc tính đầu vào và đặc tính đầu ra, ta biết rằng tranzito Si sau khi đã thông bão hòa, $V_{BE} \approx 0,7V$, $V_{CE} = V_{CES} \leq 0,3V$ giống như khóa đóng mở ở trạng thái tiếp thông.

2. Điều kiện ngắt và đặc điểm

- Điều kiện :

$$V_{BE} < V_o = 0,5V \quad (1-3-4)$$

V_o là điện áp vùng chết của chuyển tiếp e. Từ đặc tính đầu vào ta biết rằng, khi $V_{BE} < 0,5V$ thì tranzito cơ bản hở mạch, vì vậy (1-3-4) là điều kiện làm căn cứ xét đoán phải chăng tranzito ngắt.

- Đặc điểm : $I_B \approx 0$, $I_C \approx 0$ giống như cái chuyển mạch ở trạng thái hở mạch.

3. Thời gian chuyển mạch

Quá trình chuyển mạch của tranzito tương tự như diốt bán dẫn, cũng có quá trình kiến lập và tiêu tán điện tích, cần có thời gian nhất định. Tranzito chuyển từ ngắt sang thông bão hòa phải cần có thời gian đóng t_{on} ; chuyển từ thông bão hòa sang ngắt cần thời gian ngắt t_{off} .

Xem hình 1.3.7, đây là một ví dụ cụ thể.

Khi điện áp vào biến đổi nhảy vọt từ $-V_{B1}$ đến $+V_{B2}$, tranzito không lập tức thông điện, mà sau một thời gian trễ t_d (từ thời điểm đột biến thuận V_1 đến thời điểm $I_C = 0,1 I_{Cmax}$) cộng thêm thời gian tăng trưởng t_r (để I_C tăng từ $0,1 I_{Cmax}$ đến $0,9 I_{Cmax}$)

Vậy $t_{on} = t_d + t_r$

Khi điện áp vào biến đổi nhảy vọt từ $+V_{B2}$ đến $-V_{B1}$ dòng điện I_C không lập tức về 0 (hở mạch), bao gồm thời gian tồn trữ t_s (từ thời điểm đột biến nghịch V_I đến thời điểm $I_c = 0,9I_{Cmax}$) cộng thêm thời gian suy giảm t_f (để I_c suy giảm từ $0,9I_{Cmax}$ đến $0,1I_{Cmax}$)

Vậy $t_{off} = t_s + t_f$

Nói chung, thời gian đóng mở của tranzito t_{on} , t_{off} cỡ ns, và $t_{off} > t_{on}$, $t_s > t_f$. Nghĩa là, giá trị thời gian tồn trữ t_s là yếu tố chủ yếu xác định tốc độ đóng mở tranzito t_o .

4. Mạch điện tương đương

Hình 1.3.8 biểu thị mạch điện tương đương của tranzito đối với dòng điện một chiều khi đóng và khi mở.

1.3.4. Các tham số cơ bản của tranzito

Tham số của tranzito đặc trưng các tính năng kỹ thuật và phạm vi sử dụng của nó.

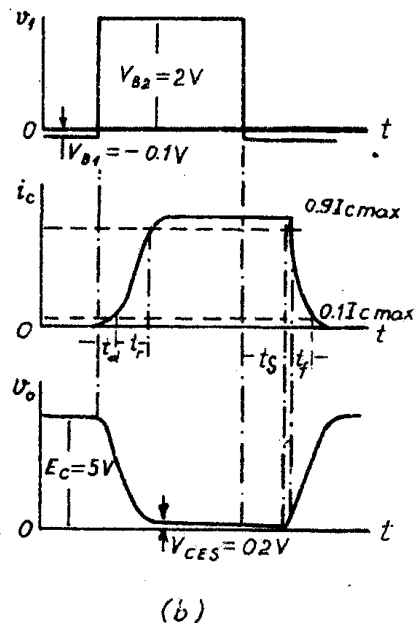
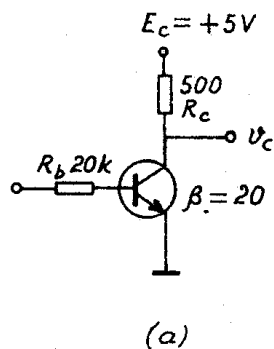
1) Hệ số khuếch đại dòng điện

$$\bar{\beta} = \frac{I_C}{I_B} \quad \beta = \frac{\Delta I_C}{\Delta I_B}$$

Hình 1.3.9 trình bày sự khác biệt giữa $\bar{\beta}$ và β .

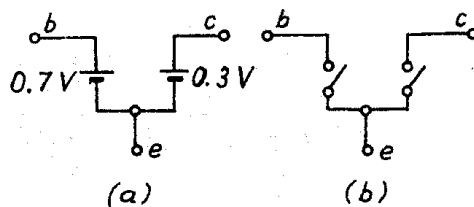
$$\beta = \frac{I_{C2} - I_{C1}}{I_{B2} - I_{B1}} \quad \bar{\beta} = \frac{I_{C1}}{I_{B1}}$$

β thích hợp để tính toán tín hiệu xoay chiều biên độ nhỏ. $\bar{\beta}$ thích hợp để tính toán tín hiệu một chiều, hoặc tín hiệu xoay chiều biên độ lớn. Khi



Hình 1-3-7. Thời gian đóng mở của tranzito :

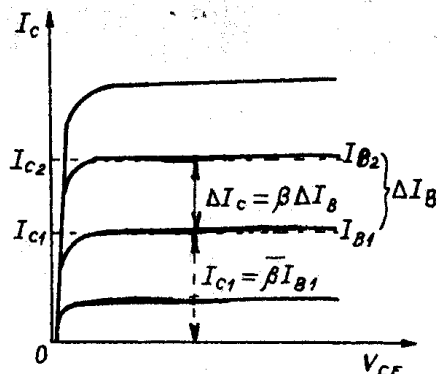
- a) Mạch điện ;
- b) Dạng sóng.



Hình 1-3-8.

Mạch điện tương đương :

- a) Khi thông bão hòa ;
- b) Khi ngắt.



Hình 1-3-9. Phân biệt $\bar{\beta}$ và β .

đặc tuyến có dạng các đường song song cách đều và bỏ qua I_{CEO} thì $\beta = \beta$.

Sơ đồ mạch điện 1.3.3 được gọi là bộ khuếch đại tranzito mắc chung emitơ vì e là cực chung cho đầu vào và đầu ra. β là hệ số khuếch đại dòng điện của bộ khuếch đại tranzito mắc chung emitơ. Hình 1.3.10 là bộ khuếch đại tranzito mắc chung bazơ vì b là cực chung cho đầu vào và đầu ra.

Hệ số khuếch đại dòng điện của mạch này là tỉ số giữa dòng điện đầu ra ΔI_E và dòng điện đầu vào ΔI_C , kí hiệu α .

$$\alpha = \frac{\Delta I_C}{\Delta I_E} \quad (1.3.5)$$

Do sự vận động của hạt dẫn trong tranzito mà $\alpha = 0,90 \div 0,99 \approx 1$.

$$\text{và : } \beta = \frac{\alpha}{1 - \alpha} \quad (1-3-6)$$

Giải thích (1-3-6) như sau :

$$\Delta I_E = \Delta I_C + \Delta I_B \quad \beta = \frac{\Delta I_C}{\Delta I_B} = \frac{\Delta I_C}{\Delta I_E - \Delta I_C} = \frac{\Delta I_C}{\Delta I_E \left(1 - \frac{\Delta I_C}{\Delta I_E} \right)}$$

$$\beta = \frac{\alpha}{1 - \alpha}$$

2) Dòng điện nghịch

a) Dòng điện bão hòa nghịch giữa cực c và cực b, kí hiệu I_{CBO} là dòng điện nghịch của colectơ khi hở mạch emitơ, không phụ thuộc V_{CE} , và có giá trị không đổi ở nhiệt độ cho trước. Nói chung I_{CBO} rất bé, đối với tranzito công suất nhỏ, bóng G_E cấp μA , bóng Si cấp nA. Nếu yêu cầu tranzito làm việc trong phạm vi nhiệt độ rộng, thì nên chọn bóng Si.

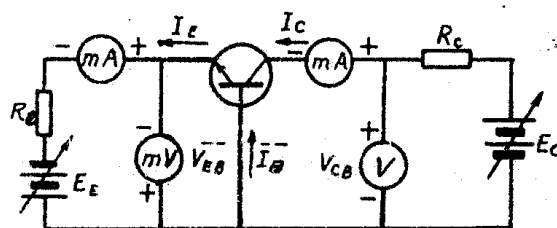
b) Dòng điện xuyên I_{CEO} là dòng điện colectơ khi hở mạch bazơ, nhưng tương ứng với điện áp V_{CE} nào đó, $I_{CEO} = (1 + \beta) I_{CBO}$.

Các dòng điện nghịch I_{CBO} , I_{CEO} là chỉ tiêu đánh giá chất lượng tranzito. Nếu tranzito có khuyết tật trong quá trình chế tạo thì I_{CEO} cứ tăng lớn sau thời gian sử dụng.

3) Tham số giới hạn

Trong tình huống nào đó, nếu tranzito làm việc ở chế độ vượt tham số giới hạn cũng chưa chắc bị hỏng. Tuy nhiên, tốt nhất là thiết kế để tranzito làm việc không vượt tham số giới hạn.

a) Dòng điện colectơ cực đại cho phép I_{CM} . β sẽ giảm nhỏ khi $I_C \approx I_{CM}$, (cụ thể $\beta = \frac{2}{3}$ giá trị danh định). Thường đối với tranzito công suất nhỏ thì $I_{CM} =$ vài mA, đối với tranzito công suất lớn $I_{CM} =$ vài A.



Hình 1-3-10.

Mạch khuếch đại mắc chung bazơ.

b) Điện áp đánh thủng :

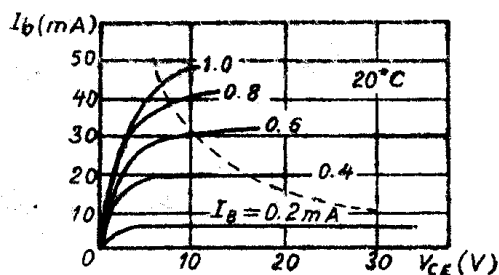
- Điện áp đánh thủng nghịch BV_{EBO} . Đây là giá trị điện áp nghịch cực đại cho phép đặt lên chuyển tiếp emitor khi hở mạch colectơ. Nếu vận hành vượt BV_{EBO} thì chuyển tiếp emitor bị đánh thủng. Nói chung các bóng hợp kim có BV_{EBO} tương đối cao, bóng bề mặt cao tần BV_{EBO} cỡ vài V, thậm chí không đến IV.

- Điện áp thủng nghịch BV_{EBO} khi hở mạch emitor. Sau khi V_{CB} tăng đến một giá trị nhất định thì I_{CBO} đột biến tăng mạnh, dẫn tới đánh thủng thác lũ. BV_{CBO} có giá trị tương đối cao (xác định bởi điện áp đánh thủng thác lũ đối với chuyển tiếp colectơ)

- Điện áp đánh thủng nghịch BV_{CEO} khi hở mạch bazơ. $BV_{CEO} \ll BV_{CBO}$.

c) Công suất tổn hao cực đại cho phép ở colectơ P_{CM} . Tham số này quyết định nhiệt độ của bóng. Thường nhiệt độ làm việc cực đại của bóng Si cỡ 150°C , của bóng Ge cỡ 70°C , nhiệt độ cao hơn làm hỏng bóng. Hình 1.3.11 biểu diễn giới hạn làm việc an toàn của bóng ứng với $P_{CM} = V_{CE} \times I_C$ đã cho, đó là đường hypecbol.

Vùng của đặc tuyến đầu ra nằm dưới và bên trái đường hypecbol là vùng làm việc an toàn. Thường có thể mở rộng vùng làm việc an toàn bằng làm mát bóng (làm mát bằng quạt gió, làm mát bằng ngâm dầu, làm mát bằng phiến tỏa nhiệt)



Hình 1-3-11. Vùng làm việc an toàn tương ứng $P_{CM} = 300\text{mW}$.

1.3.5 Ảnh hưởng của nhiệt độ đến các tham số của tranzito

Hầu hết các tham số của tranzito đều phụ thuộc nhiệt độ. Vậy nên cần nắm vững quy luật sự thay đổi tham số theo nhiệt độ, để bảo đảm mạch điện thực tế làm việc tốt trong phạm vi nhiệt độ đã cho.

1) Nhiệt độ ảnh hưởng tới I_{CBO}

I_{CBO} là dòng hạt dẫn thiểu số khu vực colectơ. Số lượng hạt dẫn thiểu số phụ thuộc rõ vào nhiệt độ. Nghiên cứu cho biết rằng I_{CBO} tăng nhanh theo hàm số mũ của biến số nhiệt độ. Nói chung, khi nhiệt độ tăng 10°C thì I_{CBO} tăng gấp đôi. Nhưng I_{CBO} của bóng Si nhỏ hơn nhiều I_{CBO} của bóng Ge. Bóng Si chất lượng cao thì $I_{CBO} < 10\text{nA}$, nghĩa là vấn đề không nghiêm trọng lắm.

2) Nhiệt độ ảnh hưởng tới β

β cũng tăng theo nhiệt độ. Hình 1-3-12 cho thấy rằng khi nhiệt độ tăng từ 15°C lên 45°C thì β tăng khoảng 30%. Khi đó, với I_B không đổi, I_C tăng theo nhiệt độ.

3) Nhiệt độ ảnh hưởng tới V_{BE}

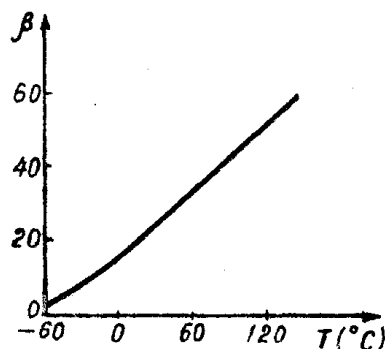
Đối với bóng Si thì

$$V_{BE} = 0,6 \div 0,8\text{V}.$$

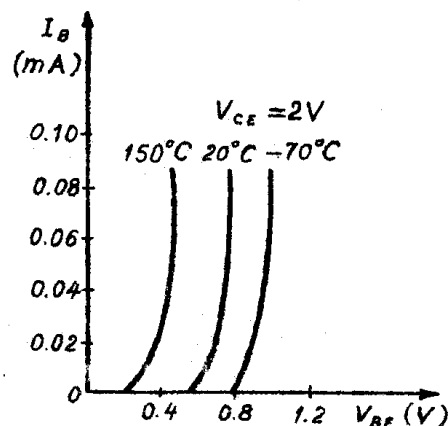
Đối với bóng Ge thì

$$|V_{BE}| = 0,1 \div 0,3\text{V}.$$

Hình 1-3-13 vẽ đặc tuyến đầu vào của bóng Si tương ứng các nhiệt độ -70°C , 20°C , 150°C . Hình vẽ cho biết với I_B không đổi, V_{BE} giảm khi nhiệt độ tăng. Nói chung, Hệ số nhiệt độ của $|V_{BE}|$ khi đặt điện áp thuận vào chuyển tiếp emitor khoảng $-2 \div -2,5\text{mV}/^{\circ}\text{C}$, nghĩa là nếu nhiệt độ tăng 1°C thì $|V_{BE}|$ giảm $2 \div 2,5\text{mV}$. Quy luật này là chung cho bóng G_E và bóng Si.



Hình 1-3-12.
Sự phụ thuộc β của bóng Si vào nhiệt độ.



Hình 1-3-13.
Sự phụ thuộc V_{BE} của bóng Si vào nhiệt độ.

TÓM TẮT

Nội dung chủ yếu của phần này là tác dụng khuếch đại, đặc tuyến và tham số của tranzito.

1. Tác dụng khuếch đại của tranzito đối với tín hiệu xoay chiều thông qua việc điều khiển năng lượng nguồn để lấy ra trên tải mạch đầu ra một năng lượng tương đối lớn.

2. Sự chuyển động của điện tử và lỗ trống qua cấu trúc hai chuyển tiếp PN của tranzito đưa tới tác dụng khuếch đại. Ở bóng NPN, khi V_{BE} là điện áp thuận, điện tử của khu vực emitor chạy sang khu vực bazơ, ở vùng tiếp giáp hình thành nồng độ $n_p(0)$ tỉ lệ với V_{BE} , sinh ra dòng điện khuếch tán tỉ lệ với gradien nồng độ. Vì khu vực bazơ rất hẹp nên xác suất xảy ra tái hợp ở đây nhỏ, phần lớn điện tử đến được colectơ, bị điện trường chuyển tiếp colectơ thu hút, tạo thành dòng điện colectơ I_C . Quá trình trên đây chứng tỏ V_{BE} sinh ra dòng điện tử, nhưng phần lớn lại tạo thành dòng colectơ. Vậy V_{BE} đã điều khiển I_C . Dòng điện xoay chiều I_C , do đó điện áp xoay chiều trên tải mạch colectơ sẽ lớn hơn dòng xoay chiều I_B và điện áp xoay chiều V_{BE} . Quan hệ V_{BE} với I_C là phi tuyến, vì thế dựa vào quan hệ tỉ lệ giữa I_B , I_E với I_C , ta gọi tranzito lưỡng cực là cấu kiện điều khiển dòng điện.

3. Tranzito có thể mắc thành bộ khuếch đại mắc chung emitor, hay mắc chung bazơ, hay mắc chung colectơ. Có thể dựa vào đặc tính ngoài của chúng để phân tích đặc tính công tác của chúng. Ở đây chúng ta đã giới thiệu đặc tính đầu vào và đặc tính đầu ra của bộ khuếch đại tranzito mắc chung emitor.

4. Có thể phân đặc tuyến đầu ra của tranzito thành 3 vùng : vùng khuếch đại, vùng bão hòa, vùng cắt. Định nghĩa vùng khuếch đại là vùng mà chuyển tiếp PN của khu vực e có điện áp thuận, chuyển tiếp PN của khu vực c có điện áp nghịch.

Vùng bão hòa tương ứng với điện áp thuận trên cả hai chuyển tiếp. Vùng cắt tương ứng với điện áp nghịch trên cả hai chuyển tiếp. Tuy nhiên sự phân biệt 3 vùng là tương đối, ở vùng bão hòa giới hạn không mất hoàn toàn tác dụng khuếch đại, ở vùng cắt dòng điện colectơ không tuyệt đối bằng 0.

5. Tham số của tranzito đặc trưng cho tính năng và phạm vi sử dụng của nó. Tham số được tham khảo kết hợp với đặc tuyến khi thiết kế mạch. Các số tay vẽ cấu kiện bán dẫn cung cấp tham số và đặc tuyến của tranzito.

1.4. BÓNG BÁN DẪN TRƯỜNG (FET - Field Effect Transistor)

Khi tranzito lưỡng hạt làm phần tử khuếch đại, chuyển tiếp PN của mạch đầu vào được phân cực thuận, nghĩa là yêu cầu nguồn tín hiệu một công suất nhất định. Trong nhiều ứng dụng, chẳng hạn như đo điện áp hở mạch của mạch hai cực, điều đó dẫn đến sai số đo rất lớn. Bóng bán dẫn trường là phần tử khuếch đại mà hầu như không yêu cầu dòng điện đầu vào. Bóng bán dẫn trường là một cấu kiện bán dẫn có chuyển tiếp PN dùng hiệu ứng điện trường điều khiển dòng điện... Ngoài ưu điểm không yêu cầu công suất của nguồn tín hiệu (điều khiển bằng điện áp tín hiệu), Bóng bán dẫn trường còn có các ưu điểm : tiện cho vi mạch hóa, chịu ảnh hưởng yếu của bức xạ và nhiệt độ. Bóng bán dẫn trường, viết tắt là FET, ngày càng được sử dụng rộng rãi.

FET được phân thành hai loại lớn : IGFET và JFET. IGFET là tranzito hiệu ứng trường có cực cửa cách điện với kênh dẫn (Isolated Gate Field Effect transistor). JFET là tranzito hiệu ứng trường chuyển tiếp PN (Junction Field Effect transistor). FET là cấu kiện dẫn điện bằng hạt dẫn đa số. Đặc điểm dẫn điện chỉ bằng hạt dẫn đa số làm cho nó còn được gọi là tranzito đơn cực. Ở phần này chúng ta sẽ xem xét nguyên lý làm việc, đặc tính và tham số của FET.

1.4.1. IGFET

IGFET được chế tạo theo công nghệ MOS (Metal - Oxide - Semiconductor tức là có cấu trúc kim loại - oxyt - bán dẫn)

1. Cấu trúc và nguyên lý làm việc

Hình 1.4.1. trình bày cấu trúc bóng MOSFET. Bằng kĩ thuật quang khắc, khuếch tán và các phương pháp khác, người ta tạo ra hai khu vực N trên phiến đế P. Khu vực N bên trái nối với cực nguồn (kí hiệu là S - Source). Khu vực N bên phải nối với cực máng (kí hiệu là D - Drain). Người ta gắn một điện cực trên tầng oxyt SiO_2 , vào khoảng giữa S và D, đó là cực cổng (kí hiệu là G - Gate). Đó là cấu trúc bóng MOSFET. Như hình vẽ, S và phiến đế nối đất, đặt vào điện áp thuận V_{GS} . Khi đó, điện dung tạo ra bởi G và đế có điện áp V_{GS} , bề mặt phiến đế sẽ cảm ứng các điện tích âm. Nếu V_{GS} đủ lớn thì điện tích cảm ứng đủ lớn để hình thành lớp N, do đó liên kết S và D lại (hình a). Lớp N đó gọi là kênh dẫn. Điện áp V_{GS} đạt đến mức ngưỡng để tạo ra kênh dẫn, gọi là điện áp mở, kí hiệu là V_T . V_{GS} càng tăng thì kênh dẫn càng rộng ra. Hình c giới thiệu kí hiệu MOSFET kênh dẫn N, trong đó B là kí hiệu cho phiến đế, mũi tên chỉ hướng vào kênh dẫn N từ phiến đế B. Cực cổng G có thể vẽ ở giữa hoặc lệch về phía S. Cũng có khi không

cần vẽ B, ngâm hiệu B và S nối nhau ; mũi tên trên S biểu thị chiều dòng điện từ S chạy ra ngoài.

Cực máng D được đặt vào điện áp thuận V_{DS} , do đó sẽ có dòng điện cực máng I_D tăng theo V_{DS} . I_D sinh ra điện áp rơi dọc theo kênh dẫn, điện thế tăng cao dần về phía D. Nhưng khi V_{DS} tăng đến mức làm cho $V_{GD} \leq V_T$ thì kênh dẫn bị thắt lại ở gần D, xem hình 1-4-1b.

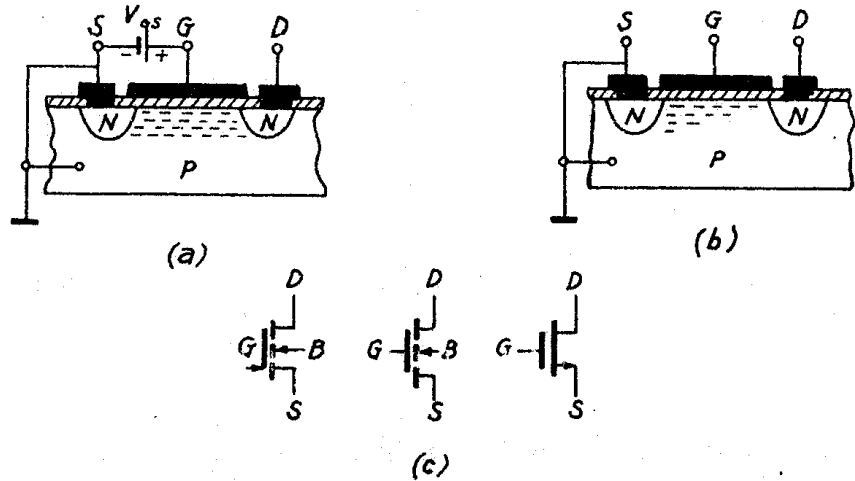
Khi đó I_D không tiếp tục tăng theo V_{DS} . Sở dĩ như vậy vì, điện trở vùng thắt lớn, điện áp rơi lớn, sự tăng thêm của V_{DS} sinh ra 2 tác động ngược chiều đối với I_D , đó là vùng thắt nở rộng ra và điện áp rơi trên vùng thắt lớn hơn, kết quả I_D hầu như không đổi. Thường gọi vùng công tác $V_{GD} > V_T$ là khu vực không bão hòa (vùng tuyến tính) và gọi vùng công tác $V_{GD} < V_T$ là khu vực bão hòa dòng điện (vùng ổn dòng).

Vậy MOSFET có thể xem như khóa đóng mở (đối với tín hiệu đi qua S, D) chịu sự điều khiển bởi điện áp cực G ; khi $V_{GS} > V_T$ điện trở tương đương của hai cực SD cỡ vài trăm Ω , nghĩa là trạng thái nối mạch ; còn khi $V_{GS} < V_T$ thì có sự cách li của chuyển tiếp PN phân cực nghịch, nghĩa là trạng thái hở mạch.

Vì MOSFET không yêu cầu dòng cực G nên được xem là cấu kiện được điều khiển bằng điện áp.

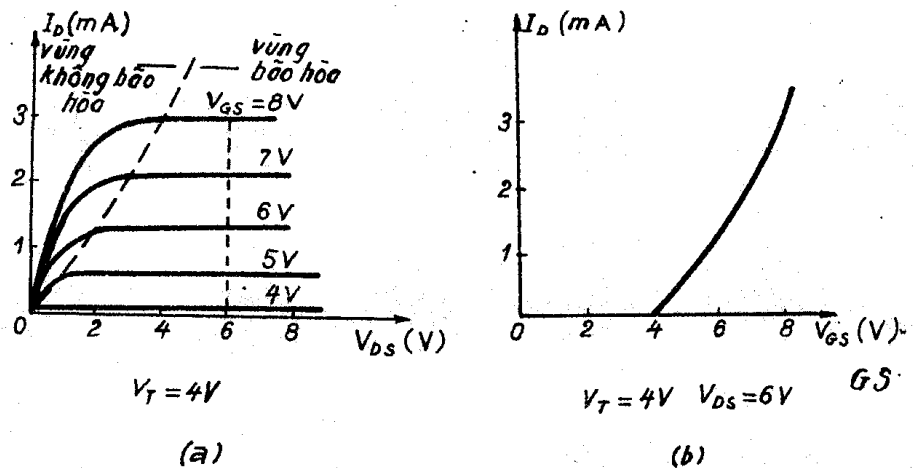
2) Đặc tính cực máng và đặc tính truyền đạt

Hình 1-4-2 a trình bày đặc tuyến cực máng, nghĩa là quan hệ I_D và V_{DS} . Vùng bên trái đường nét đứt là khu



Hình 1-4-1. Cấu trúc MOSFET :

- a) Công tác tại khu vực không bão hòa ($V_{GS} > V_T$, $V_{GD} > V_T$) ;
- b) Công tác khu vực bão hòa ($V_{GS} > V_T$, $V_{GD} < V_T$) ;
- c) Kí hiệu.



Hình 1-4-2. Đặc tính của MOSFET :

- a) Đặc tính máng ;
- b) Đặc tính truyền đạt.

vực không bão hòa, I_D tăng theo V_{DS} . Vùng bên phải đường nét đứt là khu vực bão hòa, với V_{GS} xác định thì I_D hầu như không phụ thuộc V_{DS} . Đường nét đứt phân ranh giới giữa hai khu vực thỏa mãn $V_{GD} = V_T$, hay là :

$$V_{DS} > V_{GS} - V_T \quad (1-4-1)$$

Với điều kiện điện áp cực máng V_{DS} không đổi, từ đặc tuyến cực máng có thể suy ra đặc tuyến quan hệ I_D với V_{GS} , như hình 1-4-2b. Thường gọi đặc tuyến này là đặc tính truyền đạt. Rõ ràng điểm cắt của đặc tuyến với trục hoành ở giá trị $V_{GS} = V_T$. Gọi độ dốc của đặc tuyến truyền đạt là hồ dẫn của MOSFET, kí hiệu là g_m :

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ không đổi}} \quad (1-4-2)$$

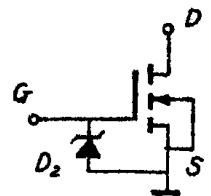
nói chung, g_m tăng theo I_D .

3) Trở kháng vào của MOSFET

Vì lớp SiO_2 là vật liệu cách điện tốt, nên cực cổng hầu như không yêu cầu dòng điện, trở kháng đầu vào cực cao ($> 10^{10} \Omega$), coi như hở mạch đối với dòng một chiều. Vì bề dày lớp điện môi SiO_2 ở cực cổng chưa đến $1\mu\text{m}$ nên điện dung đầu vào của mạch cực cổng chừng vài pF. Điện tích trên điện dung này có thể lưu giữ một thời gian dài vì điện trở đầu vào cực cao. Người ta ứng dụng đặc điểm này của MOSFET để lưu giữ tạm thời tín hiệu ở điện dung đầu vào của nó, làm thành nhiều loại mạch logic động.

Nhưng sự khở tiêu tán điện tích trên điện dung cực cổng cũng mang lại bất lợi sau đây. Điện tích tĩnh điện trên cực cổng do hiện tượng cảm ứng tĩnh điện tạo ra sẽ sinh ra điện áp cực cao ở cực cổng, có thể đánh thủng lớp điện môi SiO_2 tại đó, làm hỏng MOSFET.

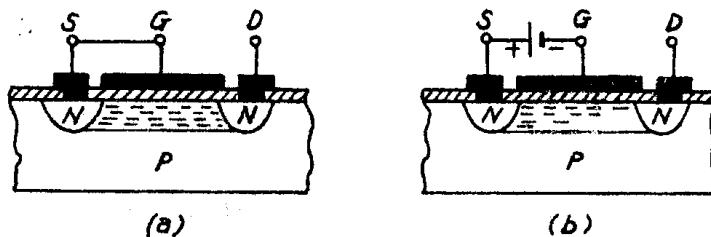
Để bảo vệ MOSFET khỏi sự cố nói trên, trong các vi mạch số, thường có mạch bảo vệ nối vào các chân vi mạch. Hình 1.4.3 biểu thị một mạch bảo vệ đơn giản nhất, đó là một điốt ổn áp mắc thêm ở đầu vào. D_Z là điốt Zene. Nếu điện áp tĩnh điện lớn đến mức D_Z đánh thủng điện, tạo đường thông ngắn mạch nó, do đó bảo vệ lớp SiO_2 không bị đánh thủng.



Hình 1-4-3. Mạch điện bảo vệ cực cổng.

4) Bốn loại bóng MOSFET

MOSFET có cấu trúc ở hình 1.4.1a sẽ không có kênh dẫn khi $V_{GS} = 0$; chỉ khi V_{GS} đạt đến một giá trị xác định thì kênh dẫn mới được tạo ra, vì thế MOSFET này được gọi là IGFET kênh chưa có sẵn. Người ta có thể chế tạo loại MOSFET mà kênh dẫn có sẵn, kênh dẫn này tồn tại cả khi $V_{GS} = 0$.



Hình 1-4-4. Cấu trúc IGFET kênh có sẵn.

a) $V_{GS} = 0$; b) $V_{GS} < 0$.

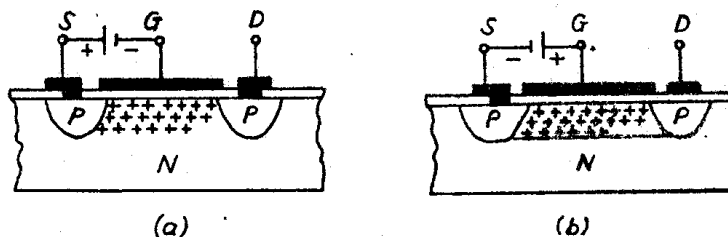
Hình 1.4.4 biểu thị cấu trúc IGFET kênh có sẵn.

Đối với IGFET kênh có sẵn, khi $V_{GS} = 0$, V_{DS} là điện áp thuận, thì I_D tồn tại. Nếu đặt điện áp âm vào cực cổng G, thì trên kênh dẫn cảm ứng điện tích dương, làm bằng sự tái hợp của hạt mang ở kênh dẫn, dẫn đến tăng điện trở kênh dẫn, kết quả làm I_D giảm xuống. V_{GS} càng âm, I_D càng nhỏ. Khi V_{GS} là điện áp âm đủ lớn, thì vì sự tái hợp hoàn toàn của hạt dẫn (hạt dẫn nghèo kiệt) nên $I_D = 0$.

Nếu đặt điện áp dương vào G, kênh dẫn xuất hiện điện tích âm cảm ứng, làm tăng độ dẫn điện kênh dẫn, kết quả I_D tăng lên.

Vậy bóng MOS kênh dẫn N có hai loại là IGFET kênh chưa có sẵn và IGFET kênh có sẵn.

Hình 1-4-5 trình bày cấu trúc bóng MOS kênh dẫn P với phiên đế là bán dẫn N. Nguyên lý làm việc của chúng tương tự như bóng MOS kênh dẫn N đã xét ở trên, chỉ lưu ý sự khác biệt ở cực tính điện áp.



Hình 1-4-5. Bóng MOS kênh dẫn P.

a) kênh chưa có sẵn ; b) kênh có sẵn.

phân loại MOSFET	ký hiệu	đặc tuyến truyền đạt	đặc tuyến cực máng
kênh dẫn N chưa có sẵn			
kênh dẫn N có sẵn			
kênh dẫn P chưa có sẵn			
kênh dẫn P có sẵn			

Hình 1-4-6. 4 loại bóng MOSFET.

Hình 1-4-6 tóm tắt thành bảng vẽ 4 loại MOSFET. Đặc điểm của từng loại thể hiện tương ứng trên kí hiệu : MOSFET kênh dẫn N, mũi tên xuất phát từ B. MOSFET kênh dẫn P, mũi tên hướng đến B. MOSFET kênh dẫn chưa có sẵn thì S, D, B cách li nhau, biểu thị kênh dẫn chưa có khi $V_{GS} = 0$. MOSFET kênh dẫn có sẵn thì S, D, B nối liền, biểu thị kênh dẫn tồn tại cả khi $V_{GS} = 0$.

5. Ảnh hưởng của điện áp phiên đế

Khi dùng một MOSFET riêng lẻ, thông thường vẫn nối chung cực nguồn vào phiên đế. Nhưng trong vi mạch, cực nhiều MOSFET có cùng phiên đế, các MOSFET lại nối kết thành các mạch điện logic khác nhau, nên không thể nối tất cả cực nguồn vào phiên đế được.

Khi cực nguồn không nối vào phiến đế, đối với MOSFET kênh dẫn P thì phiến đế chỉ có điện thế dương so với cực nguồn, đối với MOSFET kênh dẫn N thì phiến đế chỉ có điện thế âm so với cực nguồn. Vì chúng có kênh dẫn làm vùng S thông với vùng D, mà vùng S và vùng D chỉ cách li với phiến đế nhờ phân cực nghịch của chuyển tiếp PN.

Từ hình 1.4.7

ta nhận thấy rằng, khi điện thế phiến đế thấp hơn cực nguồn, thì xuất hiện vùng nghèo kiệt, vùng này càng mở rộng nếu $|V_{BS}|$ càng lớn, nghĩa là kênh dẫn trở thành hẹp hơn. Kết quả là với V_{GS} không

đổi thì I_D nhỏ hơn so với khi $V_{BS} = 0$ (khi nối chung). Hình 1-4-7b biểu thị xu hướng thay đổi của đặc tuyến theo V_{BS} . Trong hoàn cảnh $V_{BS} \neq 0$ thì đặc tuyến cực máng hạ thấp hơn, đặc tuyến truyền đạt dịch sang phải; nghĩa là I_D giảm, V_T tăng. Điều này là bất lợi đối với đặc tính đóng mở của MOSFET.

Có thể tính được sự tăng của V_T :

$$\Delta V_T = \pm C \sqrt{V_{BS}} \quad (1-4-3)$$

MOSFET kênh dẫn P lấy dấu - và $C = 0,5 \div 0,7$

MOSFET kênh dẫn P lấy dấu + và $C = 0,7 \div 3,0$

6) Tham số chủ yếu của MOSFET

a) Điện áp mở V_T . MOSFET kênh N thông thường có $V_T = 3 \div 6V$.

Nhờ cải tiến công nghệ, người ta làm được $V_T = 2 \div 3V$.

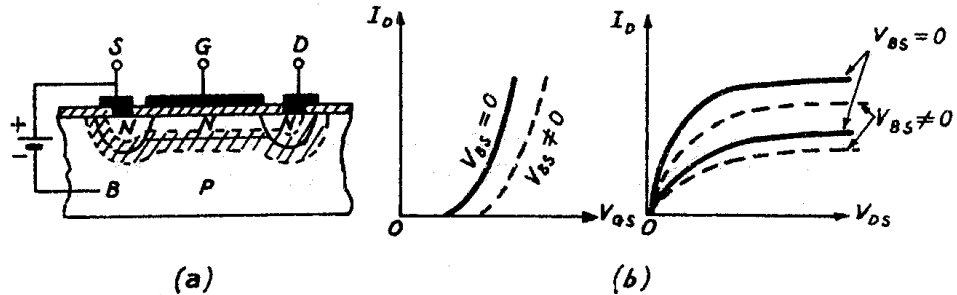
b) Điện trở một chiều đầu vào R_{GS} . $R_{GS} = \frac{V_{GS}}{I_G} > 10^{10} \Omega$

c) Điện áp đánh thủng DS, kí hiệu BV_{DS} .

Với điều kiện $V_{GS} = 0$ (kênh chưa có sẵn), trong quá trình tăng V_{DS} , khi nào I_D bắt đầu tăng mạnh đột biến, thì giá trị V_{DS} tương ứng được gọi là điện áp đánh thủng. Nguyên nhân sự tăng I_D một cách đột biến là :

- đánh thủng thác lũ ở vùng nghèo kiệt gần cực máng.

- đánh thủng xuyên giữa D và S. Đối với một số MOSFET có kênh dẫn ngắn khi V_{DS} không ngừng tăng lên thì tầng nghèo kiệt từ khu vực máng mở dài đến khu vực nguồn, độ dài kênh dẫn bằng 0, tức là đánh thủng xuyên giữa D và S. Sau đó, hạt mang đa số trong khu vực nguồn được điện trường vùng nghèo kiệt gia tốc, chạy đến cực máng, sinh ra I_D lớn.



Hình 1.4.7. Ảnh hưởng của điện áp phiến đế :

a) MOSFET kênh dẫn N ;

b) Đặc tuyến truyền đạt và đặc tuyến cực máng.

d) Điện áp đánh thủng G - S, kí hiệu BV_{GS} .

Trong quá trình tăng V_{GS} , ứng với giá trị nào của V_{GS} làm cho I_G tăng rõ rệt là điện áp đánh thủng G-S.

e) Hệ dẫn tần số thấp g_m

Với điều kiện V_{DS} không đổi, công thức (1-4-2) xác định g_m . g_m biểu thị tính năng điều khiển của V_{GS} đối với I_D , tham số quan trọng đặc trưng khả năng khuếch đại của MOSFET.

Thông thường $g_m = \text{vài phần mười} \div \text{vài mA/V}$.

g) Điện trở thông mạch r_{on}

$$r_{on} = \frac{\partial V_{DS}}{\partial I_D} \bigg|_{V_{GS}} \quad (1-4-4)$$

r_{on} biểu thị ảnh hưởng V_{DS} đối với I_D , là nghịch đảo độ dốc tiếp tuyến tại điểm công tác xét trên đặc tuyến cực máng. Ở khu vực bão hòa, I_D không thay đổi đáng kể theo V_{DS} nên r_{on} rất lớn thường $r_{on} = \text{vài chục K}\Omega \div \text{vài trăm K}\Omega$.

Trong mạch số, khi thông mạch, MOSFET thường công tác ở trạng thái $V_{DS} \approx 0$, vì vậy có thể lấy giá trị r_{on} tại điểm gốc làm đại biểu, kí hiệu là R_{on} , thông thường $R_{on} = \text{vài trăm } \Omega$.

h) Điện dung giữa các cực

Thông thường $C_{GS}, C_{GD} = 1 \div 3\text{pF}$, $C_{DS} = 0,1 \div 1\text{pF}$

i) Hệ số tạp âm tần số thấp NF.

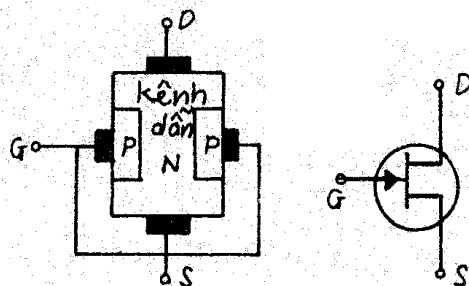
Tạp âm gây ra bởi chuyển động nhiệt hỗn loạn của hạt dẫn. Vì thế, dù không có tín hiệu đưa đến đầu vào tầng khuếch đại thì vẫn có điện áp tạp âm hoặc dòng điện tạp âm ở đầu ra. Hệ số tạp âm NF biểu thị độ lớn của tạp âm, đơn vị dB, NF càng nhỏ biểu thị tạp âm càng bé. NF đo ở đoạn tần số thấp. Thông thường, NF của FET cỡ vài dB, bé hơn NF của tranzito lưỡng cực...

1.4.2. Tranzito hiệu ứng trường chuyển tiếp PN (JFET)

1) Cấu trúc và nguyên lí làm việc

Xem hình 1-4-8. Trên một miếng vật liệu bán dẫn N, bằng cách khuếch tán nồng độ cao người ta tạo ra hai khu vực P ở hai bên, hai khu vực này được nối với nhau hình thành cực cổng (G), một đầu của miếng bán dẫn N sẽ là cực máng (D), đầu còn lại là cực nguồn (S), giữa D và S là kênh dẫn (khu vực N). Trong kí hiệu, chiều mũi tên biểu thị dòng từ P đến N.

Hình 1-4-9 biểu thị JFET kênh dẫn P. Trên miếng vật liệu bán dẫn P, người ta tạo ra hai khu vực N ở hai bên bằng phương pháp khuếch tán.



Hình 1-4-8. JFET kênh dẫn N :

a) Cấu trúc ; b) Kí hiệu.

Hình 1-4-10. biểu thị tình hình công tác của JFET kênh dẫn N khi $V_{DS} = 0$, V_{GS} biến đổi

Ta đã biết, khi chuyển tiếp PN phân cực nghịch vùng nghèo kiệt mở rộng theo điện áp nghịch đặt vào. Trong hình 1-4-10a, khi $V_{GS} = 0$ thì kênh dẫn lớn, điện trở của nó nhỏ. Khi $|V_{GS}|$ tăng, vùng nghèo kiệt mở rộng, kênh dẫn nhỏ đi, điện trở của nó lớn lên, xem hình 1-4-10b. Còn khi $|V_{GS}|$ tăng đến $|V_p|$, vùng nghèo kiệt hai bên nối vào nhau, kênh dẫn bị gián đoạn, điện trở của nó rất lớn, xem hình 1-4-10c

V_p được gọi là điện áp thắt. Về một ý nghĩa nào đó, ta có thể quan niệm JFET là một biến trở được điều khiển bằng điện áp, chỉ cần thay đổi điện áp nghịch đặt lên chuyển tiếp PN (V_{GS}) là có thể thay đổi điện trở R giữa D và S. Hình 1.4.11 trình bày mạch khuếch đại JFET :

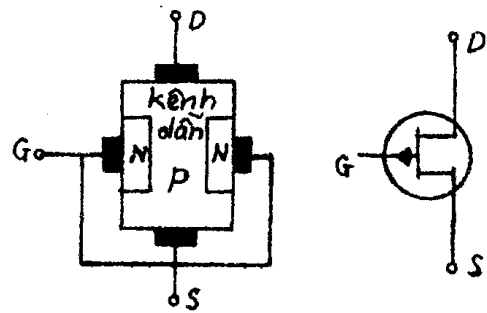
Đặt vào giữa DS điện áp $V_{DS} = E$, dòng điện $I_D = \frac{V_{DS}}{R}$. Thay đổi V_{GS} để điều khiển R làm cho I_D thay đổi. Nhờ điện trở tải R_D ở mạch cực D, I_D thay đổi làm V_{DS} thay đổi. Tín hiệu xoay chiều biên độ nhỏ ở đầu vào (V_{GS}) có thể sinh ra điện áp tín hiệu biên độ lớn ở đầu ra (V_{DS}). Vậy JFET thể hiện chức năng khuếch đại điện áp.

JFET kênh dẫn P cũng làm việc theo nguyên lý tương tự như trên, chỉ có điều khác biệt là E_D phải đổi ngược cực tính mà thôi.

2) Đặc tuyến ra và đặc tuyến truyền đạt

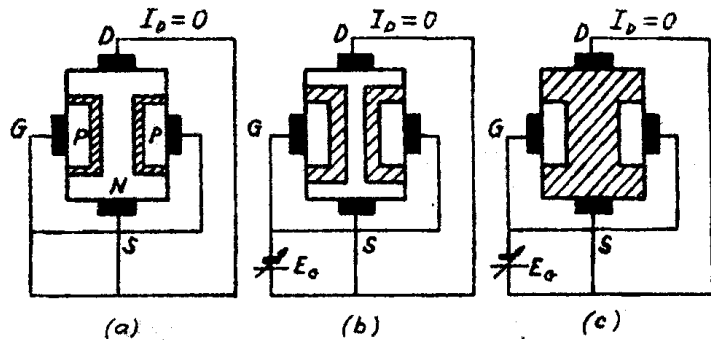
a) Đặc tuyến ra (Đặc tuyến cực máng)

Xem hình 1.4.12. Đặc tuyến ra biểu thị quan hệ I_D với V_{DS} khi V_{GS} là tham số. V_{DS} nhỏ ứng với khu vực làm việc không bão hòa, khi đó I_D tăng theo V_{DS} . Khi



Hình 1-4-9. JFET kênh dẫn P :

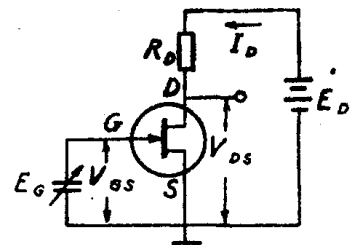
a) Cấu trúc ; b) Ký hiệu.



Hình 1-4-10.

Tác dụng điều khiển của V_{GS} làm thay đổi vùng nghèo kiệt :

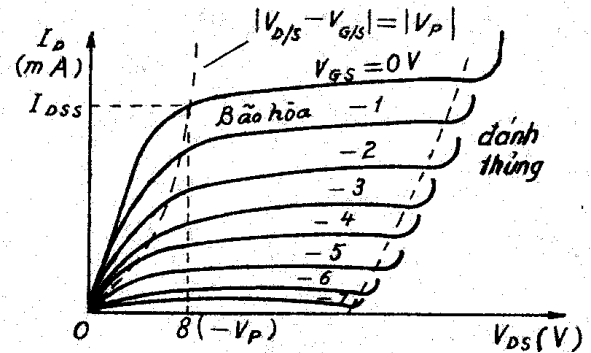
- a) $V_{GS} = 0$;
- b) $|V_{GS}| > 0$;
- c) $|V_{GS}| = |V_p|$.



Hình 1-4-11.

Tác dụng khuếch đại của JFET.

V_{DS} tương đối lớn, thì JFET công tác trong khu vực bão hòa, I_D hầu như không tăng theo V_{DS} . Đường biên giới giữa 2 khu vực trên là tương ứng $|V_{DS} - V_{GS}| = |V_p|$, tức là $V_{DG} = |V_p|$. (Đường nét đứt qua gốc 0)



Hình 1-4-12.

Đặc tuyến cực máng của JFET.

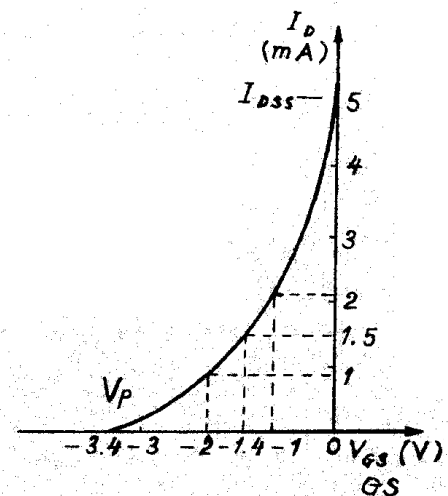
Tương ứng với $V_{GS} = 0$, dòng điện cực máng khi bị "thắt" được gọi là dòng điện cực máng bão hòa, kí hiệu I_{DSS} .

Khi V_{DS} tăng đến một giá trị xác định thì chuyển tiếp PN phân cực nghịch đánh thủng, I_D tăng đột biến, JFET bước vào vùng đánh thủng; JFET sẽ bị hỏng nếu không hạn chế dòng.

b) Đặc tuyến truyền đạt

Khi V_{DS} không đổi, đặc tuyến truyền đạt biểu thị quan hệ I_D với V_{GS} . Khi JFET dùng làm bộ khuếch đại, thường công tác ở khu vực bão hòa. (Hình 1.4.13). Khi $V_{GS} = 0$, thì $I_D = I_{DSS}$.

Khi $V_{GS} < 0$, vì vùng nghèo kiệt mở rộng, kênh dẫn hẹp dần, điện trở của nó tăng dần, I_D giảm nhỏ đi. Khi $V_{GS} = V_p$ thì $I_D \approx 0$. Trong khu vực bão hòa, đặc tuyến truyền đạt được biểu thị gần đúng như sau :



Hình 1-4-13.

Đặc tuyến truyền đạt của JFET.

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \text{ với } 0 \geq V_{GS} \geq V_p \quad (1-4-5)$$

Xác định được I_{DSS} , V_p thì tính ra đặc tuyến truyền đạt.

3) Tham số chủ yếu

Tham số JFET tương tự như đã giới thiệu về tham số MOSFET, chỉ có sự khác biệt ở chỗ : V_p là điện áp thắt (thay cho điện áp mở V_T của MOSFET)

1.4.3. So sánh FET và tranzito lưỡng cực

Sự so sánh dưới đây hệ thống hóa những vấn đề đã trình bày, sẽ tiện dùng cho việc chọn cấu kiện.

1) FET là cấu kiện điều khiển bằng điện áp, còn tranzito là cấu kiện điều khiển bằng dòng điện. FET thích hợp với nguồn tín hiệu chỉ có thể cung cấp dòng cực bé. Tranzito thích hợp với nguồn tín hiệu có thể cung cấp dòng đáng kể.

2) FET dẫn điện nhờ hạt dẫn đa số. Tranzito dẫn điện nhờ hạt dẫn đa số và hạt dẫn thiểu số. Số lượng hạt dẫn thiểu số chịu ảnh hưởng rõ của nhiệt độ và bức xạ (phóng xạ hạt nhân). Vậy FET phù hợp hơn với điều kiện dã chiến.

FET có một điểm công tác, tại đó hệ số nhiệt độ bằng 0 ; khi điện áp V_{GS} của cực cổng có giá trị phù hợp thì I_D không thay đổi theo nhiệt độ.

Xem hình 1-4-14.

3) Hệ số tạp âm của FET nhỏ hơn so với tranzito. Thường dùng FET ở các tầng khuếch đại đầu để có mức tạp âm thấp.

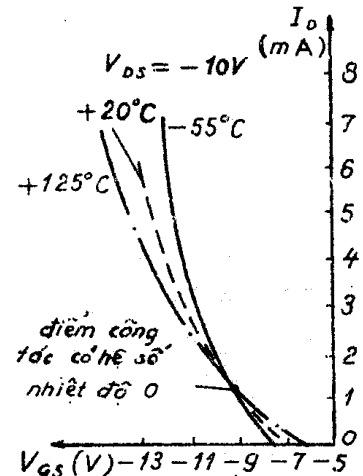
4) Có loại FET không cần phân biệt D với S, điện áp G có thể đổi dấu. Vậy FET linh hoạt hơn trong sử dụng so với tranzito.

5) FET có thể làm việc trong điều kiện dòng rất nhỏ, áp rất nhỏ. Do đó, FET phù hợp với vai trò khóa đóng mở không tiếp điểm công suất nhỏ và biến trở được áp điều khiển. Công nghệ chế tạo FET rất thích hợp cho vi mạch hóa.

Tóm lại, FET là cấu kiện bán dẫn ứng dụng chuyển tiếp PN, có 2 loại kênh dẫn (P và N), có 2 kiểu cấu trúc (JFET và IGFET). JFET ứng dụng vào vùng nghèo kiệt được sinh ra khi đặt điện áp nghịch vào chuyển tiếp PN. IGFET ứng dụng điện tích cảm ứng do cực G sinh ra để thay đổi độ rộng kênh dẫn. Nhờ ứng dụng trên, dòng điện cực máng I_D (do chuyển động của hạt dẫn đa số trong kênh dẫn sinh ra) được điều khiển. Vậy FET là cấu kiện được điều khiển bằng điện áp.

Với quan điểm tính năng công tác thì FET được phân làm 2 loại : loại kênh dẫn có sẵn và kênh dẫn chưa có sẵn. FET kênh dẫn có sẵn ngay khi $V_{GS} = 0$ cũng có dòng điện cực máng. FET kênh dẫn chưa có sẵn phải có điện áp nhất định đặt vào cực cổng thì mới có dòng điện cực máng. Đặc tính truyền đạt biểu thị tính năng điều khiển của cực cổng, năng lực đó được đặc trưng bằng hồ dẫn g_m . Đặc tuyến cực máng tương tự như đặc tuyến colectơ, nhưng trong khu vực áp nhỏ, dòng nhỏ thì FET có vai trò biến trở được V_{GS} điều khiển.

So sánh tương đương FET với tranzito : cực cổng G tương đương bazơ B, cực nguồn S tương đương emitor E, cực máng D tương đương colectơ C. FET có mạch đầu vào hầu như không yêu cầu dòng điện, tạp âm bé, chịu ảnh hưởng ít của nhiệt và bức xạ, S và D có thể đổi nhau, có thể làm biến trở điều khiển bằng điện áp và tiện để sản xuất vi mạch. FET chỉ kém tranzito ở mấy điểm sau : IGFET có thể bị đánh thủng bởi điện tích cảm ứng, công suất đầu ra không lớn, tần số công tác không cao.



Hình 1-4-14.

Đặc tính truyền đạt phụ thuộc nhiệt độ (của FET).

TÓM TẮT

Chương 1 đã trình bày những cấu kiện bán dẫn thông dụng : diốt, diốt ổn áp, tranzito và FET. Phần lớn các cấu kiện bán dẫn đó có các tính năng khác nhau trên cơ sở dùng sự chuyển động khuếch tán và chuyển động trôi dạt của hạt mang trong chuyển tiếp PN. Ví dụ, sự dẫn điện đơn hướng của diốt là do đặc điểm : đặt vào điện áp thuận cho chuyển tiếp PN thì chuyển động khuếch tán là chủ yếu, đặt vào điện áp nghịch cho chuyển tiếp PN thì chuyển động trôi dạt là chủ yếu. Tác dụng điều khiển của V_{BE} (hoặc I_E , I_B) đối với I_C của tranzito là do sự khuếch tán và tái hợp của hạt mang thiểu số không cân bằng ở khu vực bazơ. FET dùng điện trường thiết lập từ bên ngoài làm thay đổi bề rộng kênh dẫn để điều khiển dòng điện trôi dạt. Tính năng ổn áp của diốt ổn áp là do sử dụng hiện tượng đánh thủng điện xảy ra khi hạt mang chuyển động trôi dạt trong điện trường mạnh v.v... Đặc tính ngoài của các cấu kiện bán dẫn trên đây có nhiều điểm chung. Ví dụ, đặc tính vào của tranzito giống đặc tính hướng thuận của chuyển tiếp PN, còn đặc tính ra thì giống đặc tính hướng nghịch của chuyển tiếp PN.

BÀI TẬP

1-1. Đem bóng diốt bán dẫn có vỏ thủy tinh sơn đen cạo đi lớp sơn đen đó rồi mắc vào song song một μA kế, không có nguồn nào cả.

Hỏi : - μA kế có chỉ thị dòng hay không khi diốt được chiếu sáng.

- Sau một thời gian đặt trong tủ ấm $50^\circ C$, μA kế có chỉ thị dòng hay không.

1-2. Cho đặc tính V-A của diốt bán dẫn là $I = 20 \cdot 10^{-12} (e^{\frac{V}{V_T}} - 1)$ (A)

Giả thiết $V_T = 26mV$

Hỏi :

a- Hãy tính các giá trị dòng điện tương ứng các giá trị điện áp sau :

$$0 ; \pm 0,1 ; \pm 0,2 ; \pm 0,5 ; \pm 0,6 ; \pm 0,7 ; \pm 0,8 [V]$$

Sau đó vẽ đặc tuyến trên giấy kẻ ô.

b- Giả sử nối song song pin 1,5V vào diốt, thì dòng điện qua diốt bằng bao nhiêu ? Số liệu tính ra có phù hợp thực tế hay không .

c- Dùng đồng hồ vạn năng đo điện trở thuận của diốt, thấy ở thang $\Omega \times 10$ giá trị nhỏ, ở thang $\Omega \times 100$ được giá trị lớn. Vì sao ?

d- Hãy tính điện trở động $r = \frac{\Delta V}{\Delta I}$ khi $V = +0,5V$.

1-3. So sánh điện áp vùng chết của các diốt bán dẫn công suất nhỏ 2 loại : Ge (như 2AP9) với Si (như 2CP10). Có thể xem thêm sổ tay để biết : dòng điện nghịch bóng nào lớn hơn, điện áp nghịch cực đại bóng nào cao hơn, tần số công tác bóng nào cao hơn.

1-4. Diốt bán dẫn khi công tác với điện áp thuận thì có tác dụng ổn áp hay không. Nối tiếp hai diốt ổn áp có điện áp ổn áp khác nhau 6V và 8V thì có thể nhận được mấy giá trị ổn áp.

Chương 2

MẠCH ĐIỆN CỔNG

2.1. MẠCH ĐIỆN CÁC CỔNG RIÊNG RỂ

Trong mạch số, cổng là mạch điện thực hiện một số quan hệ logic cơ bản nào đó. Quan hệ logic cơ bản nhất có ba loại : AND (VÀ), OR (HOẶC), NOT (ĐẢO). Vậy các cổng logic cơ bản nhất là cổng AND, Cổng OR, cổng NOT.

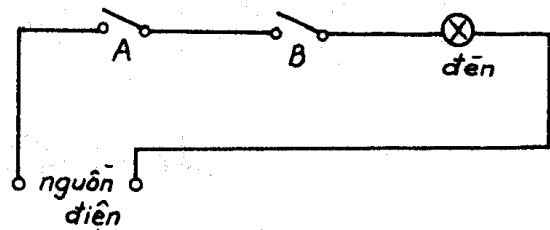
2.1.1. Ba loại quan hệ logic cơ bản nhất

1) Quan hệ logic AND

Một sự kiện chỉ có thể phát sinh khi tất cả mọi điều kiện quyết định sự kiện đó đều hiện hữu. Quan hệ nhân quả nói trên được gọi là logic AND.

Hình 2.1.1. Giới thiệu một mạch điện, trong đó, nếu cả hai khóa A và B đều đóng mạch thì đèn mới sáng. Sự đóng nối mạch của A, B và sự sáng của đèn là quan hệ logic AND. Ta viết : $Z = A.B$

Ta đọc Z bằng A AND B



Hình 2-1-1.

Ví dụ về quan hệ logic AND.

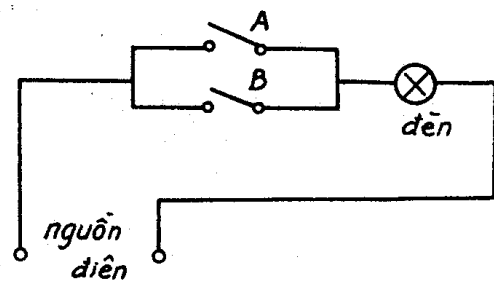
2) Quan hệ logic OR

Một sự kiện vẫn phát sinh khi trong số nhiều điều kiện quyết định sự kiện đó, chỉ cần một hay một số điều kiện bất kì hiện hữu. Quan hệ nhân quả nói trên được gọi là logic OR.

Hình 2.1.2. giới thiệu một mạch điện, trong đó, nếu A hoặc B, hoặc cả A, B đóng mạch đều làm đèn sáng như nhau. Sự đóng nối mạch của A, B và sự sáng của đèn là quan hệ logic OR.

Ta viết : $Z = A + B$

Ta đọc : Z bằng A OR B.



Hình 2-1-2. Ví dụ về quan hệ logic OR.

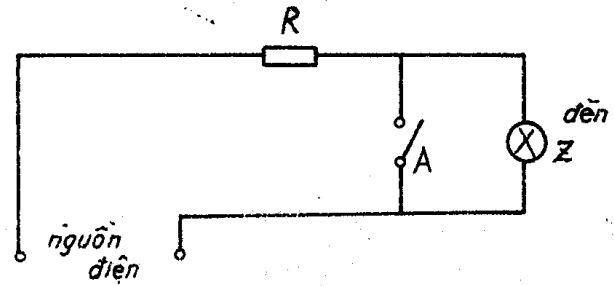
3) Quan hệ logic NOT

NOT là đảo, là không.

Trong mạch điện hình 2.1.3, khi khóa A nối mạch thì đèn Z tắt, khi A ngắt hở mạch thì đèn Z sáng. Sự đóng nối mạch của A và sự sáng của Z là quan hệ logic NOT

Ta viết : $Z = \bar{A}$. Dấu ngang trên chữ A biểu thị NOT.

Ta đọc : Z bằng NOT A



Hình 2-1-3.

Ví dụ về quan hệ logic NOT.

2.1.2. Mạch AND và mạch OR dùng điốt bán dẫn

1) Mạch AND

Mạch điện thực hiện quan hệ logic AND được gọi là cổng AND.

a) Mạch điện và kí hiệu Xem hình 2-1-4.

A và B là các tín hiệu đầu vào. Mức thấp của tín hiệu đầu vào là 0V, Mức cao của tín hiệu đầu vào là 3V. Z là tín hiệu đầu ra.

b) Nguyên lí làm việc

Có cả thảy 4 tình huống khác nhau ở đầu vào. Ta có thể tính toán được tín hiệu đầu ra đối với từng tình huống một.

Kết quả biểu thị quan hệ logic giữa đầu vào với đầu ra.

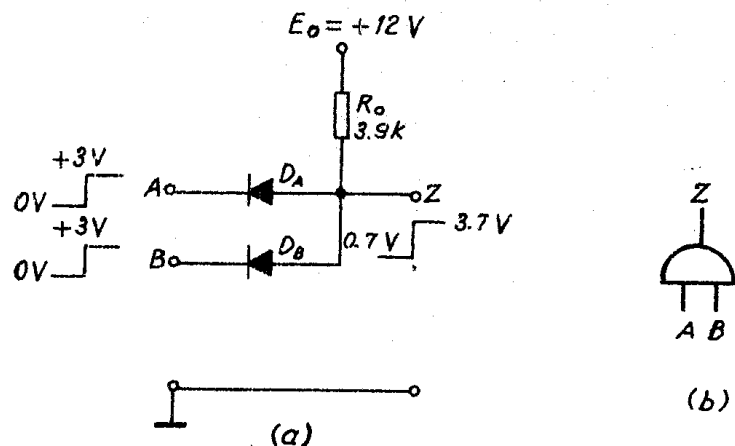
* Khi $V_A = V_B = 3V$, hai điốt D_A, D_B thông với nguồn

$E_o = +12V$ qua điện trở R_o , chúng đều có điện áp phân cực thuận, chúng đều dẫn điện. $V_Z = V_A + V_D = 3 + 0,7 = 3,7V$.

* Khi $V_A = 3V, V_B = 0$. D_A và D_B có đầu anốt nối chung. D_B có katốt có điện thế đầu vào thấp hơn nên chắc chắn để dẫn điện hơn. Một khi D_B đã dẫn điện thì $V_Z = V_B + V_{DB} = 0 + 0,7 = 0,7V$

$$V_{DA} = V_Z - V_A = 0,7 - 3 = -2,3V$$

Vậy D_A chịu phân cực nghịch, nó ở trạng thái ngắt hở mạch, không phải là dẫn điện như ta tưởng lúc thoát đầu nhìn vào mạch điện. Điện thế $V_Z = 0,7V$ do D_B dẫn điện gọi là điện thế ghim.



Hình 2-1-4. Cổng AND điốt :

a) Mạch điện ; b) Kí hiệu.

Chương 2

MẠCH ĐIỆN CỔNG

2.1. MẠCH ĐIỆN CÁC CỔNG RIÊNG RỂ

Trong mạch số, cổng là mạch điện thực hiện một số quan hệ logic cơ bản nào đó. Quan hệ logic cơ bản nhất có ba loại : AND (VÀ), OR (HOẶC), NOT (ĐẢO). Vậy các cổng logic cơ bản nhất là cổng AND, Cổng OR, cổng NOT.

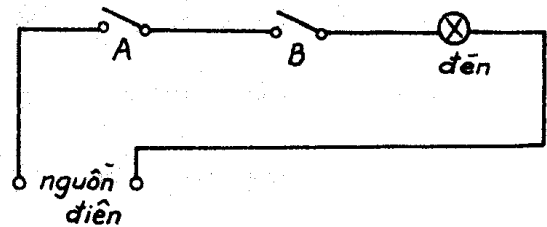
2.1.1. Ba loại quan hệ logic cơ bản nhất

1) Quan hệ logic AND

Một sự kiện chỉ có thể phát sinh khi tất cả mọi điều kiện quyết định sự kiện đó đều hiện hữu. Quan hệ nhân quả nói trên được gọi là logic AND.

Hình 2.1.1. Giới thiệu một mạch điện, trong đó, nếu cả hai khóa A và B đều đóng mạch thì đèn mới sáng. Sự đóng nối mạch của A, B và sự sáng của đèn là quan hệ logic AND. Ta viết : $Z = A.B$

Ta đọc Z bằng A AND B



Hình 2-1-1.

Ví dụ về quan hệ logic AND.

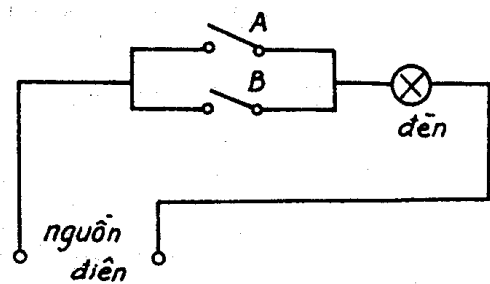
2) Quan hệ logic OR

Một sự kiện vẫn phát sinh khi trong số nhiều điều kiện quyết định sự kiện đó, chỉ cần một hay một số điều kiện bất kì hiện hữu. Quan hệ nhân quả nói trên được gọi là logic OR.

Hình 2.1.2. giới thiệu một mạch điện, trong đó, nếu A hoặc B, hoặc cả A, B đóng mạch đều làm đèn sáng như nhau. Sự đóng nối mạch của A, B và sự sáng của đèn là quan hệ logic OR.

Ta viết : $Z = A + B$

Ta đọc : Z bằng A OR B.



Hình 2-1-2. Ví dụ về quan hệ logic OR.

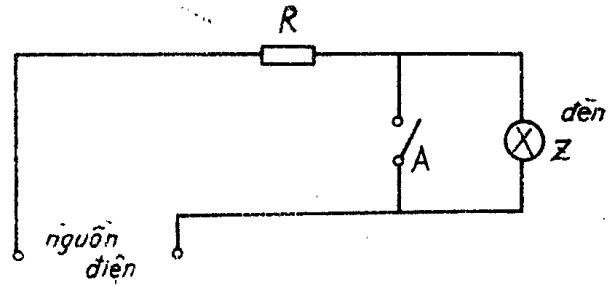
3) Quan hệ logic NOT

NOT là đảo, là không.

Trong mạch điện hình 2.1.3, khi khóa A nối mạch thì đèn Z tắt, khi A ngắt hở mạch thì đèn Z sáng. Sự đóng nối mạch của A và sự sáng của Z là quan hệ logic NOT

Ta viết : $Z = \bar{A}$. Dấu ngang trên chữ A biểu thị NOT.

Ta đọc : Z bằng NOT A



Hình 2-1-3.

Ví dụ về quan hệ logic NOT.

2.1.2. Mạch AND và mạch OR dùng diốt bán dẫn

1) Mạch AND

Mạch điện thực hiện quan hệ logic AND được gọi là cổng AND.

a) Mạch điện và kí hiệu Xem hình 2-1-4.

A và B là các tín hiệu đầu vào. Mức thấp của tín hiệu đầu vào là 0V, Mức cao của tín hiệu đầu vào là 3V. Z là tín hiệu đầu ra.

b) Nguyên lí làm việc

Có cả thảy 4 tình huống khác nhau ở đầu vào. Ta có thể tính toán được tín hiệu đầu ra đối với từng tình huống một.

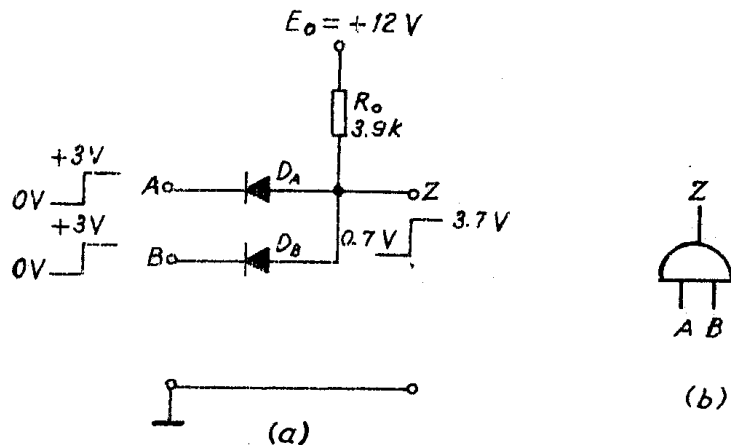
Kết quả biểu thị quan hệ logic giữa đầu vào với đầu ra.

* Khi $V_A = V_B = 3V$, hai diốt D_A, D_B thông với nguồn $E_o = +12V$ qua điện trở R_o , chúng đều có điện áp phân cực thuận, chúng đều dẫn điện. $V_Z = V_A + V_D = 3 + 0,7 = 3,7V$.

* Khi $V_A = 3V, V_B = 0$. D_A và D_B có đầu anốt nối chung. D_B có katốt có điện thế đầu vào thấp hơn nên chắc chắn dễ dẫn điện hơn. Một khi D_B đã dẫn điện thì $V_Z = V_B + V_{DB} = 0 + 0,7 = 0,7V$

$$V_{DA} = V_Z - V_A = 0,7 - 3 = -2,3V$$

Vậy D_A chịu phân cực nghịch, nó ở trạng thái ngắt hở mạch, không phải là dẫn điện như ta tưởng lúc thoát đầu nhìn vào mạch điện. Điện thế $V_Z = 0,7V$ do D_B dẫn điện gọi là điện thế ghim.



Hình 2-1-4. Cổng AND diốt :

a) Mạch điện ; b) Kí hiệu.

* Khi $V_A = 0$, $V_B = 3V$. Quá trình phân tích tương tự sẽ cho ta kết quả : D_A dẫn, D_B ngắt, V_Z được ghim ở mức 0,7 V do D_A dẫn điện.

* Khi $V_A = V_B = 0$. D_A và D_B đều dẫn. V_Z cũng được ghim ở mức 0,7V. Sắp xếp các kết quả trên đây vào bảng 2.1.1. dưới đây :

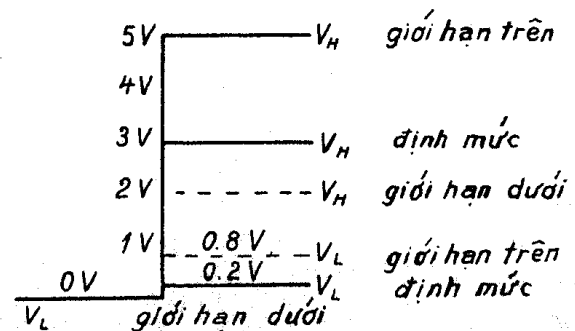
Bảng 2-1-1 :

BẢNG CHỨC NĂNG ĐIỆN ÁP MẠCH ĐIỆN HÌNH 2-1-4a

V_A (V)	V_B (V)	V_Z (V)
0	0	0.7
0	3	0.7
3	0	0.7
3	3	3.7

Bảng 2.1.1 biểu thị quan hệ tương ứng các mức điện áp giữa đầu ra với đầu vào, được gọi là bảng chức năng. Bảng cho ta thấy rằng muốn V_Z có mức cao thì V_A , V_B đều phải là mức cao. Quan hệ đó là logic AND. Mạch điện hình 2.1.4a được gọi là cổng AND.

c) *Khái niệm về mức (cao và thấp).* Ta dùng kí hiệu V_H để chỉ mức cao, V_L để chỉ mức thấp. Trong mạch số, ta thường dùng mức cao, mức thấp để chỉ điện thế cao, điện thế thấp so với điện thế chuẩn chung. Mức cao là một trạng thái mạch điện. Mức thấp là một trạng thái khác. Mức cao và thấp không phải là một giá trị cố định, có một phạm vi nhất định cho mỗi mức. Ví dụ, trong mạch điện TTL, quy định mức cao là 3V, mức thấp là 0,2V với phạm vi 2 ÷ 5V là phạm vi của mức cao, phạm vi mức thấp là 0 ÷ 0,8V.



Hình 2-1-5.

Phạm vi mức cao, thấp của mạch TTL.

Xem hình 2.1.5. nếu sự làm việc của cổng vượt ra ngoài phạm vi cho phép thì không những sai hoặc chức năng logic, mà còn có thể làm hỏng cấu kiện của mạch điện.

d) *Bảng chân lí.* Trong mạch số, để thuận tiện, thường dùng kí hiệu 1 và 0 biểu thị mức cao và mức thấp. Từ bảng 2.1.1, ta dùng 1 thay thế mức cao, dùng 0 thay thế mức thấp, dùng A, B thay thế V_A , V_B , dùng Z thay thế V_Z , kết quả sự thay thế là bảng chân lí 2.1.2...

Bảng 2-1-2 : BẢNG CHÂN LÍ CÔNG AND

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

Bảng chân lí có thể miêu tả chính xác quan hệ logic giữa đầu vào và đầu ra. Bảng 2.1.2. thực tế là một hình thức trình bày toán học của bảng 2.1.1. Từ bảng 2.1.2, ta có thể thấy tín hiệu đầu vào A, B và tín hiệu đầu ra Z có mối quan hệ được biểu thị thành phép nhân logic : (trong đại số Boole)

$$Z = A.B \quad (2-1-1)$$

Dấu "." biểu thị phép nhân.

(2.1.1) có thể đọc là : Z bằng A AND B

hoặc : Z bằng A nhân B

2) Cổng OR

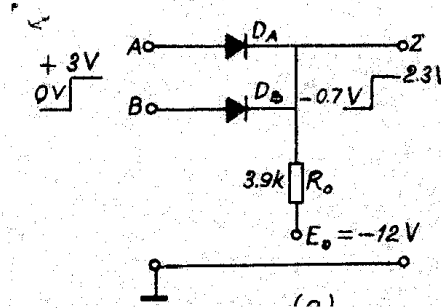
Mạch điện thực hiện quan hệ logic OR được gọi là cổng OR.

a) Mạch điện và kí hiệu.
Xem hình 2-1-6

A, B là các tín hiệu đầu vào, Z là tín hiệu đầu ra.

b) Nguyên lí làm việc

Tương tự như phương pháp phân tích mạch điện AND, ta xét 4 tình huống khác nhau ở đầu vào. Kết quả ta được bảng chức năng 2.1.3



(b)

Hình 2-1-6. Cổng OR diốt :

a) Mạch điện ; b) Kí hiệu.

Bảng 2-1-3 :

BẢNG CHỨC NĂNG ĐIỆN ÁP CỦA MẠCH ĐIỆN HÌNH 2-1-6a .

$V_A (V)$	$V_B (V)$	$V_Z (V)$
0	0	-0.7
0	3	+2.3
3	0	+2.3
3	3	+2.3

Từ bảng 2.1.3 ta thấy : chỉ cần có từ 1 trở lên tín hiệu đầu vào bất kì có mức cao, thì V_Z ở mức cao. Đó là quan hệ logic OR. Mạch điện 2.1.6a được gọi là cổng OR.

Trong bảng 2-1-3, ta thay mức cao bằng kí hiệu 1, thay mức thấp bằng kí hiệu 0, thì ta được bảng chân lí 2.1.4

Bảng 2-1-4 :

BẢNG CHÂN LÍ CỐNG OR

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1

Bảng 2.1.4 là hình thức trình bày toán học của bảng 2.1.3. Từ bảng chân lí cổng OR, ta thấy rằng : mối quan hệ giữa tín hiệu đầu ra Z với các tín hiệu đầu vào A, B được biểu thị bằng phép cộng logic :

$$Z = A + B \quad (2-1-2)$$

(2-1-2) có thể đọc là : Z bằng A OR B

hay là : Z bằng A cộng B

Cần lưu ý rằng $1 + 1$ không phải bằng 2, ở đây ta có : $1 + 1 = 1$.

Vì đây là phép cộng logic, không phải phép cộng số lượng thông thường. A, B, Z chỉ có hai giá trị có thể là 1, hoặc 0. Với 1 và 0 ở đây biểu thị hai trạng thái khác nhau ; kí hiệu mức điện cao và mức điện thấp, 1 và 0 không chỉ số lượng, $Z = A + B$ biểu thị quan hệ logic OR giữa A, B.

c) Khái niệm về logic dương và logic âm

Trong quá trình chuyển từ bảng chức năng sang bảng chân lí, trên đây ta dùng 1 biểu thị mức cao, dùng 0 biểu thị mức thấp, đó là mức logic dương. Nếu ngược lại, dùng 0 biểu thị mức cao, dùng 1 biểu thị mức thấp thì đó là mức logic âm. Ví dụ, từ bảng chức năng 2.1.1 và 2.1.3 ta có bảng chân lí 2.1.2 và 2.1.4, tương ứng logic dương, ta được $Z = A \cdot B$ và $Z = A + B$, mạch 2.1.4a là cổng AND, mạch 2.1.6a là cổng OR. Chính xác hơn, phải nói là : 2.1.4a là cổng AND logic dương, 2.1.6a là cổng OR logic dương.

Ta xét trường hợp logic âm : dùng 0 biểu thị mức cao, dùng 1 biểu thị mức thấp. Từ bảng chức năng 2.1.1 ta sẽ đi tới bảng chân lí 2.1.5, từ bảng chức năng 2.1.3 ta sẽ đi tới bảng chân lí 2.1.6

Căn cứ bảng 2.1.5, ta có quan hệ logic OR $Z = A + B$.

Vậy 2.1.4a là cổng OR logic âm.

Căn cứ bảng 2.1.6, ta có quan hệ logic AND $Z = A \cdot B$

Bảng 2-1-5

A	B	Z
1	1	1
1	0	1
0	1	1
0	0	0

Bảng 2-1-6

A	B	Z
1	1	1
1	0	0
0	1	0
0	0	0

Vậy 2.1.6a là cổng AND logic âm. Ta thấy rằng : mạch 2.1.4a vừa là cổng AND logic dương, vừa là cổng OR logic âm ; mạch 2.1.6a vừa là cổng OR logic dương, vừa là cổng AND logic âm. Vì vậy, khi phân tích chức năng logic của mạch điện cổng, việc đầu tiên phải làm rõ ràng là logic dương hay logic âm. Trong mạch số, phần lớn dùng mạch bán dẫn Si và nguồn điện dương, nên ta thường xuyên dùng logic dương. Để thuận tiện, trừ ngoại lệ sẽ có thuyết minh, ta đều ngầm hiểu là dùng logic dương trong các vấn đề trình bày tiếp theo.

Ưu điểm mạch cổng diốt là đơn giản, rẻ, nhược điểm mạch cổng diốt là sai lệch mức điện và năng lực chịu tải yếu. Sai lệch mức điện chủ yếu là do điện áp thuận trên diốt. Từ bảng 2.1.1 ta thấy, sau khi tín hiệu vào thông qua cổng AND, thì các mức cao, mức thấp đều dịch cao hơn 0,7V. Còn từ bảng 2.1.3 ta thấy, sau khi tín hiệu vào thông qua cổng OR, thì các mức cao và thấp đều dịch xuống thấp đi 0,7V. Nếu tín hiệu đi qua nhiều cổng AND nối tiếp nhau (hoặc OR), mức điện dịch lệch rất lớn, có thể dẫn tới sai logic.

2.1.3 Cổng NOT

1) Mạch điện và kí hiệu

Xem hình 2.1.7

V_I (A) là tín hiệu đầu vào

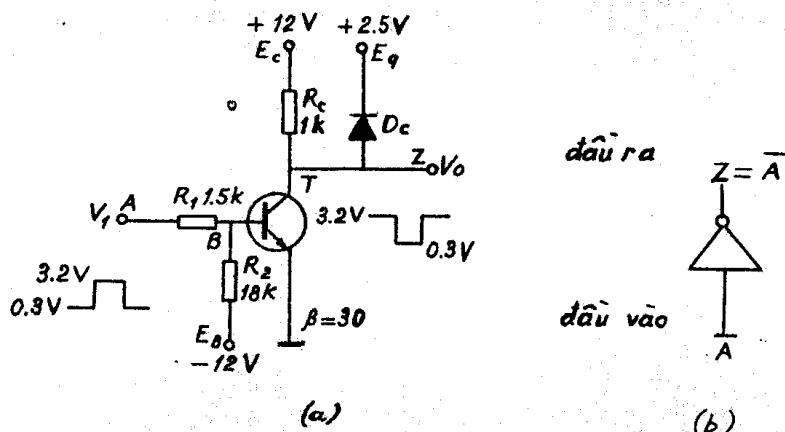
V_O (Z) là tín hiệu đầu ra

E_Q là nguồn điện ghim

D_Q là diốt ghim

2) Nguyên lí làm việc

Trong cổng NOT (bộ Đảo), tranzito cần làm việc ở chế độ đóng mở. Khi V_I ở mức thấp thì T ngắt hờ mạch, V_O ở mức cao. Khi V_I ở mức cao thì T thông bão hòa, V_O ở mức thấp. Như vậy mạch có chức năng logic NOT. Tác dụng của nguồn âm E_B là bảo đảm T ngắt hờ tin cậy khi V_I ở mức thấp. E_Q và D_Q có tác dụng giữ mức cao đầu ra ở giá trị quy định. Để phân tích nguyên lí công tác cổng NOT, ta



Hình 2-1-7. Cổng NOT :

a) Mạch điện ; b) Kí hiệu.

hãy áp dụng phương pháp cơ bản dùng phân tích mạch là : giả thiết, phân tích, tính toán, so sánh, kiểm tra, tìm kết quả. Bây giờ ta xét tình huống $V_I = 3,2V$ và $0,3V$.

* Khi $V_I = 3,2V$.

Giả thiết : căn cứ vào những yếu tố đã cho đối với mạch điện, hãy giả thiết trạng thái công tác của tranzito và điốt. Giả thiết rằng tranzito T thông bão hòa, điốt D_Q ngắt. Với giả thiết như thế, tương ứng ta có : $V_B = 0,7V$; $V_O = V_C = V_{CES} = 0,3V$; $I_{DQ} = 0$

Tính toán : căn cứ vào các thông số mạch đã cho, tính dòng và áp.

Hình 2.1.8 là mạch điện tương đương của mạch đầu vào khi T bão hòa.

$$I_1 = \frac{V_A - V_B}{R_1} = \frac{3,2 - 0,7}{1,5} \approx 1,67mA$$

$$I_2 = \frac{V_B - E_B}{R_2} = \frac{0,7 - (-12)}{18} \approx 0,71mA$$

$$I_B = I_1 - I_2 = 1,67 - 0,71 = 0,96mA$$

$$V_{DQ} = V_{CES} - E_Q = 0,3 - 2,5 = -2,2V$$

$$\text{Vì } I_{CS} = \frac{E_C - V_{CES}}{R_C} \approx \frac{E_C}{R_C} = \frac{12}{1} = 12mA$$

$$I_{BS} = \frac{I_{CS}}{\beta} = \frac{12}{30} = 0,4mA$$

Kiểm tra : căn cứ kết quả tính toán, đối chiếu điều kiện đóng mở, có thể biết giả thiết hợp lý hay sai. Nếu sai thì phải xét lại giả thiết, đưa ra giả thiết hợp lý rồi thì tính ra kết quả. Trong ví dụ của chúng ta, vì $I_B > I_{BS}$, $V_{DQ} < 0,5$ nên giả thiết ban đầu đã là hợp lý.

Người ta đưa ra khái niệm : độ sâu bão hòa là tỉ số dòng điện $\frac{I_B}{I_{BS}}$. Trong mạch

2.1.7a, khi $V_I = 3,2V$, độ sâu bão hòa của T là :

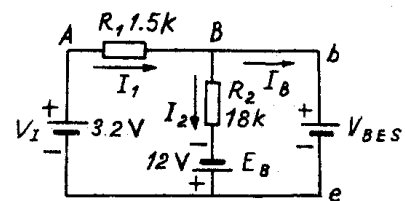
$$\frac{I_B}{I_{BS}} = \frac{1,02}{0,4} = 2,55$$

Kết quả : căn cứ vào đặc điểm công tác ở chế độ đóng mở của tranzito và điốt, ta tính toán kết quả. Vì T bão hòa, nên $V_O = V_{CES} = 0,3V$; đầu ra có mức thấp.

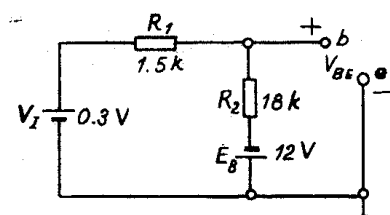
Cần lưu ý rằng các bước phân tích mạch điện nói trên là trình tự chung. Trong từng bài toán cụ thể, có thể áp dụng đầy đủ hay đi tắt đến kết quả.

* Khi $V_I = 0,3V$

Hình 2.1.9 là mạch điện tương đương của mạch đầu vào khi $V_I = 0,3V$ vì tác dụng của nguồn âm



Hình 2-1-8. Mạch tương đương khi $V_I = 3,2V$.



Hình 2-1-9. Mạch tương đương khi $V_I = 0,3V$.

E_B , điện thế của bazơ nhỏ hơn 0,3V, nên T ngắt một cách tin cậy, đồng thời diốt ghim D_Q thông.

$$V_o = E_Q + V_{DQ} = 2,5 + 0,7 = 3,2V.$$

Đầu ra có mức cao.

Tóm lại, mạch điện hình 2.1.7a đúng là cổng NOT. Vì khi V_I là mức cao thì V_o là mức thấp, khi V_I là mức thấp thì V_o là mức cao. Bảng 2.1.7 là bảng chân lí của cổng NOT.

Bảng 2-1-7 : BẢNG CHÂN LÍ CỦA CỔNG NOT $Z = \bar{A}$

A	Z
0	1
1	0

3) Năng lực chịu tải

Phụ tải là các mạch điện khác nối với đầu ra cổng NOT. Căn cứ tình hình thực tế mạch số, người ta phân loại phụ tải thành hai loại : phụ tải dòng điện hút I_L chảy vào cổng NOT, phụ tải dòng điện phun từ cổng NOT chảy ra.

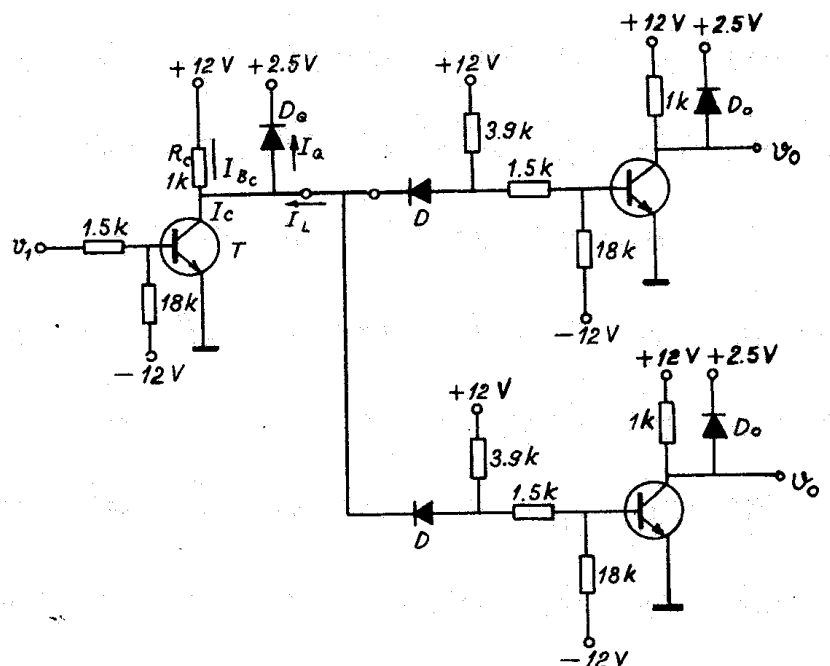
a) Phụ tải dòng điện hút

Xem mạch hình 2.1.10. khi tranzito T thông bão hòa, thì dòng điện phụ tải chảy vào colectơ, tạo thành phụ tải dòng điện hút. $I_C = I_{RC} + I_L$, với I_L tăng theo số lượng phụ tải. Khi I_L tăng, I_C tăng, tương ứng I_{BS} tăng lên, làm giảm độ sâu bão hòa của tranzito.

Nếu I_L tăng đến mức $I_B < I_{BS}$, điều kiện bão hòa không thỏa mãn, tranzito chuyển vào vùng khuếch đại, điện áp ra tăng theo I_L , thậm chí xấp xỉ mức cao +3,2V, thì chức năng logic của cổng NOT bị mất. Vậy cần hạn chế I_L trong một giới hạn xác định.

Giá trị cực đại cho phép I_{Lmax} phụ thuộc vào độ sâu bão hòa và I_{CM} của tranzito.

Xét mạch hình 2.1.10. Khi bão hòa $I_B = 1,02 \text{ mA} = I_{BS}$
 $I_{CS} = \beta I_{BS} = 30 \times 1,02 = 30,6 \text{ mA}.$



Hình 2-1-10.

Cổng NOT nối với phụ tải dòng điện hút.

Để tranzito bảo đảm bão hòa, thì $I_{Cmax} \leq 30,6mA$

$$I_{Cmax} = \beta I_B = 30 \times 1,02 = 30,6mA$$

$$I_L = I_C - I_{RC} \quad \text{mà } I_{RC} \approx \frac{E_C}{R_C} = \frac{12}{1} = 12mA$$

$$\text{Vậy } I_{Lmax} = I_{Cmax} - I_{RC} = 30,6 - 12 = 18,6mA$$

Đó là giá trị cực đại cho phép của dòng điện phụ tải chảy vào cổng NOT. Ta gọi nó là năng lực phụ tải dòng điện hút. Đương nhiên $I_{Cmax} \leq I_{CM}$ tức là

$$I_{Lmax} = I_{CM} - I_{RC}$$

Từ sự phân tích trên đây, ta nhận xét rằng : biện pháp chủ yếu để nâng cao năng lực chịu tải dòng điện hút của cổng NOT là tăng độ sâu bão hòa,

Khi tranzito ngắt, $I_C = 0$, dòng điện tải I_L và I_{RC} đều chảy vào nguồn ghim E_Q , vậy : $I_Q = I_L + I_{RC}$

Chỉ cần I_Q không vượt quá dòng điện cho phép đối với D_Q và E_Q là mạch làm việc bình thường.

b) Phụ tải dòng điện phun

Xem hình 2.1.11. khi tranzito ngắt hờ mạch, dòng điện I_L từ cổng NOT chảy ra phụ tải, tạo thành phụ tải dòng điện phun.

$$I_C = 0$$

$$I_Q = I_{RC} - I_L$$

$$I_{RC} = \frac{E_C - E_Q - V_{DQ}}{R_C} = \frac{12 - 2,5 - 0,7}{1} = 8,8mA$$

Khi I_L tăng thì I_Q giảm nhỏ.

Nếu $I_L > I_{RC} = 8,8mA$, để cung cấp dòng cho tải, I_{RC} sẽ lớn hơn 8,8mA, điện áp rơi trên R_C tăng lên, làm cho :

$$V_C = E_C - I_{RC} \cdot R_C \text{ nhỏ hơn } 3,2V$$

Khi đó, D_Q ngắt, mất đi tác dụng ghim mức, mức cao của điện áp đầu ra giảm xuống, dịch lệch khỏi giá trị định mức. Vì vậy, phụ tải dòng điện phun cực đại I_{Lmax} không được phép lớn hơn giá trị I_{RC} khi tranzito ngắt.

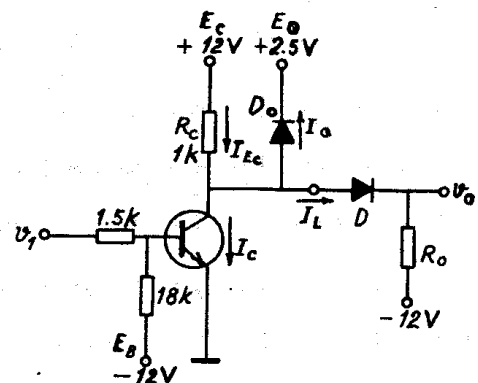
Khi tranzito bão hòa :

$$V_o = 0,3V$$

$$I_{RC} \approx \frac{E_C - V_o}{R_C} \approx \frac{E_C}{R_C} = \frac{12}{1} = 12mA$$

$$I_C = I_{RC} - I_L$$

Khi I_L tăng, I_C giảm, có lợi cho điều kiện bão hòa. Tuy nhiên, I_L không được vượt quá 12mA để mức thấp của điện áp đầu ra không bị lệch quá lớn khỏi giá trị định mức.



Hình 2-1-11. Cổng NOT nối với phụ tải dòng điện phun.

4) Năng lực chống nhiễu

Nhiều và gọn sóng nguồn ... đều có thể làm cho tín hiệu đầu vào lệch khỏi giá trị định mức. Để nâng cao độ tin cậy, ta mong muốn mức điện đầu ra vẫn duy trì giá trị định mức khi mức tín hiệu đầu vào biến đổi trong một phạm vi nhất định. Vì vậy, chúng ta gọi độ lệch cho phép của mức tín hiệu đầu vào khi đầu ra định mức là khả năng chống nhiễu.

a) Tín hiệu vào ở mức thấp

Khi $V_I = 0,3V$, tranzito ngắt hở mạch, $V_O = 3,2V$.

Nếu V_I tăng lên, đến $V_{BE} = 0,5V$ thì tranzito thông.

Vì mạch ghim, dù I_C tăng theo V_I , trong giới hạn $I_C < I_{RC}$, nên D_O vẫn tiếp tục thông, V_O duy trì ở $3,2V$. Vậy mạch ghim nâng cao năng lực chống nhiễu thuận (V_I tăng) của cổng NOT. Ngoài ra, nhờ bazơ nối với $E_B (-12V)$, mà điện thế bazơ V_B (ứng với mức thấp đầu vào) giảm nhỏ, làm cho phạm vi lệch cho phép đối với V_I (tăng) được mở rộng, cũng góp phần nâng cao năng lực chống nhiễu thuận.

b) Tín hiệu vào ở mức cao

Khi $V_I = 3,2V$, tranzito thông bão hòa, $V_O = 0,3V$

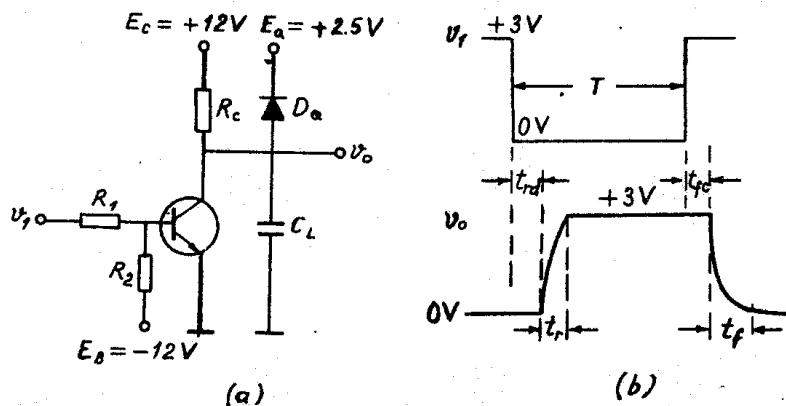
Nếu V_I giảm xuống, dòng điện bazơ giảm nhỏ, làm giảm độ sâu bão hòa của tranzito. Nếu V_I giảm đến $I_B < I_{BS}$ thì tranzito chuyển sang vùng khuếch đại, V_O tăng lên (tỉ lệ nghịch với V_I). Vậy để V_O duy trì ở mức thấp $0,3V$ thì phải tăng độ sâu bão hòa của tranzito. Tranzito càng bão hòa sâu thì năng lực chống nhiễu nghịch (V_I giảm) của cổng NOT càng mạnh. Nhưng tăng độ sâu bão hòa thì tốc độ chuyển mạch giảm, tiêu hao điện năng tăng.

5) Đặc tính động

Xem hình 2.1.12. khi V_I đột biến thì V_O trải qua quá trình quá độ. Khi V_I từ mức cao xuống mức thấp, quá trình V_O từ mức thấp chuyển lên mức cao quyết định bởi thời gian ngắt t_{off} (từ bão hòa đến ngắt) và thời gian nạp điện của C_L (điện dung tải).

Khi V_I từ mức thấp lên mức cao, quá trình V_O chuyển từ mức cao xuống mức thấp quyết định bởi thời gian mở t_{on} (từ ngắt đến bão hòa) và thời gian phóng điện của C_L (điện dung tải).

Quá trình V_O tăng (sườn trước, sườn dương của xung V_O) dài hơn quá trình V_O giảm (sườn sau, sườn âm của xung V_O). Vì $t_{off} > t_{on}$, thời gian nạp điện dài hơn thời gian phóng điện (nạp qua R_C , phóng qua tranzito bão hòa).



Hình 2-1-12. Đặc tính động của cổng NOT.

a) Mạch điện ;

b) Dạng sóng.

2.1.4. Cổng NAND và cổng NOR (cổng VÀ-ĐẢO, cổng HOẶC ĐẢO)

Các mạch cổng diốt có nhiều nhược điểm : mức lệch nhiều, chịu tải kém, chống nhiễu kém. Vì vậy chúng ít dùng ở dạng riêng rẽ, mà phải kết hợp với cổng NOT ; sự liên kết đó tạo ra các cổng NAND, NOR được ứng dụng rộng rãi. (ưu điểm của cổng NOT là không lệch mức, chịu tải khá, chống nhiễu tốt).

1) Cổng NAND

a) Mạch điện và kí hiệu

Xem hình 2.1.13

b) Nguyên lí làm việc

Mạch điện hình 2.1.13 gồm hai phần : phần cổng AND diốt bên trái đường nét đứt và phần cổng NOT bên phải đường nét đứt. Vậy quan hệ giữa đầu ra và đầu vào là NAND (VÀ - ĐẢO). Biểu thức hàm logic của NAND là :

$$Z = \overline{A \cdot B}$$

Hình 2-1-13. Cổng NAND.

Bảng 2.1.8 là bảng chân lí của cổng NAND

Bảng 2-1-8 :

BẢNG CHÂN LÍ CỔNG NAND

A	B	Z
1	1	0
0	1	1
1	0	1
0	0	1

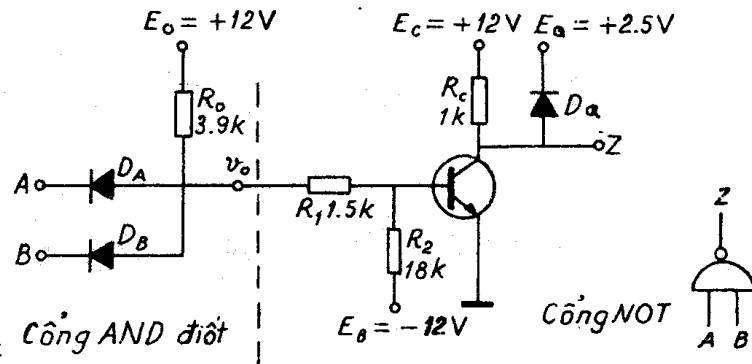
2) Cổng NOR

a) Mạch điện và kí hiệu

Xem hình 2.1.14

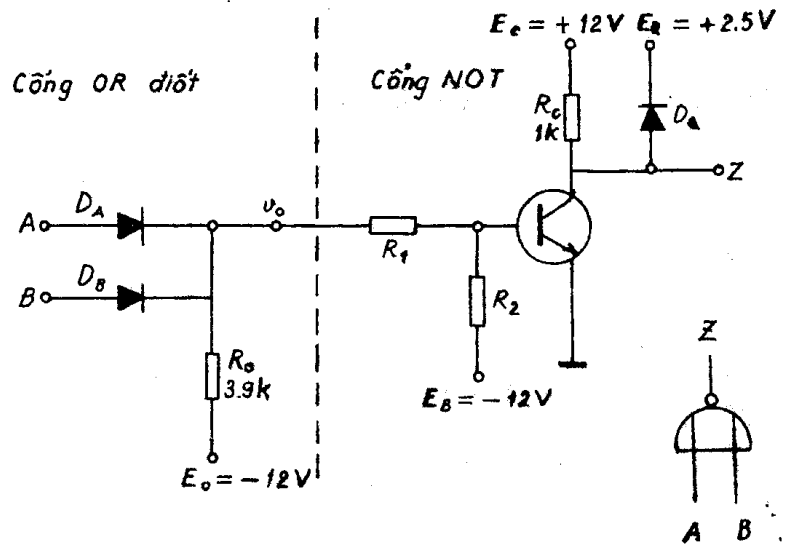
b) Nguyên lí làm việc

Cổng NOR trên hình 2.1.14 gồm phần bên trái là cổng OR diốt và phần bên phải là cổng NOT



Hàm logic : $Z = \overline{A+B}$

Bảng 2.1.9 là Bảng chân
lý của cổng NOR



Hình 2-1-14. Cổng NOR.

Bảng 2-1-9 :

BẢNG CHÂN LÝ CỔNG NOR

A	B	Z
1	1	0
0	1	0
1	0	0
0	0	1

2.2. MẠCH ĐIỆN CỔNG TTL

Vì mạch TTL là vi mạch đơn phiên : các phần tử tích cực, các cấu kiện, dây nối của toàn bộ mạch logic đều gia công trên một phiên đế bán dẫn. TTL là viết tắt của từ "tranzito - tranzito logic", xuất phát từ hình thức cấu trúc mạch điện đầu vào, đầu ra của vi mạch số đều dùng tranzito.

Căn cứ vào số lượng cấu kiện được gia công trên một diện tích xác định của phiên đế bán dẫn, các vi mạch số thường được phân loại thành : nhỏ (SSI), vừa (MSI), lớn (LSI), cực lớn (VLSI). SSI thường chứa hơn chục cổng, MSI thường chứa ngoài trăm cổng, LSI thường chứa không quá vài nghìn cổng, VLSI thì chứa tới một vạn cổng trở lên.

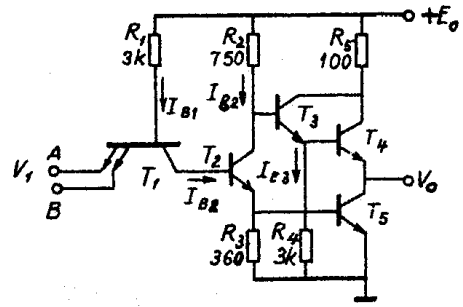
Hiện nay, cổng TTL phổ biến dưới dạng SSI và MSI. Cổng TTL tiêu hao công suất đáng kể nên có khó khăn đối với chế độ các vi mạch VLSI.

2.2.1. cổng NAND TTL

1) Mạch điện và nguyên lý làm việc

a) Mạch điện và kí hiệu. Xem hình 2.2.1.

Trên hình 2.2.1 là một mạch điện điển hình của cổng NAND TTL. Nó gồm 3 bộ phận : tranzito nhiều emitor T_1 và R_1 làm thành cấp đầu vào, tranzito T_2 và R_2, R_3 làm thành cấp giữa, các tranzito T_3, T_4, T_5 và R_4, R_5 làm thành cấp đầu ra.



Hình 2-2-1. Cổng NAND TTL

Giả thiết các tranzito có $\beta = 20$

b) Nguyên lý làm việc

Ở đầu vào, thông qua các emitor của T_1 để thực hiện chức năng AND. T_2 đảo pha tạo ra tín hiệu ngược pha ở colector và emitor. Những tín hiệu ngược pha dùng kích T_3 và T_5 , để đầu ra chịu tải nối vào V_0 . Khi bất kì một emitor nào có mức thấp của tín hiệu đầu vào, thì T_1 đều trở thành bão hòa ; do đó, T_2 và T_5 ngắt, còn T_3 và T_4 thông, đầu ra thể hiện tải nối vào emitor. V_0 ở mức cao.

Khi tín hiệu đầu vào toàn bộ đều là mức cao, thì T_1 ngắt. Do đó, T_2 và T_5 bão hòa, còn T_3 thông, T_4 ngắt. V_0 ở mức thấp.

Quan hệ logic giữa đầu vào với đầu ra là NAND (VÀ-ĐẢO) ;

Mạch điện 2.2.1 là cổng NAND.

Dưới đây cụ thể hóa sự phân tích trên bằng tính toán :

Giả sử emitor A làm đại diện ngẫu nhiên cho một tín hiệu đầu vào ở mức thấp $V_L = 0,3V = V_A$

Khi đó, điện thế bazơ của T_1 bị ghim $V_{B_1} = 1V$

$$V_{B_1} = V_A + V_{BEA} = 0,3 + 0,7 = 1V \quad (2-2-1)$$

$$I_{B_1} = \frac{E_C - V_{B_1}}{R_1} = \frac{5 - 1}{3} \approx 1,33mA \quad (2-2-2)$$

Vì T_2 ở trạng thái làm việc bình thường thì dòng bazơ không chảy ngược, nghĩa là $I_{C_1} = 0, I_{BS_1} = 0$

$I_{B_1} > I_{BS_1}$ T_1 bão hòa sâu, khi đó :

$$V_{CE_1} = V_{CES_1} \approx 0,1V \quad V_{B_2} = V_{CE_1} + V_A = 0,1 + 0,3 = 0,4V$$

Do đó, T_2 ngắt, T_5 ngắt, T_3 và T_4 thông. Đầu ra phụ tải emitor.

Vì I_{B_3} rất nhỏ, $V_{B_3} = E_C - I_{B_3} R_2 \approx E_C = 5V$

$$\text{Vậy } V_0 = V_{B_3} - V_{BE_3} - V_{BE_4} \approx 5 - 0,7 - 0,7 = 3,6V \quad (2-2-3)$$

(2.2.3) chứng tỏ rằng tín hiệu đầu ra ở mức cao.

Giả sử toàn bộ các tín hiệu đầu vào đều có mức cao ($V_H = 3,6V$)

Ta thử giả thiết rằng khi đó chuyển tiếp emitơ của T_1 vẫn thông với điện áp thuận : $V_{B_1} = V_H + V_{BE_1} = 3,6 + 0,7 = 4,3V$

Tương ứng, chuyển tiếp colectơ của T_1 và hai chuyển tiếp emitơ của T_2, T_5 đều phân cực thuận, xấp xỉ $\frac{V_{B_1}}{3} = 1,4V$, chúng đều thông

Giả thiết sẽ dẫn đến : $V_{B_1} = V_{BC_1} + V_{BE_2} + V_{BE_5} = 0,7 + 0,7 + 0,7 = 2,1V$

(2-2-4)

V_{B_1} bị ghim ở điện thế 2,1V, giả thiết chuyển tiếp emitơ T_1 thông thuận là sai.

$$V_{E_1} = V_H = 3,6V$$

$$\text{Vậy } V_{C_1} = V_{B_2} = V_{BE_2} + V_{BE_5} = 0,7 + 0,7 = 1,4V$$

Nghĩa là ta đã đi đến hệ quả : chuyển tiếp emitơ của T_1 phân cực nghịch, chuyển tiếp colectơ của T_1 phân cực thuận, T_1 công tác ở chế độ mà emitơ và colectơ đảo ngược vai trò. Trong chế độ này, hệ số khuếch đại dòng điện β_i rất nhỏ, thường $\beta_i \approx 0,01$.

$$I_{B_1} = \frac{E_C - V_{B_1}}{R_1} = \frac{5 - 2,1}{3} \approx 0,97 \text{ mA}$$

Lưu ý T_1 có 2 emitơ, ta có :

$$I_{B_2} = I_{B_1} + 2\beta_i I_{B_1} = 0,97 + 2 \times 0,01 \times 0,97 \approx 1 \text{ mA}$$

Nếu T_2 bão hòa, thì :

$$V_{C_2} = V_{BE_5} + V_{CES_2} = 0,7 + 0,3 = 1V$$

$$I_{CS_2} = \frac{E_C - V_{C_2}}{R_2} - I_{B_3} \approx \frac{E_C - V_{C_2}}{R_2} = \frac{5 - 1}{0,75} \approx 5,33 \text{ mA}$$

$$I_{BS_2} = \frac{I_{CS_2}}{\beta_2} = \frac{5,33}{20} \approx 0,27 \text{ mA}$$

$I_{B_2} > I_{BS_2}$. Vì T_2 bão hòa, $V_{C_2} = 1V$, T_3 thông dẫn, điện thế bazơ T_4 :

$$V_{B_4} = V_{E_3} = V_{C_2} - V_{BE_3} = 1 - 0,7 = 0,3V$$

Do đó T_4 ngắt. Còn T_5 thì :

$$I_{B_5} = I_{E_2} - I_{R_3}$$

$$I_{E_2} = I_{B_2} + I_{CS_2} \approx 1 + 5,33 = 6,33 \text{ mA}$$

$$I_{R_3} = \frac{V_{E_3}}{R_3} = \frac{V_{BE_5}}{R_3} = \frac{0,7}{0,36} = 1,94 \text{ mA}$$

$$I_{B_5} = I_{E_2} - I_{R_3} = 6,3 - 1,94 = 4,36 \text{ mA}$$

$$I_{CS_5} = 0 \text{ (} T_4 \text{ ngắt) ; } I_{BS_5} = 0 \text{ } T_5 \text{ bão hòa ; } V_o = V_{CES_5} = 0,3V$$

(2-2-5)

Sắp xếp kết quả tính toán trên đây, ta được bảng chức năng 2.2.1

Bảng 2-2-1 :

BẢNG CHỨC NĂNG ĐIỆN ÁP CỦA MẠCH ĐIỆN HÌNH 2.2.1

V_A (V)	V_B (V)	V_Z (V)
0.3	0.3	3.6
0.3	3.6	3.6
3.6	0.3	3.6
3.6	3.6	0.3

Áp dụng logic dương, ta có bảng chân lí 2.2.2 (suy ra từ bảng 2.2.1)

Bảng 2-2-2 :

BẢNG CHÂN LÍ CỦA CỔNG NAND

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

Bảng 2.2.2 chứng tỏ rằng $Z = \overline{A \cdot B}$, quan hệ logic NAND, kết luận rằng mạch điện hình 2.2.1 là cổng NAND.

2. Đặc tính

A - Đặc tính truyền đạt điện áp

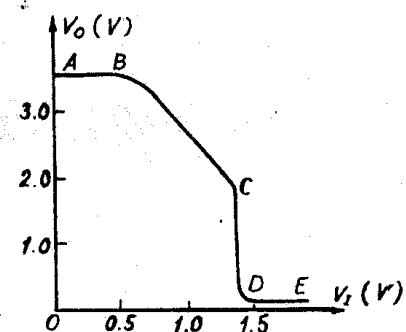
Xem hình 2.2.2. đặc tính truyền đạt điện áp biểu thị quan hệ giữa điện áp đầu ra V_o với điện áp đầu vào V_i .

Phân tích : đặc tính có 4 đoạn AB, BC, CD, DE.

Đoạn AB : $V_i < 0,6V$, $V_o = V_H$ không phụ thuộc V_i . T_1 thông bão hòa. T_2, T_5 ngắt. T_3, T_4 thông.

Tranzito T_5 ngắt, T_5 là đầu ra của cổng NAND ; vậy ta có thể nói cổng NAND ngắt.

Đoạn BC : $V_i = 0,6 \div 1,3V$. V_i tăng thì V_o giảm nhỏ (tỉ lệ nghịch). $V_{B_2} = V_{C_1} = 0,7V$; T_2 ở chế độ khuếch đại. Vì $V_{B_2} < 1,4V$ nên T_5 không thể thông. T_3 và T_4 đều ở chế độ thông với tải emitơ. Vậy trên cơ bản, V_o giảm tuyến tính theo sự tăng của V_i . BC là đoạn tuyến tính của đặc tính truyền đạt.



Hình 2-2-2. Đặc tính truyền đạt điện áp của cổng NAND TTL.

Đoạn CD : $V_I \approx 1,4V$. V_O đột biến giảm khi V_I tăng. $V_O = V_L = 0,3V$
 CD là đoạn quá độ của đặc tính truyền đạt.

Đoạn DE : $V_I > 1,4V$. V_O là mức thấp và không thay đổi theo V_I nữa. V_I tăng làm I_{B1} toàn bộ chảy đến collector C_1 , trở thành dòng bazơ của T_2 . I_{B2} làm T_2 bão hòa, kết quả T_4 ngắt, T_5 bão hòa, $V_O = V_{CES5} = 0,3V$. T_5 bão hòa thì $V_O = V_L$ không thay đổi theo V_I . T_5 là đầu ra của cổng NAND, tương ứng T_5 bão hòa, DE được gọi là đoạn bão hòa của đặc tính truyền đạt, cổng NAND ở trạng thái bão hòa.

Các tham số :

Hình 2.2.3 trình bày các tham số của tổng NAND TTL có thể xác định từ đặc tính truyền đạt. Ngoài mức điện áp ra $V_{OH} \approx 3,6V$, $V_{OL} \approx 0,3V$ ta còn xác định được :

a) Điện áp ngưỡng V_T

Phần quá độ của đặc tuyến phân ranh giới sự ngắt thông của T_5 , tương ứng mức cao thấp của điện áp ra V_O . Vì thế ta gọi V_T là điện áp ngưỡng tương ứng với ranh giới đó. Trên hình 2.2.3, ta thấy :

$$V_T \approx V_{BE2} + V_{BE5} = 0,7 + 0,7 = 1,4V$$

V_T là tham số quan trọng, mấu chốt khi phân tích trạng thái công tác của cổng NAND TTL. Khi $V_I > V_T$ thì NAND bão hòa, đầu ra có mức thấp. Khi $V_I < V_T$ thì NAND ngắt, đầu ra có mức cao.

b) Mức đóng và mức ngắt

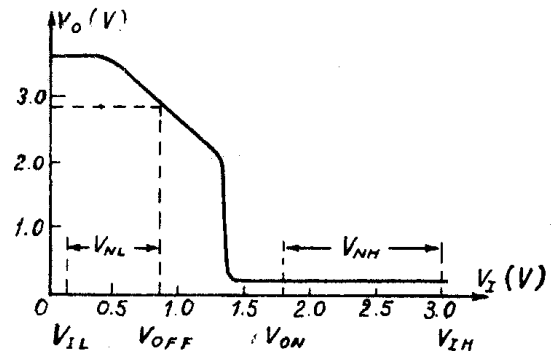
* Mức điện áp đóng cổng V_{OFF} . Đó là mức logic thấp đầu vào cực đại cho phép bảo đảm mức đầu ra bằng 90% của mức cao chuẩn. Trên hình 2.2.3., $V_{OFF} \approx 0,8V$.

* Mức điện áp mở cổng V_{ON} . Đó là giá trị cực tiểu cho phép đối với mức logic cao đầu vào bảo đảm mức logic thấp chuẩn ở đầu ra. Trên hình 2.2.3, $V_{ON} \approx 1,8V$.

V_{OFF} và V_{ON} là hai tham số thường dùng, nó đưa ra giá trị giới hạn cho sự biến thiên cho phép của mức tín hiệu đầu vào trong điều kiện cổng làm việc bình thường. Muốn cổng NAND ngắt tin cậy và đưa ra mức cao chuẩn thì V_I phải nhỏ hơn V_{OFF} . Muốn cổng NAND thông báo hòa tin cậy và đưa ra mức thấp chuẩn thì V_I phải lớn hơn V_{ON} .

c) Mức tạp âm cho phép đối với tín hiệu đầu vào V_N

* Đối với mức thấp. Mức tạp âm cho phép V_{NL} đối với tín hiệu đầu vào mức thấp là điện áp tạp âm (nhiều) xếp chồng với tín hiệu sao cho vẫn bảo đảm mức cao đầu ra không nhỏ hơn 90% mức cao chuẩn.



Hình 2-2-3. Các tham số xác định theo đặc tính truyền đạt.

Từ hình 2.2.3, ta có :

$$V_{NL} = V_{OFF} - V_{IL} \quad (2-2-6)$$

$$V_{OFF} = 0,8V \quad V_{IL} = V_L = 0,3V \quad V_{NL} = 0,5V$$

* Đối với mức cao. Mức tạp âm cho phép V_{NH} đối với tín hiệu đầu vào mức cao là giá trị cực đại cho phép của điện áp tạp âm xếp chồng với tín hiệu sao cho vẫn bảo đảm mức thấp chuẩn ở đầu ra.

Từ hình 2.2.3, ta có :

$$V_{NH} = V_{IH} - V_{ON} \quad (2-2-7)$$

$$V_{ON} = 1,8V \quad V_{IH} = V_H = 3V \quad V_{NH} = 1,2V$$

V_{NL} , V_{NH} là tham số đặc trưng khả năng chống nhiễu của cổng, trị số của chúng càng lớn biểu thị khả năng chống nhiễu càng cao.

Ảnh hưởng của nhiệt độ và nguồn :

Nói chung, biến đổi của nhiệt độ và nguồn điện là nhân tố chủ yếu đối với tính truyền đạt điện áp.

- Ảnh hưởng của sự biến đổi nhiệt độ. Xem hình 2.2.4. Xu hướng tổng quát là : khi nhiệt độ tăng thì V_{OH} , V_{OL} tăng, còn V_T giảm. Nguyên nhân chủ yếu của xu hướng này là V_{BE} của tranzito có hệ số nhiệt độ khoảng $-2,2 \div -2,5 \text{ mV/}^\circ\text{C}$.

Trong mạch điện hình 2.2.1, ta có :

$$V_{OH} \approx E_C - V_{BE3} - V_{BE4}$$

$$V_T = V_{CES1} + V_{BE2} + V_{BE5} \approx V_{BE2} + V_{BE5}$$

Nhiệt độ tăng thì V_{BE} giảm, dẫn đến V_{OH} tăng và V_T giảm.

- Ảnh hưởng của sự biến đổi điện áp nguồn. Xem hình 2.2.5

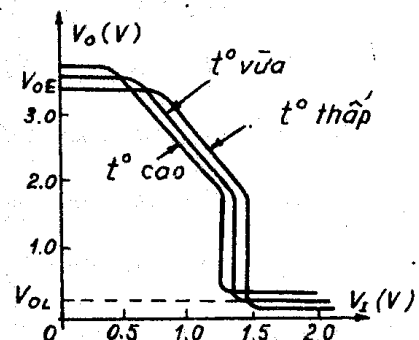
V_{OH} tăng theo E_C :

$$\Delta V_{OH} \approx \Delta E_C$$

Khi cổng NAND đưa ra mức thấp là lúc T_5 bão hòa sâu, $V_{OL} = V_{CES5}$, vì vậy sự biến đổi điện áp nguồn E_C không ảnh hưởng đáng kể đến V_{OL} . Vì V_{CES1} , V_{BE2} , V_{BE5} biến đổi rất nhỏ theo E_C , nên V_T căn bản không thay đổi theo E_C .

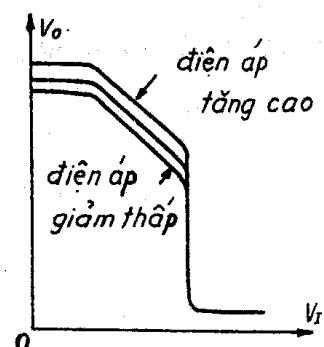
B - Đặc tính đầu vào và đặc tính đầu ra

Cần tìm hiểu đầy đủ đặc tính đầu vào và đặc tính đầu ra của cổng NAND TTL để phối ghép tốt chúng vào mạch điện. Các đặc tính đầu vào đầu ra được xét ở đây sẽ cũng đúng với các vi mạch TTL khác, nếu cấu



Hình 2-2-4.

Ảnh hưởng của nhiệt độ.



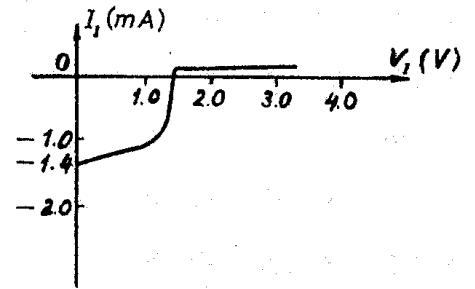
Hình 2-2-5.

Ảnh hưởng của nguồn điện.

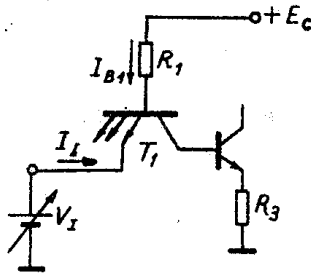
trúc mạch đầu vào, đầu ra và tham số của chúng tương đồng.

* Đặc tính đầu vào

a) *Đặc tính V-A đầu vào.* Xem hình 2.2.6. Đặc tính này biểu thị mối quan hệ giữa dòng điện đầu vào với điện áp đầu vào.



Hình 2-2-6. Đặc tính V-A đầu vào của cổng NAND TTL.



Hình 2-2-7. Chiều dương của V_1 , I_1 .

Theo chiều dương quy ước trên hình 2.2.7,

Khi $V_1 < V_T$ thì $I_1 < 0$

Khi $V_1 < 0,6V$ thì T_2, T_5 ngắt.

$$I_1 = -I_{R_1} = -\frac{E_C - V_{BE1} - V_1}{R_1} \quad (2-2-8)$$

$$\text{Độ dốc đặc tuyến đoạn này } \frac{\Delta I_1}{\Delta V_1} = \frac{1}{R_1}$$

Dòng điện ngắn mạch đầu vào : đó là dòng điện đầu vào khi $V_1 = 0$, kí hiệu I_{IS} . Khi V_1 là mức thấp, cổng NAND TTL thể hiện tải dòng điện hút đối với nguồn tín hiệu V_1 , mà I_{IS} là dòng điện cực đại hút vào V_1 . Đối với mạch điện 2.2.1 thì :

$$I_{IS} = -\frac{E_C - V_{BE1}}{R_1} = -\frac{5 - 0,7}{3} \approx -1,4mA$$

Khi $V_1 > 0,6V$ thì T_2 bắt đầu thông. Các chuyển tiếp b - c và b - e của tranzito đều thông hướng thuận, I_{B1} có một phần chảy đến chuyển tiếp colectơ (b - c), hình thành I_{B2} . V_1 là nguồn ổn áp (chính là điện áp đầu ra của cổng NAND khác có nội trở rất bé), mà chuyển tiếp colectơ có nội trở rất lớn, vì vậy $I_1 \approx -I_{B1}$, độ dốc đặc tuyến vẫn xấp xỉ $\frac{1}{R_1}$. Sau khi tiếp tục tăng đến $V_1 > 1,3V$ thì T_5 bắt đầu thông, V_{B4} bị ghim ở xấp xỉ 2,4V. Nếu V_1 lại tăng thêm một chút thì T_1 sẽ có trạng thái công tác đảo ngược vai trò giữa emitơ và colectơ. Khi đó, β_i rất nhỏ, do vậy :

$$I_1 = \beta_i I_{B1} = \beta_i \frac{E_C - V_{BC1} - V_{BE2} - V_{BE5}}{R_1} \quad (2-2-9)$$

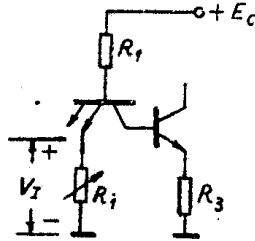
Ví dụ, $R_1 = 3k\Omega$, $\beta_i = 0,01$, $I_1 \approx 10\mu A$

Sau đó, I_1 hầu như không tăng theo V_1 .

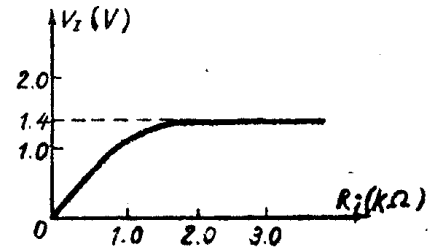
Dòng điện đầu vào : đó là dòng điện đầu vào khi $V_I = V_H$ (mức cao), kí hiệu là I_{IH} . Khi đầu vào ở mức cao, thì cổng NAND TTL thể hiện là phụ tải dòng điện phun đối với nguồn tín hiệu V_I .

b) **Đặc tính phụ tải đầu vào**

Hình 2.2.8 biểu thị tình hình thực tế : đầu vào cổng NAND TTL thường nối đất qua một điện trở R_i . Trong phạm vi nhất định, V_I sẽ tăng theo R_i . Hình 2.2.9 biểu thị đặc tuyến quan hệ V_I với R_i , gọi là đặc tuyến phụ tải đầu vào. Trước khi T_5



Hình 2-2-8. Tính V_I .



Hình 2-2-9. Đặc tính phụ tải đầu vào.

$$\text{thông, thì : } V_I \approx \frac{R_i}{R_1 + R_i} (E_C - V_{BE1}) \quad (2-2-10)$$

Khi R_i rất nhỏ, V_I rất nhỏ, đầu vào tương đương mức thấp, đầu ra là mức cao. Khi R_i rất lớn, ví dụ $R_i = 3k\Omega$, từ (2-2-10) tính được $V_I = 2,5V$. Nhưng giá trị này không đúng vì lúc đó T_5 đã thông. Chỉ cần R_i tăng đến lúc $V_I = 1,4V$, tương ứng $V_{B1} = 2,1V$ thì T_5 đã thông. Với tác dụng ghim mức của các chuyển tiếp colectơ T_1 , chuyển tiếp emitơ T_2 và T_5 khi T_1 , T_2 , T_5 thông nên V_{B1} giữ nguyên mức $2,1V$ dù R_i tăng thêm. Trên hình 2.2.9, $V_I = 1,4$ là giá trị cực đại.

Dựa vào mạch điện hình 2.2.1 ta sẽ tính toán chế độ mạch NAND TTL khi $R_i = 3k\Omega$ như sau.

$$I_{B1} = \frac{E_C - V_{B1}}{R_1} = \frac{5 - 2,1}{3} = 0,97 \text{ mA}$$

$$I_{R_i} = \frac{V_{B1} - V_{BE1}}{R_i} = \frac{2,1 - 0,7}{3} = 0,47 \text{ mA}$$

$$I_{B2} = I_{B1} - I_{R_i} = 0,97 - 0,47 = 0,5 \text{ mA}$$

Giả thiết T_2 bão hòa, nên

$$V_{C2} = V_{BE5} + V_{CES2} = 0,7 + 0,3 = 1V$$

$$I_{CS2} = \frac{E_C - V_{C2}}{R_2} - I_{B3} \approx \frac{E_C - V_{C2}}{R_2} = 5,3 \text{ mA}$$

$$I_{BS2} = \frac{I_{CS2}}{\beta_2} = \frac{5,3}{20} = 0,265 \text{ mA}$$

$I_{B2} > I_{BS2}$ chứng thực giả thiết T_2 bão hòa.

Vì $V_{C2} = 1V$ T_4 ngắt. Đối với T_5 ta có :

$$I_{B5} = I_{E2} - I_{R3}$$

$$I_{E2} = I_{CS2} + I_{B2} \approx 5,3 + 0,5 = 5,8 \text{ mA}$$

$$I_{R3} = \frac{V_{E2}}{R_3} = \frac{V_{BE5}}{R_3} = \frac{0,7}{0,36} \approx 1,94 \text{ mA}$$

$$I_{B5} = I_{E2} - I_{R3} = 5,8 - 1,94 = 3,86 \text{ mA}$$

Vì T_4 ngắt, $I_{CS5} \approx 0$, $I_{BS5} \approx 0$

Mà $I_{B5} > I_{BS5}$ nên T_5 thông bão hòa, đầu ra có mức thấp.

$$V_o = V_{CES5} = 0,3V$$

Ta thấy rằng, tuy đầu vào tín hiệu không phải là mức cao, nhưng đầu ra đã là mức thấp.

Tóm lại, khi R_i tương đối bé thì cổng NAND ngắt, mức cao ở đầu ra.

Khi R_i tương đối lớn thì cổng NAND bão hòa, mức thấp ở đầu ra.

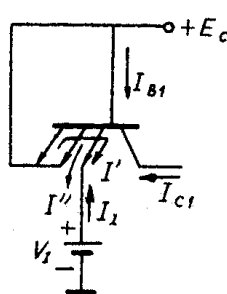
Khi R_i ở giá trị không bé không lớn thì NAND làm việc ở khu vực tuyến tính.

Điện trở đóng cổng R_{OFF} . Đó là giá trị cực đại cho phép của R_i để bảo đảm cổng NAND ngắt hở mạch và tín hiệu đầu ra đạt 90% mức cao chuẩn.

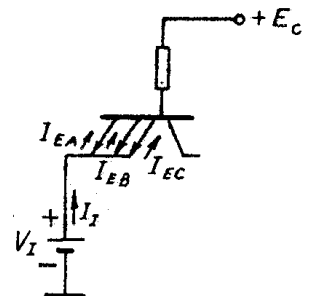
Điện trở mở cổng R_{ON} . Đó là giá trị cực tiểu cho phép của R_i để bảo đảm cổng NAND nối thông mạch và tín hiệu đầu ra đạt mức thấp chuẩn. Từ định nghĩa trên của R_{OFF} và R_{ON} , ta thấy, khi $R_i < R_{OFF}$ thì cổng NAND ngắt hở mạch và đầu ra có mức cao, khi $R_i > R_{ON}$ thì cổng NAND thông bão hòa và đầu ra có mức thấp. Với $R_{OFF} < R_i < R_{ON}$ thì cổng NAND làm việc ở khu vực tuyến tính. Ví dụ, mạch điển hình của cổng NAND TTL trình bày trên hình 2.2.1 thì $R_{OFF} \approx 700\Omega$, $R_{ON} \approx 2k\Omega$

c) *Phương pháp xử lí khi có dư đầu vào và ảnh hưởng của nó đối với đặc tính đầu vào*

Khi số tín hiệu đầu vào ít hơn số đầu vào của cổng NAND, thì có đầu vào dư thừa. Để tránh tạo thành nguồn nhiễu, đầu vào dư không được phép để hở lơ lửng, mà phải nối với cực dương nguồn, hay là nối song song với đầu vào có tín hiệu. Xem hình 2.2.10 và 2.2.11. Phương pháp hình 2.2.10 không đòi hỏi thêm dòng điện nguồn tín hiệu. Phương pháp hình 2.2.11 làm tăng độ tin cậy (phòng khi đầu vào bị đứt) nhưng cần thêm dòng điện



Hình 2-2-10.
Nối đầu vào dư
với cực dương nguồn.



Hình 2-2-11.
Nối song song đầu vào
dư với đầu vào cần dùng.

nguồn tín hiệu. Do khả năng chịu tải của tầng đầu ra mạch TTL tương đối mạnh, nếu tín hiệu đầu vào lấy từ đầu ra TTL thì chúng ta nên dùng phương pháp nối đầu vào dư song song với đầu vào cần dùng khác.

*) Đặc tính đầu ra

a) Đầu vào ở mức thấp

Trước đây ta đã xét trường hợp không tải : khi đầu vào mức thấp thì T_2, T_5 ngắt và đầu ra mức cao $V_{OH} = 3,6V$. Hình 2.2.12 trình bày trường hợp có tải R_L mắc ở đầu ra với chiều dòng điện tải I_L từ emitter T_4 chảy đến R_L .

Khi $I_L = 0, R_5 = 100 \Omega$

Vì I_{B3} rất bé

$$I_{R_5} = I_{C3} \approx I_{E3} = \frac{V_{B3} - V_{BE3}}{R_4}$$

$$V_{B3} = E_C - I_{B3}R_2 \approx E_C = 5V$$

$$I_{R_5} = \frac{V_{B3} - V_{BE3}}{R_4} \approx \frac{5 - 0,7}{3} \approx 1,4 \text{ mA}$$

$$V_{C3} = E_C - I_{R_5}R_5 = 5 - 1,4 \times 0,1 = 4,86 \text{ V}$$

$$\begin{aligned} \text{Vậy : } V_{CE3} &= V_{C3} - (V_{B3} - V_{BE3}) \\ &= 4,86 - (5 - 0,7) = 0,56 \text{ V} \end{aligned}$$

Vậy T_3 ở biên giới vùng bão hòa, còn T_4 ở vùng khuếch đại. T_3 và T_4 là dạng mạch khuếch đại tải emitter vẫn làm việc ở biên giới vùng khuếch đại nên có điện trở đầu ra nhỏ. Giả thiết I_L tăng đến xấp xỉ 5mA, I_{E3} không thay đổi mấy so với khi không tải, do đó :

$$I_{R_5} = I_{E3} + I_L = 1,4 + 5 = 6,4 \text{ mA}$$

$$V_{C3} = E_C - I_{R_5}R_5 = 5 - 6,4 \times 0,1 = 4,36 \text{ V}$$

$$\begin{aligned} V_{CE3} &= V_{C3} - (V_{B3} - V_{BE3}) \\ &= 4,36 - (5 - 0,7) = 0,06 \text{ V} \end{aligned}$$

Vậy T_3 bão hòa sâu, quan hệ giữa V_{OH} với I_L như sau :

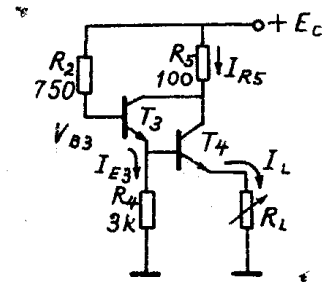
$$\text{Vì } V_{OH} = E_C - V_{CES3} - V_{BE4} - I_L R_5$$

$$I_{R_5} \approx I_L$$

$$\text{nên } V_{OH} \approx E_C - (V_{CES3} + V_{BE4}) - I_L R_5 \quad (2-2-12)$$

$$\text{với } V_{CES3} \approx 0,1 \text{ V}$$

(2.2.12) chứng tỏ rằng, khi $I_L > 5\text{mA}$, thì V_{OH} tỉ lệ nghịch với I_L .



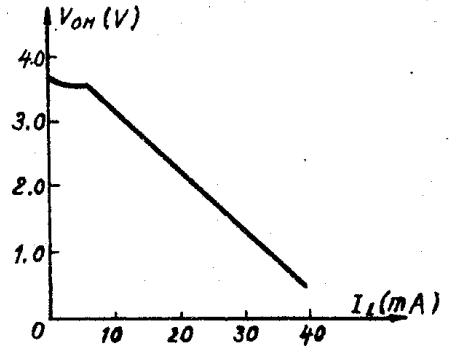
Hình 2-2-12.

Đầu vào ở mức thấp,
Đầu ra có tải.

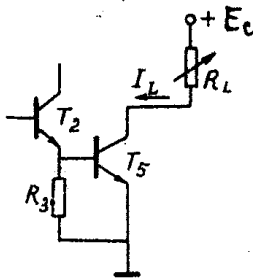
Xem hình 2.2.13

b) Đầu vào ở mức cao

Theo quan hệ logic của cổng NAND, đầu ra có mức thấp. Lúc đó, dòng điện colectơ T_5 cũng là dòng qua tải I_L , với phương hướng từ mạch tải vào T_5 . Xem hình 2.2.14. Hình 2.2.15 biểu thị đặc tuyến ra khi đầu vào mức cao (sự phụ thuộc V_{OL} theo I_L). Vì dòng điện bazơ T_5 rất lớn (4,36 mA), T_5 bão hòa sâu, điện trở tiếp giáp colectơ của T_5 rất nhỏ (hơn chục Ω).



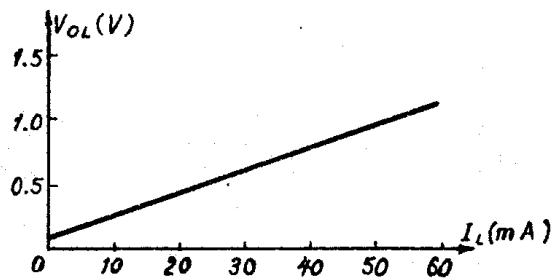
Hình 2-2-13. Đặc tính ra
Khi đầu vào mức thấp.



Hình 2-2-14.

Đầu vào mức cao

Đầu ra có tải.

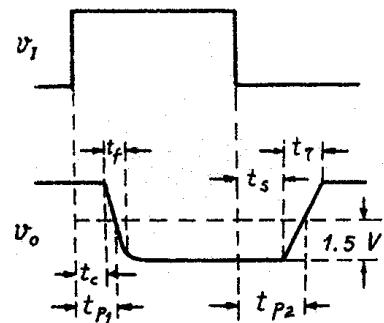


Hình 2-2-15. Đặc tính ra khi đầu vào mức cao.

Do đó, khi I_L tăng thì I_{OL} tăng chậm, V_{OL} và I_L tăng tuyến tính với nhau. Một ưu điểm nữa của sự bão hòa sâu T_5 là V_{OL} không thay đổi đáng kể theo nhiệt độ và điện áp nguồn.

c) Thời gian truyền đạt

Hình 2.2.16 biểu thị xung đầu ra cổng NAND khi đưa đến đầu vào một xung vuông lý tưởng. Xung đầu ra không những bị trễ mà còn có sườn xung xấu. Khi điện áp đầu vào đột biến từ mức thấp lên mức cao, thì điện áp đầu ra sẽ chuyển từ mức cao xuống mức thấp sau thời gian trễ t_d và thời gian sườn âm t_f . Khi điện áp đầu vào đột biến từ mức cao xuống mức thấp thì điện áp đầu ra sẽ chuyển từ mức thấp lên mức cao sau thời gian tổn trử t_s và thời gian sườn dương t_r .



Hình 2-2-16. Thời gian truyền đạt
của NAND TTL.

Thường gọi khoảng thời gian từ đột biến dương của tín hiệu đầu vào đến thời điểm điện áp ra giảm còn 1,5V là thời gian truyền đạt thông t_{p1} ; tương tự, thường gọi khoảng thời gian từ đột biến âm của tín hiệu đầu vào đến thời điểm điện áp ra tăng đến 1,5V

là thời gian truyền đạt ngắt t_{p2} . Trong các số tay kĩ thuật về vi mạch, ta nhận được thời gian truyền đạt trung bình :

$$t_{pd} = \frac{t_{p1} + t_{p2}}{2} \quad (2-2-13)$$

Rất khó tính toán chính xác giá trị t_{pd} , nói chung t_{pd} được xác định bằng thực nghiệm đo lường.

D - Chỉ tiêu chủ yếu

**) Mức cao tín hiệu đầu ra V_{OH}*

Khi bất kì đầu vào nào có mức thấp thì đầu ra đều phải là mức cao V_{OH} . Trên đặc tính truyền đạt điện áp, V_{OH} là điện áp đầu ra tương ứng với đoạn AB. Vì V_{OH} được đo khi không tải, nên tương ứng với khởi điểm của đặc tuyến đầu ra.

**) Mức thấp tín hiệu đầu ra V_{OL}*

Khi tất cả đầu vào đều có mức cao thì đầu ra phải là mức thấp V_{OL} . Trên đặc tính truyền đạt điện áp, V_{OL} là điện áp đầu ra tương ứng với đoạn DE. Thường V_{OL} được đo khi phụ tải chuẩn, với dòng điện phụ tải chảy vào đầu ra tranzito T_5 . (Phụ tải hút).

**) Dòng điện ngắn mạch đầu vào I_{IS}*

Đó là dòng điện chảy qua đầu vào nào nối đất. Trên đặc tính đầu vào, I_{IS} tương ứng với giá trị dòng điện ở điểm cắt của đặc tuyến với trục tung. Vì dòng điện I_{IS} từ đầu vào chảy ra ngoài, nên trên đặc tuyến thể hiện giá trị âm. Khi đo giá trị I_{IS} của một đầu vào bất kì, những đầu vào khác đều được nối vào mức cao, chỉ trong điều kiện đó thì I_{IS} đo được có giá trị cực đại. Tuy vậy, vì dòng điện dò giao thoa bé không đáng kể, nên cũng có thể mặc kệ các đầu vào khác lơ lửng để việc đo đơn giản.

**) Dòng điện đầu vào I_{IH}*

Khi một đầu vào bất kì có mức cao thì cũng có dòng điện chảy vào đầu vào đó. Dòng điện này bao gồm hai bộ phận : dòng điện emitter của T_1 ở trạng thái đảo và dòng điện dò giao thoa giữa đầu vào đó với các đầu vào dư khác được nối đất. Chiều dòng điện phù hợp với quy ước nên có dấu dương. Giá trị I_{IH} tương ứng với phần nằm trên trục hoành trong đặc tuyến đầu vào (đặc tính V - A đầu vào hình 2.2.6)

**) Mức điện áp mở cổng V_{ON}*

Để đầu ra có mức thấp chuẩn khi phụ tải lớn nhất, thì đầu vào phải ở mức cao. Giới hạn dưới của mức cao đầu vào gọi là điện áp mở cổng V_{ON} . Nghĩa là, điện áp đầu vào phải lớn hơn V_{ON} để cổng NAND thông. Từ đặc tính truyền đạt điện áp có thể thấy rằng V_{ON} phải lớn hơn V_T một chút.

*) Mức điện áp đóng cổng V_{OFF}

V_{OFF} là mức điện áp đầu vào tương ứng để điện áp đầu ra đạt 90% V_{OH} chuẩn. Từ đặc tính truyền đạt điện áp có thể thấy rằng V_{OFF} tương ứng với vùng tuyến tính của đặc tuyến, về giá trị thì lớn hơn 0,6V một chút. Vậy điện áp đầu vào phải nhỏ hơn V_{OFF} để cổng NAND ngắt (T_S hở mạch).

*) Hệ số tải đầu ra N_O

Khi tải là cổng NAND cùng số hiệu, thì hệ số tải đầu ra N_O là số lượng cực đại các cổng NAND mắc song song làm tải mà một cổng NAND gánh được.

Căn cứ vào hệ số tải đầu ra N_O , dòng điện ngắn mạch đầu vào I_{IS} , dòng điện đầu vào I_{IH} , ta có thể tính được dòng điện phụ tải cực đại ở trạng thái thông $N_O I_{IS}$ ở trạng thái ngắt $N_O I_{IH}$ của một cổng NAND.

*) Dòng điện nguồn khi NAND thông và ngắt I_{E1} , I_{E2}

I_{E1} là dòng điện yêu cầu nguồn điện cung cấp cho cổng NAND khi cổng NAND thông với toàn bộ đầu vào hở mạch và đầu ra không tải.

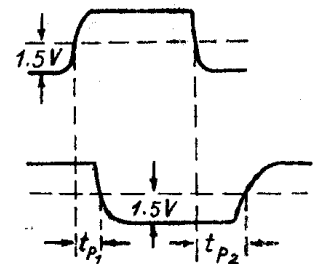
I_{E2} là dòng điện yêu cầu nguồn điện cung cấp cho cổng NAND khi cổng NAND ngắt với đầu vào ở mức thấp và đầu ra không tải.

Tuy quy định điều kiện không tải, cũng cần chỉ rõ rằng : phụ tải ảnh hưởng lớn đến I_{E2} vì NAND phải cung cấp dòng cho tải. Phụ tải ảnh hưởng nhỏ đến I_{E1} vì T_S bão hòa.

Căn cứ vào I_{E1} , I_{E2} và E_c có thể tính được tổn hao không tải trong hai trường hợp.

*) Thời gian truyền đạt trung bình t_{pd}

Trên đây là định nghĩa t_{pd} với giả thiết tín hiệu đầu vào có dạng xung lí tưởng. Thực tế, xung đầu vào vẫn có sườn dương và sườn âm. Vậy phải lấy giá trị 1,5V là chuẩn cho thời điểm đột biến từ mức thấp lên mức cao, và ngược lại, cho tín hiệu vào, trên cơ sở đó xác định t_{p1} , t_{p2} . Xem hình 2.2.17.



Hình 2-2-17. Xác định thời gian truyền đạt.

Bảng 2.2.3 là chỉ tiêu chủ yếu của cổng NAND TTL tương ứng mạch hình 2.2.1. Trong thực tế, sản phẩm vi mạch NAND TTL rất phong phú, nên cần tham khảo tài liệu kĩ thuật của hãng sản xuất để có tham số chính xác ; những tham số đó sai lệch đáng kể với tham số điển hình của bảng 2.2.3.

Bảng 2-2-3 : CÁC CHỈ TIÊU CHỦ YẾU CỦA CỔNG NAND TTL

Tên tham số	Kí hiệu	Đơn vị	Điều kiện đo	Phạm vi
Dòng nguồn khi thông	I_{E1}	mA	Đầu vào hở ; Đầu ra không tải ; $E_c = 5V$	≤ 10
Dòng nguồn khi ngắt	I_{E2}	mA	$V_i = 0$; Không tải ; $E_c = 5V$	≤ 5
Mức ra cao	V_{OH}	V	$V_i = 0,8V$; không tải ; $E_c = 5V$	$\geq 3,0$
Mức ra thấp	V_{OL}	V	$V_i = 1,8V$; $I_L = 12,8mA$; $E_c = 5V$	$\leq 0,35$
Dòng ngắn mạch đầu vào	I_{IS}	mA	$V_i = 0$; $E_c = 5V$	$\leq 2,2$
Dòng điện đầu vào	I_{IH}	μA	$V_i = 5V$; Đầu vào khác nối đất ; $E_c = 5V$	≤ 70
Mức mở cổng	V_{on}	V	$V_{OL} = 0,35V$; $I_L = 12,8 mA$; $E_c = 5V$	$\leq 1,8$
Mức đóng cổng	V_{off}	V	$V_{OH} = 2,7V$; không tải, $E_c = 5V$	$\geq 0,8$
Hệ số tải đầu ra	N_o		$V_i = 1,8V$; $V_{OL} \leq 0,35V$; $E_c = 5V$	≥ 8
Thời gian truyền đạt	t_{pd}	ns	$f = 2MHz$; $N_o = 8$; $E_c = 5V$	≤ 30

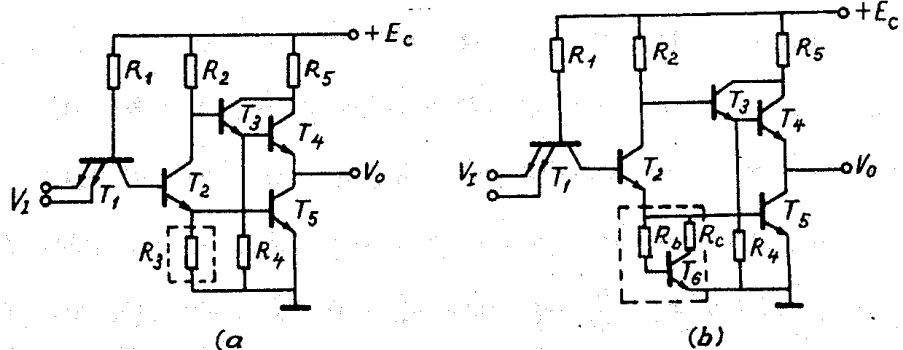
3) Các hình thái cải tiến mạch cổng NAND

Sự ứng dụng vi mạch số đã thúc đẩy sự phát triển nhanh chóng của kĩ thuật điện tử. Đồng thời, thực tiễn ứng dụng cũng đưa ra yêu cầu mới cao hơn đối với vi mạch số. Đặc biệt là các yêu cầu về : tốc độ cao, tiêu hao giảm, năng lực chống nhiễu, độ tích hợp v.v... để thỏa mãn yêu cầu đó, người ta cải tiến loại vi mạch số đã có, hoặc sáng chế các vi mạch số mới. Dưới đây, giới thiệu hai kiểu mạch cải tiến của cổng NAND TTL đã được dùng rộng rãi.

a) Mạch có nguồn phóng điện. hình 2.2.18

Trong mạch cải tiến 2.2.18b, mạch tính cực T_6 , R_b , R_c thay thế R_3 trong mạch 2.2.18a.

Mạch cải tiến là mạch nguồn điều khiển hình thành thành mạch phóng điện cho bazơ T_5 .

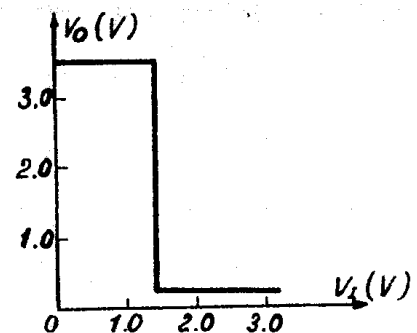


Hình 2-2-18. Mạch NAND TTL có nguồn phóng điện :

a) Mạch gốc ; b) Mạch cải tiến.

* Cải tiến đặc tính truyền đạt điện áp

Vì emitor T_2 chỉ có thể thông qua mạch emitor T_5 , T_6 , nên trước khi T_5 , T_6 thông thì mạch cải tiến chẳng khác gì mạch gốc và không còn giai đoạn T_2 thông mà T_5 vẫn chưa thông. Trong mạch gốc, giai đoạn T_2 thông mà T_5 chưa thông tương ứng phần tuyến tính trên đặc tuyến truyền đạt điện áp. Hình 2.2.19 là đặc tính truyền đạt của mạch 2.2.18b, không có phần tuyến tính nữa.



Hình 2-2-19. Đặc tính truyền đạt điện áp của mạch cải tiến hình 2.2.18b.

Từ hình 2.2.19, ta nhận thấy mức tạp âm cho phép khi đầu vào mức thấp của mạch cải tiến lớn hơn mạch gốc rõ rệt, $V_{NL} \approx 1V$.

* Cải tiến thời gian truyền đạt.

Khi V_i đột biến từ mức thấp đến xấp xỉ $1,4V$ thì cả T_5 , T_6 đều bắt đầu thông. Ở thời điểm bắt đầu thông, hầu như toàn bộ dòng emitter T_2 chảy đến bazơ T_5 , cung cấp cho T_5 xung dòng rất lớn (vượt quá giá trị cần để T_5 thông bão hòa), vì vậy giảm nhỏ thời gian trễ thông mạch của T_5 . Có thể đạt được điều đó là vì R_b nối tiếp bazơ của T_6 , sự nạp điện điện dung chuyển tiếp emitter T_6 chậm hơn sự nạp điện điện dung chuyển tiếp emitter T_5 . Kết quả T_6 thông chậm hơn T_5 một chút. Còn sau khi T_6 đã thông thì mạch T_6 phân dòng cho bazơ T_5 , giảm nhỏ dòng bazơ ở trạng thái ổn định, giảm bớt độ bão hòa của T_5 , có lợi cho sự tăng tốc quá trình ngắt mạch của T_5 .

Sau khi điện áp đầu vào có đột biến âm, T_2 ngắt đầu tiên. Tiếp đó, điện tích tồn trữ của T_5 sẽ được phóng qua mạch T_6 . Lúc này T_6 vẫn thông bão hòa, biểu thị một điện trở nhỏ của mạch phóng điện. Kết quả, T_5 nhanh chóng rời vùng bão hòa và ngắt hở mạch.

Vậy mạch tích cực T_6 , R_b , R_c thay thế R_3 đem lại sự cải tiến : rút ngắn thời gian tồn trữ động, rút ngắn thời gian trễ thông, dẫn đến rút ngắn rõ rệt thời gian truyền đạt trung bình.

Hiện nay mạch điện hình 2.2.18.b là cổng NAND TTL được dùng rộng.

b) Mạch điện chống bão hòa

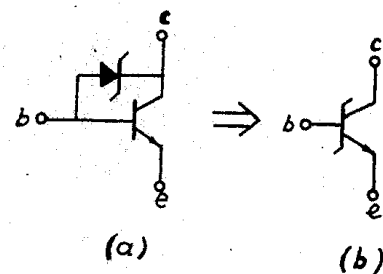
Ta đã biết rằng, tốc độ đóng mở của tranzito chịu ảnh hưởng lớn của thời gian tồn trữ. Độ sâu bão hòa của tranzito trực tiếp quyết định thời gian tồn trữ, bão hòa càng sâu, điện tích tồn trữ càng nhiều, thời gian tồn trữ (thời gian để tiêu tán điện tích đã tồn trữ) càng dài. Đối với cổng NAND TTL thì thời gian tồn trữ là phần chủ yếu của thời gian truyền đạt. Người ta tìm cách hạn chế độ sâu bão hòa của tranzito, giảm được điện tích tồn trữ, rút ngắn thời gian tồn trữ, kết quả giảm nhỏ thời gian truyền đạt.

Trong mạch điện chống bão hòa, người ta giải quyết vấn đề quá bão hòa của tranzito bằng phương pháp ghim mức nhờ SBD (Schottky Barrier Diode - Diốt rào thế Sôtki). Hình 2.2.20 giới thiệu nguyên lý phương pháp này. Người ta đấu nối SBD song song với chuyển tiếp b-c của tranzito ; nhờ vậy dòng điện bazơ có phần quá mức chảy qua SBD, mà không phun điện tích tồn trữ quá mức vào vùng colectơ.

SBD được chế tạo từ kim loại tiếp xúc bán dẫn.

SBD có mấy đặc điểm sau đây so với diốt thường : Hình 2-2-20. Tranzito kháng bão hòa :

- Điện áp mở tương đối thấp, khoảng $0,4 \div 0,5V$ (điện áp mở của diốt thường $0,7 \div 0,8V$)



a) mạch điện ; b) Kí hiệu.

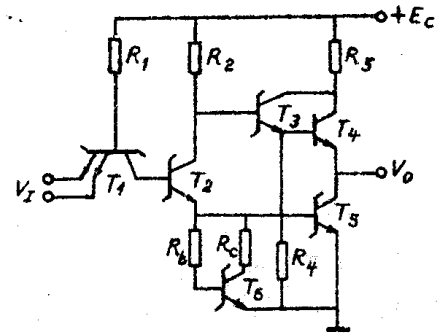
Sau khi chuyển tiếp b-c của tranzito chuyển sang phân cực thuận, SBD thông trước sẽ ghim điện áp thuận giữa b - c ở mức $0,4 \div 0,5V$.

- SBD không có hiệu ứng tổn trữ điện tích, vì vậy SBD không đưa thêm thời gian trễ vào mạch điện.

- Công nghệ chế tạo SBD là công nghệ chế tạo vi mạch TTL, vì thế việc cải tiến này không gây khó khăn cho sản xuất.

Nhờ các đặc điểm trên, việc dùng SBD giải quyết ổn thỏa vấn đề quá bão hòa của tranzito làm cho có thể xem tổng thể tranzito và SBD như một cấu kiện, được gọi là tranzito Sôtki, ký hiệu như hình 2.2.20b.

Hình 2.2.21 là mạch điện điển hình của NAND TTL chống bão hòa. Mạch điện này đồng thời sử dụng nguồn phóng điện và chống bão hòa, kết quả rút ngắn thời gian truyền đạt trung bình xuống dưới 10ns. Trong mạch này, vì T_4 không bước vào trạng thái bão hòa nên không cần SBD. T_1 cũng có SBD nên điện áp rơi trên chuyển tiếp b - c của T_1 khi ở trạng thái làm việc đảo là thấp hơn so với mạch gốc. Do đó dòng điện đầu vào giảm nhỏ, điện trở đầu vào tăng cao. Nhược điểm chủ yếu của mạch chống bão hòa là năng lực chống nhiễu hơi kém. Vì điện áp rơi trên T_5 thông tăng lên làm mức thấp của tín hiệu đầu ra tăng lên. Mặt khác, điện áp rơi trên T_1 thông tăng lên dẫn đến giảm nhỏ điện áp ngưỡng V_T . Vì vậy mức tạp âm cho phép đối với tín hiệu đầu vào mức thấp V_{NL} nhỏ hơn so với mạch gốc.



Hình 2-2-21.

Mạch NAND TTL chống bão hòa.

Nói chung, người ta thường dùng vi mạch TTL Sôtki tiêu hao công suất bé (họ vi mạch 74 LS). Trong loại vi mạch này, không chỉ áp dụng phương pháp nguồn phóng điện và phương pháp chống bão hòa, mà còn tăng lớn các điện trở. Nhờ vậy tốc độ công tác cao, công suất tổn hao giảm nhỏ.

TÓM TẮT

1) Chúng ta đã thảo luận đặc tính ngoài của cổng NAND TTL, tức là quan hệ giữa áp và dòng của mạch điện. Đặc tính ngoài bao gồm : đặc tính truyền đạt điện áp, đặc tính đầu vào và đặc tính đầu ra. Để sử dụng chính xác vi mạch TTL, cần hiểu rõ các đặc tính ngoài trên.

2) Chúng ta đã bàn các quá trình làm việc bên trong cổng NAND TTL để hiểu sâu và vận dụng tốt các đặc tính ngoài.

3) Trong điều kiện công nghệ chế tạo hiện nay, giá trị điện trở trong mạch điện có sai lệch lớn, nên đặc tính ngoài của vi mạch cùng số hiệu cũng sai lệch nhau. Số liệu định lượng dựa vào hình 2.2.1 để tính. Mục đích sự giới thiệu về số liệu là giúp độc giả có khái niệm cấp số lượng thực tế của tham số cấu kiện.

Vì nguyên nhân nói trên, các sổ tay kĩ thuật không cho đặc tuyến, mà chỉ cho phạm vi có thể của đặc tính ngoài. Vì thế, chúng ta phải nắm vững xu hướng biến đổi của đặc tính ngoài.

2.2.2. Các loại mạch cổng TTL khác

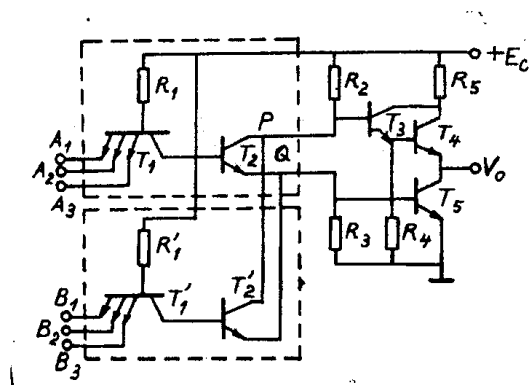
Trong hệ thống số thực tế, tính năng logic cần thiết vô cùng đa dạng. Do đó, ngoài cấu kiện cơ bản là cổng NAND, chúng ta còn sử dụng nhiều cổng khác : cổng NOR, cổng NORAND, cổng AND, cổng OR, cổng XOR, cổng hở colectơ và cổng ba trạng thái v.v...

Tuy rằng chúng loại cổng rất nhiều, nhưng các loại cổng đều có cấu trúc tương tự cổng NAND, hoặc bao gồm các bộ phận đã cấu trúc nên cổng NAND. Trên cơ sở nắm vững nguyên lý công tác và phương pháp phân tích của mạch điện cổng NAND, chúng ta dễ dàng tìm hiểu mạch điện các loại cổng khác. Dưới đây, chúng tôi giới thiệu ngắn gọn một vài cổng thường dùng.

1) Cổng NORAND

Xem hình 2.2.22.

So sánh với cổng NAND, mạch điện hình 2.2.22 có thêm T'_1 , T'_2 và R'_1 . Phần mạch thêm giống như phần mạch T_1 , T_2 và R_1 . Đầu ra của T_2 và T'_2 nối song song với nhau ở 2 điểm P và Q. Bất kì T_2 hoặc T'_2 thông, đều làm T_5 thông bão hòa, T_4 ngắt, đầu ra có mức thấp. Chỉ khi nào cả T_2 và T'_2 đồng thời ngắt, thì đầu ra mới có mức cao. Vậy quan hệ giữa đầu vào với đầu ra của mạch này là : khi nhóm đầu vào $A_1 \div A_3$ hoặc nhóm đầu vào $B_1 \div B_3$ đều là mức cao thì đầu ra là mức thấp, còn chỉ cần một nhóm đầu vào không phải toàn là mức cao thì đầu ra là mức cao. Quan hệ logic này là NORAND (VÀ - HOẶC - ĐẢO).



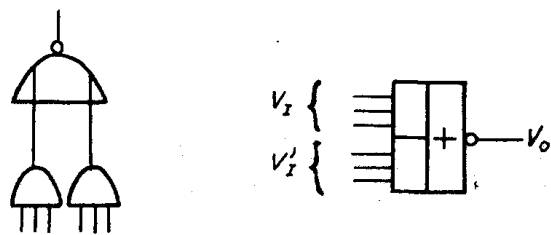
Hình 2-2-22. Mạch cổng NORAND TTL.

Từ hình 2.2.22 ta thấy, quan hệ AND giữa các tín hiệu đầu vào trong mỗi nhóm do tranzito nhiều emitor T_1 , T'_1 thực hiện, quan hệ OR giữa hai nhóm do sự nối song song T_2 và T'_2 thực hiện, tác dụng NOT do tầng mạch điện đầu ra thực hiện. Cổng NORAND có kí hiệu như hình 2.2.23. Biểu thức logic của cổng NORAND là :

$$Z = \overline{A_1 \cdot A_2 \cdot A_3 + B_1 \cdot B_2 \cdot B_3} \quad (2-2-13)$$

2) Cổng XOR

Quan hệ logic XOR là quan hệ không có tín hiệu đầu ra khi các mức đầu vào tương đồng, còn chắc có tín hiệu đầu ra khi các mức đầu vào không tương đồng. Mạch điện thực hiện quan hệ logic XOR (hàm không tương đương) gọi là cổng XOR. Hình 2.2.24 là mạch điện thực của cổng XOR. Trên hình, phần bên phải là tương tự với tầng ra và tầng giữa của cổng



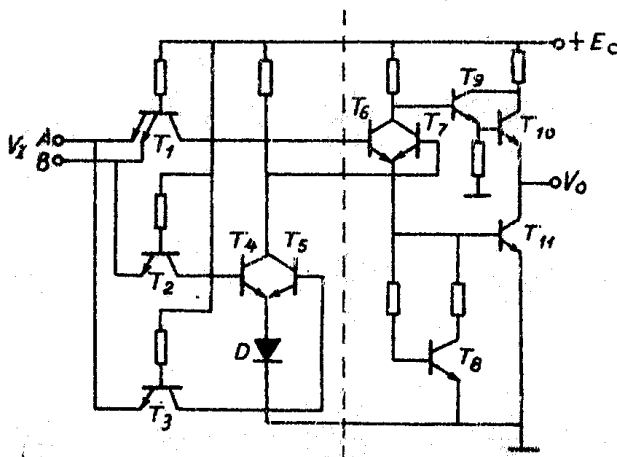
Hình 2-2-23. Hai cách kí hiệu của cổng NORAND.

NAND. T_6 và T_7 nối song song với các emitter và collector, vì vậy khi một trong hai tranzito này thông báo hòa thì đầu ra sẽ có mức thấp.

Khi A, B đều là mức cao, T_1 đảo cực, T_6 và T_{11} thông báo hòa, V_o có mức thấp. Ngược lại, nếu A, B cùng ở mức thấp thì T_4 và T_5 đều ngắt, T_7 và T_{11} thông báo hòa, V_o vẫn là mức thấp.

Nếu A hoặc B, một trong hai đầu vào có mức thấp, đầu vào kia có mức cao thì T_1 phân cực thuận thông báo hòa, T_6 ngắt, T_4 hoặc T_5 có một tranzito thông báo hòa (ứng với một đầu vào có mức cao) làm cho bazơ T_7 có mức thấp. Và lại, emitter của T_4 và T_5 nối đất qua diốt, sau khi có một trong hai tranzito thông báo hòa, điện thế bazơ T_7 cỡ 1V làm cho T_7 ngắt. T_6 và T_7 đều ngắt thì T_{11} tất nhiên cũng ngắt, đầu ra có mức cao.

Bảng 2-2-4 : BẢNG CHÂN LÍ CÔNG XOR



Hình 2-2-24. Mạch cổng XOR TTL.

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0



Hình 2-2-25. Kí hiệu cổng XOR.

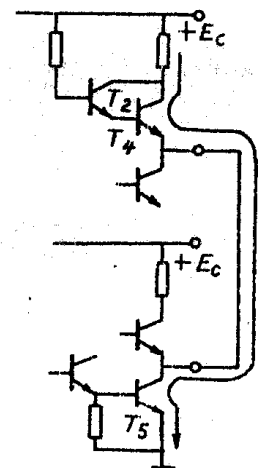
Biểu thức hàm logic XOR :

$$Z = A\bar{B} + \bar{A}B = A \oplus B \quad (2-2-14)$$

Đọc là : Z bằng A XOR B

3) Cổng NAND hở collector

Trong mạch cổng NAND TTL, dù tín hiệu đầu ra tích cực ở mức cao hay thấp, thì điện trở đầu ra đều rất nhỏ. Vì vậy, chúng ta không thể thực hiện quan hệ logic AND đối với các tín hiệu đầu ra của cổng NAND bằng cách đầu nối song song đầu ra của chúng. Hình 2.2.26 giải thích tại sao không thể. Gặp trường hợp một đầu ra có mức cao, một đầu ra có mức thấp, thì tất sẽ xuất hiện dòng điện rất lớn chảy từ tranzito T_4 của cổng ngắt chảy đến tranzito T_5 của cổng thông. Dòng điện này không những tăng cao mức thấp đầu ra cổng thông, mà còn làm hỏng cổng ngắt.



Hình 2-2-26. Tình huống đầu ra cổng NAND trực tiếp nối nhau.

Có thể nối trực tiếp đầu ra các cổng NAND hở colectơ để thực hiện quan hệ logic AND đối với tín hiệu đầu ra của các cổng NAND. Hình 2.2.27 giới thiệu mạch điện hình NAND hở colectơ. (Open collector - OC). Colectơ của tranzito T_5 đầu ra để hở lơ lửng.

Dưới đây, ta xét cách tính điện trở R_L mắc ở ngoài vi mạch. Xem hình 2.2.29. Giả thử có n cổng NAND hở colectơ, đầu ra nối chung (song song) để có quan hệ logic AND, phụ tải là m đầu vào của cổng NAND.

Khi n cổng OC đều ngắt, điện áp đầu ra V_o ở mức cao. Để bảo đảm mức cao đầu ra không nhỏ hơn giá trị chuẩn, thì R_L không thể quá lớn. Dưới đây là công thức tính giá trị cực đại của T_L :

$$R_{Lmax} = \frac{E_C - V_{OH}}{nI_{OH} + mI_{IH}} \quad (2-2-15)$$

V_{OH} là giá trị chuẩn điện áp ra mức cao của cổng OC. I_{OH} là dòng điện dò khi tranzito đầu ra cổng OC ngắt. I_{IH} là dòng điện đầu vào của mỗi phụ tải.

Khi bất kì một cổng OC nào thông, V_o là mức thấp. Tình trạng bất lợi nhất là khi m dòng điện phụ tải chảy vào cổng OC duy nhất đang thông. Khi đó, cần bảo đảm mức thấp đầu ra vẫn nhỏ hơn giá trị chuẩn.

Căn cứ tình hình đó được biểu thị ở hình 2.2.30, ta tính được giá trị cực tiểu của R_L :

$$R_{Lmin} = \frac{E_C - V_{OL}}{I_{LM} - mI_{IL}} \quad (2-2-16)$$

I_{LM} là giá trị cực đại cho phép của dòng điện phụ tải của mỗi cổng OC.

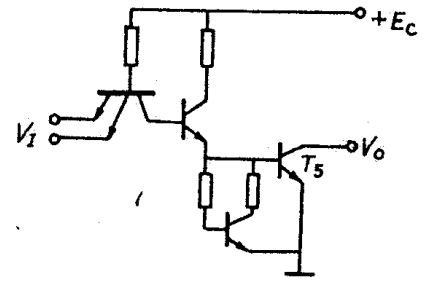
I_{IL} tức là I_{IS} , dòng điện ngắn mạch đầu vào của mỗi cổng phụ tải.

Giá trị lựa chọn đối với R_L phải là giá trị ở giữa khoảng hai giá trị R_{Lmin} và R_{Lmax} .

Dương nhiên, các loại cổng TTL khác cũng có thể có hình thức hở colectơ...

4) Cổng NAND đầu ra 3 trạng thái (Three state - TS)

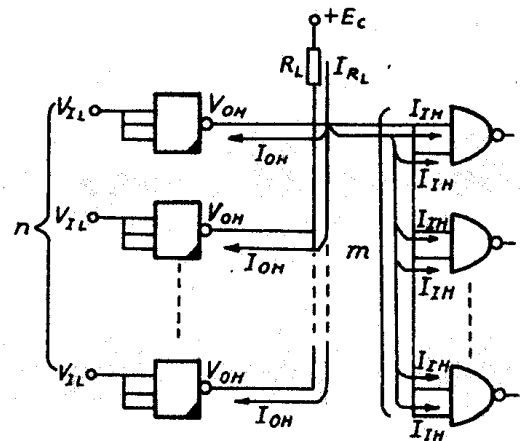
Khác với cổng NAND thông thường, đầu ra cổng TS ngoài trạng thái mức cao, trạng



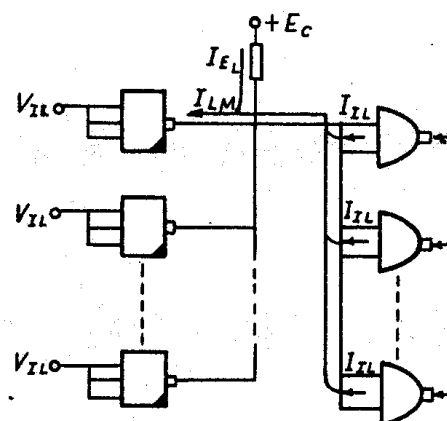
Hình 2-2-27.
Mạch cổng NAND hở colectơ.



Hình 2-2-28.
Kí hiệu cổng NAND hở colectơ.



Hình 2-2-29.
Tính giá trị cực đại của R_L .



Hình 2-2-30. Tính giá trị cực tiểu của R_L .

thái mức thấp, còn có trạng thái cấm (trở kháng cao).

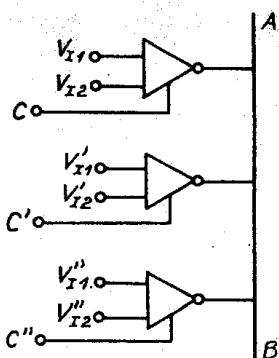
Hình 2.2.31 là mạch điện thực tế của cổng TS. Có thể cho rằng cổng TS này bao gồm 2 cổng NAND và diốt D_2 . Phần bên phải là cổng NAND có nguồn phóng điện. Phần bên trái có cổng NAND, trong đó không dùng mạch Daliton mà chỉ có tranzito T_3 ở tầng ra. Emitơ của T_3 nối tiếp với diốt D_1 để bảo đảm T_3 ngắt tín hiệu khi T_2 và T_4 thông.

Khi đầu vào C có mức thấp, T_4 đưa ra tín hiệu mức cao cho T_5 . Phần mạch bên phải thực hiện hàm logic $V_o = Z = A \cdot B = V_{11} \cdot V_{12}$. Khi đầu vào C có mức cao, T_4 đưa ra tín hiệu mức thấp cho T_5 , làm cho T_6, T_7, T_{10} ngắt. Đồng thời, mức thấp đầu ra T_4 thông qua D_2 đến bazơ T_8 , ghìm nó ở xấp xỉ 1V, làm T_9 ngắt. Từ đầu ra nhìn vào, mạch điện ở trạng thái trở kháng cao.

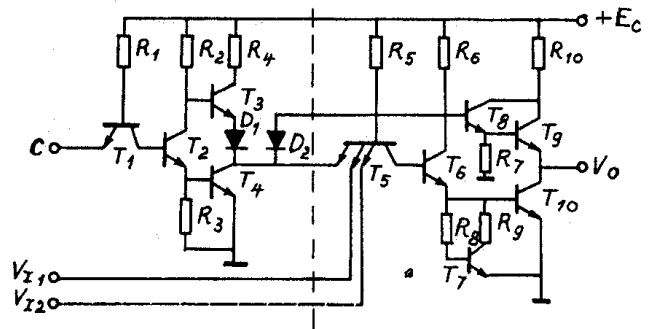
Chúng ta gọi phần mạch bên trái là phần điều khiển của cổng TS, đầu vào C là đầu điều khiển. Còn phần bên phải được gọi là phần truyền số liệu, các đầu vào V_{11}, V_{12} là đầu vào số liệu. Gọi trạng thái TS khi C có mức thấp là trạng thái công tác, khi C có mức cao là trạng thái trở kháng cao.

Hình 2.2.32 là kí hiệu cổng TS. Hình a là loại cổng TS công tác khi đầu điều khiển ở mức cao. Hình b là loại cổng TS công tác khi đầu điều khiển ở mức thấp (có khuyên tròn). Khi sử dụng cổng TS cần chú ý tín hiệu điều khiển.

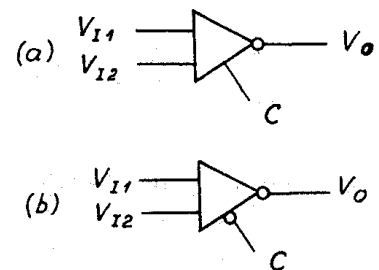
Ứng dụng quan trọng nhất của cổng TS là ghép kênh các tín hiệu cần truyền luân lưu trên một dây dẫn. Xem hình 2.2.33.



Hình 2-2-33. Ví dụ ứng dụng cổng TS.



Hình 2-2-31. Cổng NAND đầu ra 3 trạng thái.



Hình 2-2-32. Kí hiệu cổng TS :

- a) TS công tác với C mức cao ;
- b) TS công tác với C mức thấp.

Thường gọi dây dẫn AB tiếp nhận các tín hiệu là Bus. Nếu các tín hiệu điều khiển C, C' và C'' có thứ tự thời gian ở mức cao, thì các tín hiệu dữ liệu của 3 nhóm đầu vào $V_{11}, V_{12}; V'_{11}, V'_{12}; V''_{11}, V''_{12}$ sau khi thực hiện quan hệ logic NAND sẽ đưa ra Bus luân lưu theo thứ tự thời gian tương ứng.

Cấu trúc Bus được dùng rộng rãi trong máy tính điện tử số hiện đại.

Cần chú ý rằng, để các cổng TS nối vào một Bus làm việc bình thường thì ở một thời điểm bất kì chỉ cho phép một cổng TS duy nhất ở trong trạng thái công tác. Để bảo đảm điều kiện này, khi các cổng TS chuyển đổi trạng thái, thì tốc độ chuyển từ trạng thái công tác sang trạng thái trở kháng cao phải nhanh hơn tốc độ chuyển từ trạng thái

trở kháng cao sang trạng thái công tác. Nếu không, sẽ xảy ra sự cố có hai cổng TS thông nối với Bus. Lúc đó, nếu đầu ra một cổng mức cao, đầu ra cổng kia mức thấp, sẽ sinh ra dòng điện rất lớn từ cổng mức cao đến cổng mức thấp. Kết quả, không những sai về logic của tín hiệu, mà còn có thể làm hỏng mạch điện cổng.

2.2.3. CÁC MẠCH CỔNG TRANZITO KHÁC

Trong mạch điện vi mạch số tranzito, vi mạch TTL có ứng dụng rộng rãi nhất. Vì vi mạch TTL có các ưu điểm : tốc độ đóng mở cao, điện áp ra đủ lớn, khả năng chống nhiễu khá, khả năng chịu tải khá. Tất nhiên, còn có các loại mạch cổng tranzito khác có những đặc điểm sử dụng riêng.

1) HTL (High Threshold Logic = Vi mạch số mức ngưỡng cao)

Điện áp ngưỡng của HTL tương đối cao, thường $7 \div 8V$. Vậy nên mức tạp âm cho phép lớn, năng lực chống nhiễu cao. Nhưng tốc độ HTL tương đối thấp. HTL rất phù hợp với các thiết bị điều khiển của công nghiệp. Các thiết bị này không cần tốc độ cao hơn, nhưng cần độ tin cậy cao. Mà năng lực chống nhiễu là tiêu chuẩn quan trọng đánh giá độ tin cậy của thiết bị điều khiển.

2) ECL (Emitter Coupled Logic = Vi mạch số ghép emitor)

...Ưu điểm chủ yếu của ECL là thời gian đóng mở ngắn, khả năng chịu tải lớn, tạp âm nội bộ thấp, tỉ lệ thành phẩm khi sản xuất cao. Nhược điểm chủ yếu của ECL là mức tạp âm cho phép nhỏ, tiêu hao công suất lớn, mức điện áp ra thay đổi theo nhiệt độ. ECL được dùng nhiều trong SSI và MSI có tốc độ cao và tốc độ siêu cao.

3) I²L (Integrated Injection Logic = Vi mạch số tích hợp phun)

Để thỏa mãn nhu cầu về vi mạch cỡ lớn (LSI), người ta cố gắng tăng đến mức cao nhất độ tích hợp của vi mạch. Trên diện tích hiệu dụng của miếng bán dẫn Si (ví dụ, $6 \times 6 \text{ mm}$) cần chế tác được tối đa số phần tử logic. Muốn thế thì, một là mỗi phần tử logic phải đơn giản về mạch và chỉ chiếm diện tích nhỏ, hai là tiêu hao công suất của mỗi phần tử logic phải càng nhỏ để tiêu hao công suất tổng của miếng Si trong giới hạn cho phép. Cổng TTL không thỏa mãn điều kiện này.

Đầu những năm 70, I²L được nghiên cứu thành công để sản xuất LSI. Mỗi phần tử logic của I²L chỉ chiếm diện tích rất nhỏ, cỡ $0,0026\text{mm}^2$ và dòng điện làm việc chỉ dưới 1nA ; độ tích hợp đến 500 cổng/ mm^2 (độ tích hợp của vi mạch TTL cỡ 20 cổng/ mm^2).

Ưu điểm chủ yếu của I²L là : đơn giản, áp thấp, dòng cực nhỏ, độ tích hợp cao.

Nhược điểm chủ yếu của I²L là : tốc độ đóng mở tương đối thấp và biên độ điện áp ra nhỏ.

2.3. MẠCH CỔNG MOS

Cổng MOS là mạch các phần tử đóng mở sử dụng MOSFET. Về chức năng logic thì cổng MOS không khác gì cổng TTL. Cổng MOS có rất nhiều chủng loại.

Ở đây chúng ta chỉ xem xét các cổng MOS điển hình : Cổng NOT, cổng ANND, cổng NOR, cổng truyền dẫn CMOS. Những mạch điện MOS phức tạp hơn đều có thể quy về các cổng trên, như là bộ phận hợp thành của nó.

2.3.1. Cổng NOT họ MOS

1) Cổng NOT họ MOS phụ tải điện trở hình (2-3-1a)

Cổng NOT bao gồm một MOSFET kênh dẫn N chưa có sẵn nối tiếp với điện trở tải R_D .

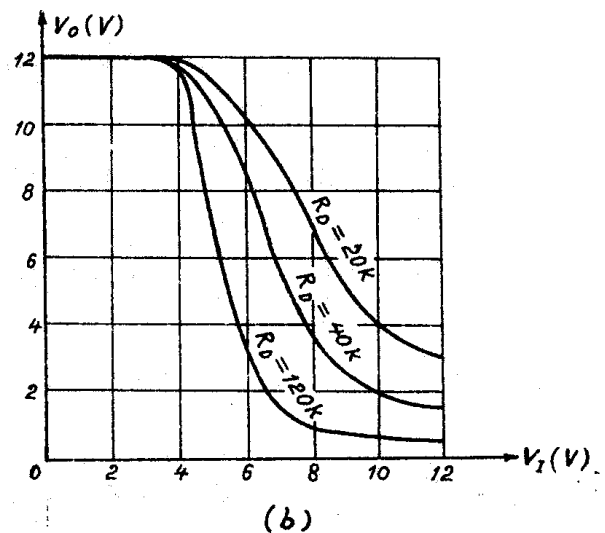
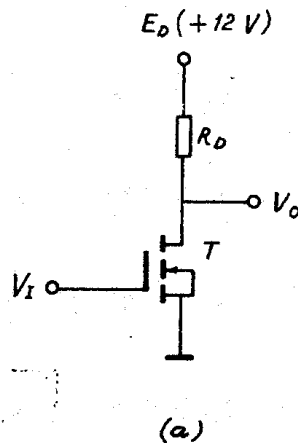
a) Đặc tính tĩnh

Khi V_I là mức thấp, $V_{TL} < V_T$ thì T ngắt. $V_O = V_{OH} \approx E_D$.

Khi V_I là mức cao, $V_{IH} > V_T$ thì T thông.

$$V_O = V_{OL}$$

Vậy quan hệ giữa V_O và V_I là logic NOT. (ĐẢO)



Hình 2-3-1. Cổng NOT phụ tải điện trở :

a) Mạch điện ;

b) Đặc tính truyền đại điện áp.

Giả định $E_D = +12V$

$V_{IH} = 12V$; $V_{IL} = 1V$; $R_D = 40K\Omega$.

Khi $V_I = V_{IL} = 1V$, vì $V_I < V_T$; T ngắt ; $V_O = V_{OH} \approx E_D$.

Khi $V_I = V_{IH} = 12V$, vì $V_I > V_T$; T thông ; $V_O = V_{OL}$

$$V_{OL} = \frac{E_D}{R_D + R_{ON}} R_{ON} \quad (2-3-1)$$

R_{ON} là điện trở của T khi T thông. Từ công thức (2.3.1) có thể biết rằng V_{OL} phụ thuộc R_D , R_D càng lớn thì V_{OL} càng nhỏ. Đồng thời sau khi R_D tăng lớn thì công suất tiêu thụ của cổng NOT ở trạng thái thông giảm nhỏ. Vậy sự tăng giá trị của R_D có lợi cho đặc tính tĩnh.

Hình 2.3.1b trình bày đặc tính truyền đại điện áp của cổng NOT họ MOS có được từ thực nghiệm. Từ đặc tuyến ta thấy, R_D càng lớn thì đặc tuyến càng dốc, V_{OL} càng nhỏ, sự làm việc của cổng càng gần lí tưởng.

Ta có thể xác định mức tạp âm cho phép đối với tín hiệu đầu vào từ đặc tính truyền đại điện áp.

Xem hình 2.3.2. V_{IL} là mức thấp đầu vào, V_{IH} là mức cao đầu vào, V_{OH} là mức mở cổng, V_{OFF} là mức đóng cổng, căn cứ các biểu thức (2.2.6) và (2.2.7), ta có :

$$V_{NL} = V_{OFF} - V_{IL}$$

$$V_{NH} = V_{IH} - V_{ON}$$

Đặc tính truyền đạt điện áp càng dốc thì mức tạp âm cho phép V_{NL} , V_{NH} càng lớn. Việc tăng giá trị điện trở tải R_D cũng có lợi cho việc tăng cường khả năng chống nhiễu.

b) Đặc tính động

Hình 2.3.3. trình bày tải điện dung C_L của cổng NOT họ MOS. Đầu ra của cổng này nối vào đầu vào bao cổng khác, thông thường bỏ qua điện trở tải (vì rất lớn), nên tải của cổng có tính dung kháng.

Giả sử có xung vuông lý tưởng đưa đến đầu vào, ta hãy xét đặc tính động đáp ứng của cổng. So với quá trình nạp, phóng điện thì thời gian ngắt, thông của MOSFET có thể bỏ qua. Khi V_I đột biến lên mức cao, T thông ngay, C_L phóng điện qua T, V_{DS} giảm đến V_{OL} , hằng số thời gian mạch phóng điện tương đối nhỏ.

Khi V_I đột biến xuống mức thấp, T ngắt ngay, E_D nạp điện cho C_L qua R_D , V_{DS} tăng đến $V_{OH} = E_D$.

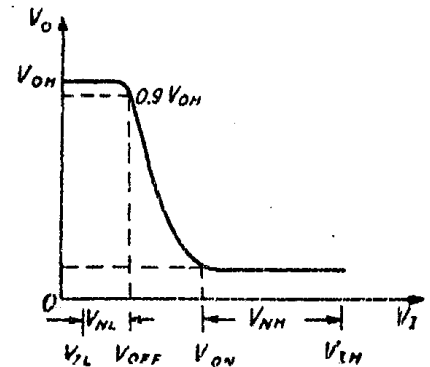
Thường đã chọn R_D tương đối to để xác định tính truyền đạt điện áp tĩnh tốt, nên tốc độ nạp điện chậm hơn nhiều so với tốc độ phóng điện. Vậy thời gian sườn dương của điện áp ra là nhân tố chủ yếu hạn chế tốc độ đóng mở của cổng MOS. Ví dụ, $R_D = 40k\Omega$, $C_L = 2pF$, $t_r = 2,2 R_D \cdot C_L = 176ns$. Vậy sự tăng R_D là bất lợi cho sự tăng tốc độ công tác, và làm tăng diện tích chiếm chỗ trên miếng S_i của R_D cũng bất lợi cho độ tích hợp của vi mạch. Trong thực tế, người ta thường thay R_D bằng một MOSFET, tạo nên cổng NOT họ MOS có phụ tải là nguồn điều khiển.

2) Cổng NOT họ MOS với phụ tải là nguồn điều khiển

Căn cứ vào đặc điểm của MOSFET làm phụ tải, ta phân cổng NOT thành 4 loại sau :

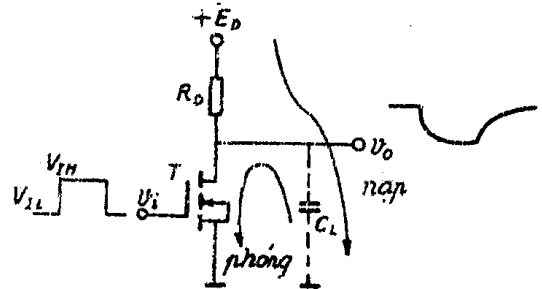
a) Cổng NOT bão hòa

Hình 2.3.4 là mạch điện điển hình của cổng NOT họ MOS với phụ tải là nguồn điều khiển kiểu bão hòa. Mạch gồm hai MOSFET kênh chưa có sẵn (các vi mạch



Hình 2-3-2.

Xác định mức tạp âm cho phép.



Hình 2-3-3.

Mạch nạp, phóng điện của C_L .

lấy phân tử hình 2.3.4 làm cơ sở được gọi là E/EMOS). Thường gọi T_1 là bóng khuếch đại, T_2 là bóng phụ tải. Vì G (cực cổng) và D (cực máng) của T_1 nối liền, nên $V_{DG2} \equiv 0$, T_2 lúc nào cũng làm việc tại vùng bão hòa của đặc tính cực máng.

Khi $V_I = 0$ giả thiết điện áp mở của bóng T_1 là $V_T = 2V$, T_1 ngắt, vậy

$$V_o = V_{OH} = E_D - V_T = 10 - 2 = 8V$$

Khi $V_I = 8V (= V_{IH})$, thì T_1 thông

$$V_o = V_{OL} = \frac{E_D}{R_{ON1} + R_{ON2}} R_{ON1}; \text{ nếu } R_{ON2} \gg R_{ON1} \text{ thì } V_o = V_{OL} \approx 0$$

Cổng NOT bão hòa khắc phục nhược điểm phải dùng điện trở tải giá trị lớn nhưng cũng tồn tại các yếu kém sau: mức cao đầu ra tương đối thấp, ($V_{OH} = E_D - V_T$) và nội trở bóng phụ tải tương đối lớn (dung hòa giữa yêu cầu đặc tính truyền đạt điện áp lí tưởng, mức thấp đầu ra đủ thấp và yêu cầu đặc tính động tốt).

b) Cổng NOT không bão hòa

Hình 2.3.5 là mạch điện điển hình của cổng NOT họ MOS với phụ tải là nguồn điều khiển kiểu không bão hòa. Mạch tương tự như kiểu bão hòa (nên đều là vi mạch E / EMOS), chỉ khác một điều là cực tổng T_2 nối vào nguồn riêng E_G . Hơn nữa, T_2 luôn luôn công tác ở vùng không bão hòa vì $V_{GS} - V_{DS} > V_{T2}$.

Khi T_1 ngắt, $V_o = V_{OH} \approx E_D$, biên độ ra lớn hơn.

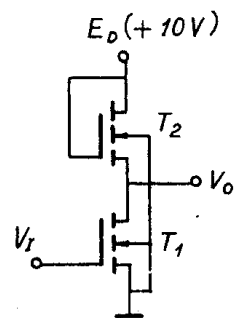
Ngoài nhược điểm nội trở bóng phụ tải tương đối lớn thì còn yêu cầu hai loại nguồn (E_D và E_G).

c) Cổng NOT với phụ tải là MOSFET kênh có sẵn.

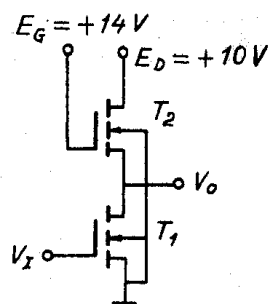
Hình 2.3.6 biểu thị cổng NOT với phụ tải là MOSFET kênh có sẵn (vi mạch với những phần tử cơ sở như vậy được gọi là E/D MOS)

Vì T_2 là MOSFET kênh có sẵn, với $V_{GS} = 0$ vẫn có dòng điện I_D , nên có thể nối liền cực cửa (G) với cực nguồn (S) của bóng phụ tải. Mức cao đầu ra của cổng NOT là $V_{OH} \approx E_D$.

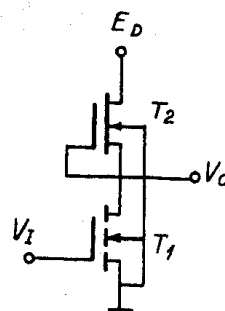
$V_{GS2} \equiv 0$, I_{D2} duy trì giá trị khá lớn trong toàn bộ phạm vi biến đổi động, do đó tần số công tác cao hơn hai loại đã xét trên. Đặc tính truyền đạt điện áp khá dốc, nên mức tạp âm cho phép khá lớn,



Hình 2-3-4.
Cổng NOT bão hòa.



Hình 2-3-5.
Cổng NOT không bão hòa.

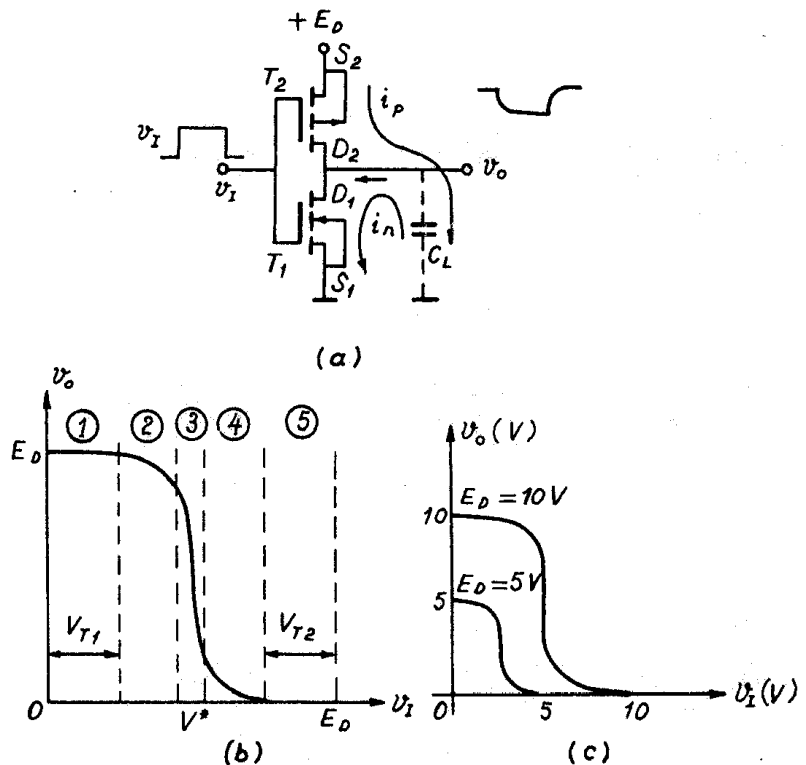


Hình 2-3-6. Cổng NOT với phụ tải là MOSFET kênh có sẵn.

có thể công tác với điện áp nguồn bé. Nhược điểm chủ yếu của loại cổng này là công nghệ chế tạo phức tạp hơn hai loại trên.

3) cổng NOT họ CMOS

Trong các cổng NOT trên, khi chọn giá trị điện trở tải ta gặp mâu thuẫn giữa hai yêu cầu của đặc tính tĩnh và đặc tính động. Có thể khắc phục mâu thuẫn đó theo biện pháp của cổng NAND TTL, đó là làm cho T_2 ngắt khi T_1 thông và T_2 thông khi T_1 ngắt. Cổng NOT họ CMOS được thiết kế như vậy. Xem mạch hình 2.3.7a T_1 vẫn là bóng MOS loại kênh dẫn N chưa có sẵn. T_2 bây giờ là bóng MOS loại kênh dẫn P chưa có sẵn. Các cực cổng của T_1 và T_2 nối với nhau thành đầu vào. Các cực máng của T_1 và T_2 nối với nhau thành đầu ra. Khi công tác thì S_2 nối cực dương nguồn còn S_1 nối đất nguồn.



Hình 2-3-7. Cổng NOT họ CMOS :
a) Mạch điện ; b, c) Đặc tính truyền đạt điện áp.

Thường $E_D > V_{T1} + |V_{T2}|$; V_{T1} và V_{T2} là các điện áp mở của T_1 và T_2 .

Khi $V_I = V_{IL} = 0$, $V_{GS1} = 0$, T_1 ngắt, $V_{GS2} = -E_D$, do đó

$|V_{GS2}| > |V_{T2}|$, T_2 thông, $V_O = V_{OH} \approx E_D$.

Khi $V_I = V_{IH} = E_D$, $V_{GS1} = E_D > V_{T1}$, T_1 thông, $V_{GS2} = 0$, T_2 ngắt, $V_O = V_{OL} \approx 0$

Vậy dù tín hiệu đầu vào có mức cao hay thấp, thì một trong hai bóng ở trạng thái ngắt. Do đó, dòng điện tĩnh xấp xỉ 0 (chỉ có dòng điện dò cỡ nA), công suất tiêu hao chế độ tĩnh có thể dưới μW . Điều này thuận lợi để vi mạch có độ tích hợp cao.

Đặc tính truyền đạt điện áp của cổng NOT họ CMOS biểu thị ở hình 2.3.7b.

Đặc tuyến này có 5 đoạn như sau :

1) $V_I < V_{T1}$, T_1 ngắt, T_2 thông (không bão hòa), dòng điện qua T_1 và T_2 bằng 0, vậy $V_{DS2} = 0$, $V_O = E_D$.

2) $V_1 > V_{T1}$, T_1 bắt đầu thông bão hòa. Có dòng điện khá bé đi qua T_1 và T_2 . Tuy T_2 vẫn không bão hòa, nhưng $V_{DS2} \neq 0$, V_o bắt đầu giảm.

3) $V_1 \approx V^*$ (xem hình 2.3.7b), T_1 và T_2 đều bão hòa, dòng điện khá lớn chảy qua T_1 và T_2 . Tương ứng với biến đổi nhỏ của V_1 là biến đổi lớn của V_o ; đoạn này là dốc nhất, được gọi là đoạn quá độ.

4) V_1 tiếp tục tăng, T_1 chuyển vào vùng không bão hòa, V_{DS1} giảm nhanh, V_{DS2} trở thành lớn, dòng điện qua 2 bóng bắt đầu giảm.

5) T_2 ngắt, T_1 thông không bão hòa, $V_{DS1} = 0$, $V_o = 0$

Đoạn thứ 3 của đặc tuyến rất dốc, $V^* \approx \frac{E_D}{2}$, vậy đặc tính truyền đạt điện áp của cổng NOT họ CMOS tiếp cận với đặc tính đóng mở lí tưởng.

Hình 2.3.7c biểu thị hai đặc tuyến truyền đạt điện áp tương ứng hai giá trị điện áp nguồn khác nhau. Giả thiết đặc tính T_1 và T_2 là đối xứng, thì khi $V_1 = \frac{E_D}{2}$, ắt là $V_{DS1} = V_{DS2} = \frac{E_D}{2}$; $V_o = \frac{E_D}{2}$. Sự quá độ của đặc tuyến truyền đạt điện áp xảy ra ở lân cận $V_1 = \frac{E_D}{2}$.

Khi điện áp vào đột biến từ mức thấp lên mức cao, T_1 thông, dòng điện phóng của C_L là i_n chảy qua nội trở nhỏ của T_1 (xem hình 2.3.7a)

Khi điện áp vào đột biến từ mức cao xuống mức thấp, T_2 thông, dòng điện nạp của C_L là i_p chảy qua nội trở nhỏ của T_2 (xem hình 2.3.7a). Vậy quá trình phóng, nạp của C_L đều xảy ra tương đối nhanh. Tốc độ đóng mở của cổng NOT họ CMOS cao hơn nhiều so với ba loại cổng NOT nói trên.

Dạng sóng cho trên hình 2.3.8 cho phép tính toán tiêu hao công suất động của cổng NOT họ CMOS.

$$P = \frac{1}{T} \left[\int_0^{T/2} i_n V_o dt + \int_{T/2}^T i_p (E_D - V_o) dt \right].$$

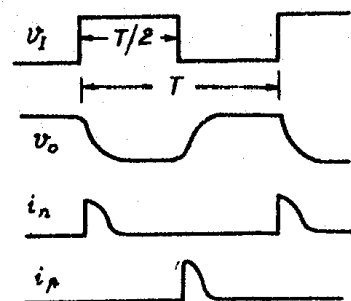
Vì

$$i_n = -C_L \frac{dV_o}{dt},$$

$$i_p = C_L \frac{dV_o}{dt} = -C_L \frac{d(E_D - V_o)}{dt}$$

thay vào biểu thức trên, ta có :

$$P = \frac{1}{T} \left[C_L \int_{E_D}^0 -V_o dV_o + C_L \int_{E_D}^0 -(E_D - V_o) d(E_D - V_o) \right]$$



Hình 2-3-8. Dạng sóng.

$$= \frac{C_L}{T} \left[\frac{1}{2} E_D^2 + \frac{1}{2} E_D^2 \right]$$

$$= C_L E_D^2 f \quad (2-3-2)$$

(2.3.2) Cho thấy tổn hao công suất động tỉ lệ thuận với điện dung phụ tải C_L , tần số tín hiệu f và bình phương điện áp nguồn E_D^2 . Ví dụ, $E_D = 10V$; $C_L = 20pF$ $f = 100kHz$, từ (2.3.2) tính được $P = 0,2mW$.

Trong trường hợp tín hiệu đầu vào không phải là xung vuông lí tưởng, trong quá trình chuyển mức sẽ xảy ra khoảng thời gian ngắn cả T_1 và T_2 đều thông, điều đó làm cho công suất tổn hao tăng lên một ít so với kết quả tính toán theo (2.3.2).

Cổng NOT họ CMOS còn có các ưu điểm sau : phạm vi điện áp nguồn rộng (từ 3 đến 18V), mức tạp âm cho phép lớn, hệ số mắc tải đầu ra lớn. Mấy năm gần đây sự phát triển của vi mạch CMOS cực kì nhanh. Trong khu vực SSI và MSI, vi mạch CMOS đã sánh kịp vi mạch TTL. Vì công suất tổn hao nhỏ, nên CMOS có vị trí quan trọng trong khu vực LSI. Nhược điểm chủ yếu của CMOS là công nghệ phức tạp.

TÓM TẮT

Chúng ta đã tìm hiểu kĩ về cổng NOT họ MOS. Chúng được phân loại theo đặc điểm phụ tải. Giới thiệu loại tải điện trở nhằm đưa ra những kiến thức cơ sở tìm hiểu loại tải nguồn điều khiển. Loại tải sau lại phân thành E/E MOS, E/D MOS và CMOS căn cứ đặc điểm bóng phụ tải. Bảng 2.3.1. tóm tắt các cổng để tiện so sánh và ôn tập.

Bảng 2-3-1 : SO SÁNH CÁC CỔNG NOT PHỤ TẢI LÀ NGUỒN ĐIỀU KHIỂN

Loại cổng	Hình thức phụ tải	Ưu điểm	Nhược điểm
E/E MOS bảo hòa	Kênh dẫn N chưa có sẵn công tác ở vùng bão hòa	Công nghệ đơn giản	Biên độ tín hiệu ra nhỏ tốc độ thấp.
E/E MOS không bão hòa	Kênh dẫn N chưa có sẵn công tác ở vùng không bão hòa	Biên độ tín hiệu ra lớn	Cần 2 nguồn tốc độ tương đối thấp
E/D MOS	Kênh dẫn N có sẵn công tác với $V_{GS} = 0$	Biên độ tín hiệu ra lớn tốc độ cao, mức tạp âm cho phép lớn	Công nghệ chế tạo phức tạp
CMOS	Kênh dẫn P chưa có sẵn công tác ở trạng thái đóng mở	Tiêu hao công suất nhỏ, tốc độ cao, biên độ ra lớn, mức tạp âm cho phép lớn, phạm vi điện áp nguồn rộng, hệ số tải đầu ra lớn	Công nghệ chế tạo phức tạp, giá thành cao

2.3.2. Cổng NAND và NOR họ MOS

Trên cơ sở cổng NOT họ MOS, người ta dễ dàng chế tạo tất cả các mạch logic khác, mà phần tử điển hình nhất là tổng NAND và cổng NOR.

1) Cổng NAND họ MOS

a) Cổng NAND loại E/E MOS

Hình 2.3.9. trình bày mạch điện cổng NAND, sự thực hiện của nó là thêm vào một MOSFET khuếch đại trong sơ đồ cổng NOT. Chỉ khi nào hai tín hiệu đầu vào A, B đồng thời ở mức cao, T_1 và T_2 đồng thời thông, thì đầu ra Z mới là mức thấp. $V_{OL} \approx 0$. Còn bất kì có đầu vào nào ở mức thấp, đầu ra Z ở mức cao :

$$V_{OH} = E_D - V_{T3}$$

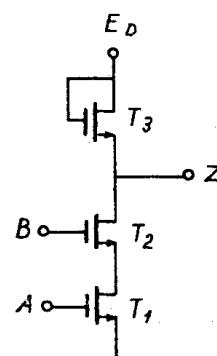
Quan hệ logic của cổng là : $Z = \overline{A \cdot B}$

Mức thấp đầu ra là tổng các điện áp rơi trên T_1 , T_2 thông.

Nếu số đầu vào tăng thì mức thấp đầu ra sẽ tăng. Các bóng khuếch đại nối tiếp nhau nên điện thế cực nguồn (S) của các bóng nào càng gần bóng tải thì càng cao, tương ứng điện áp tín hiệu vào phải càng lớn thì bóng đó mới thông, vậy đòi hỏi biên độ tín hiệu vào phải lớn. Hai nhược điểm trên hạn chế số đầu vào.

Hình 2-3-9.

Cổng NAND E/E MOS.

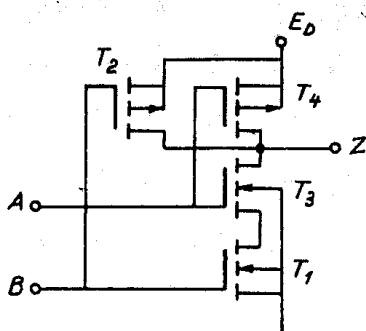


b) Cổng NAND loại E/D MOS

Hình 2.3.10 trình bày mạch cổng NAND loại E/D MOS. Nguyên lý công tác và đặc điểm giống cổng NAND loại E/E MOS. Chỉ có một điều khác là mức cao đầu ra cao hơn ($V_{OH} \approx E_D$)

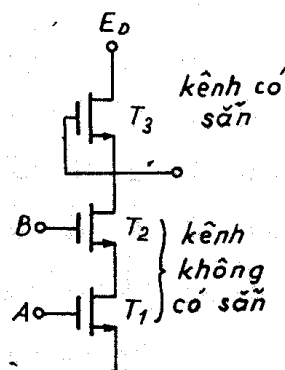
c) Cổng NAND loại CMOS

Xem hình 2.3.11 hai bóng khuếch đại T_1 , T_3 là kênh N chưa có sẵn. Hai bóng phụ tải T_2 , T_4 là kênh P chưa có sẵn. Hai bóng khuếch đại mắc nối tiếp. Hai bóng phụ tải mắc song song.



Hình 2-3-11.

Cổng NAND CMOS.



Hình 2-3-10.

Cổng NAND E/D MOS.

Chỉ khi A, B đều là mức cao, T_1 và T_3 đồng thời thông, T_2 và T_4 ngắt, thì đầu ra Z mới là mức thấp. Nhưng điện trở đầu ra là 2 lần nội trở của mỗi bóng khuếch đại. Khi A, B đều là mức thấp, T_1 và T_3 đồng thời ngắt, T_2 và T_4 thông, nhưng điện trở đầu ra là một nửa nội trở của mỗi bóng phụ tải. Khi một đầu vào mức thấp, một đầu vào mức cao thì các bóng

khuếch đại không thông và chỉ có 1 bóng phụ tải thông và điện trở đầu ra là nội trở của nó. Vậy nếu đầu ra có mức cao thì điện trở đầu ra phụ thuộc tổ hợp trạng thái tín hiệu đầu vào.

Nếu phải tăng số đầu vào, thì số bóng khuếch đại mắc nối tiếp nhau tăng lên, phát sinh vấn đề mức thấp đầu ra bị tăng. Để khắc phục vấn đề này, người ta có thể áp dụng những mạch phức tạp hơn, chẳng hạn thêm vào hai cấp ĐẢO (cổng NOT) ở đầu ra.

Trong trường hợp có nhiều đầu vào, trạng thái đầu vào khác nhau cũng làm thay đổi một ít đặc tính truyền đạt điện áp. Hình 2.3.12 biểu thị cổng NAND 3 đầu vào, với các cách đầu nối khác nhau chỉ khi có một tín hiệu đầu vào. Sau đây ta giải thích sự chênh lệch của đặc tính tương ứng. Trường hợp a : 1 đầu vào tín hiệu, 2 đầu vào nối nguồn.

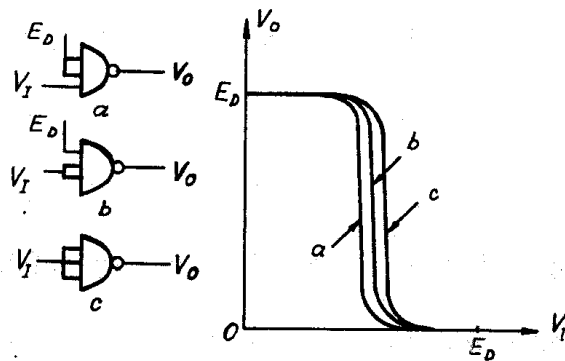
Hai đầu nối nguồn làm 2 bóng phụ tải tương ứng hoàn toàn ngắt, 2 bóng khuếch đại tương ứng hoàn toàn thông với nội trở nhỏ. Thường biên độ tín hiệu đầu vào lớn hơn tổng giá trị tuyệt đối của các điện áp mở bóng phụ tải và bóng khuếch đại. Vì vậy trong quá trình đột biến dương của V_I , có khoảng thời gian ngắn cả hai bóng (phụ tải và khuếch đại) đều thông, tương ứng là đoạn quá độ của đặc tính truyền đạt điện áp. Khi đó, điện áp đầu ra là sự phân áp trên nội trở của hai bóng (hai bóng này chưa hoàn toàn thông nên nội trở của chúng ta là đáng kể, nội trở các bóng khuếch đại khác nhỏ đến mức có thể bỏ qua).

Trường hợp b : 2 đầu vào nối chung một tín hiệu, 1 đầu vào nối nguồn. Khi V_I tương ứng với giá trị quá độ, thì 2 bóng khuếch đại và 2 bóng phụ tải đồng thời thông, nhưng bóng khuếch đại mắc nối tiếp còn bóng phụ tải mắc song song, nên kết quả sự phân áp là tăng cao mức điện áp ra V_O . Do đó, đặc tính truyền đạt điện áp dịch sang phải như hình 2.3.12 đã biểu thị. Giá trị ngưỡng cũng tăng một chút.

Trường hợp c : 3 đầu vào chung một tín hiệu. Đặc tính truyền đạt điện áp dịch thêm sang phải.

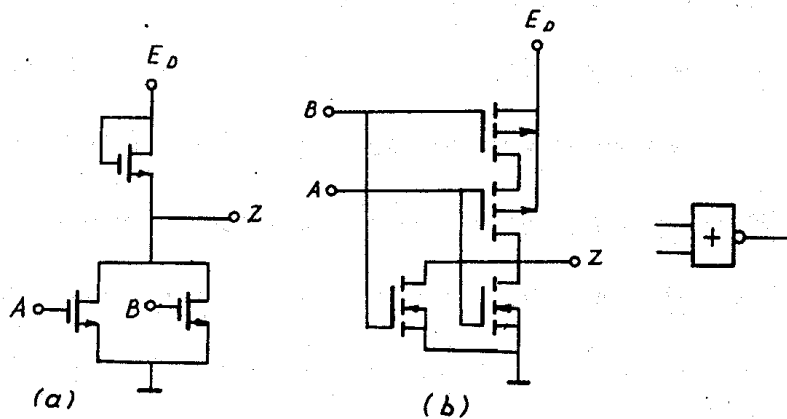
2) Cổng NOR

Nếu trong sơ đồ cổng NOT, ta thêm bóng khuếch đại đầu song song, thì ta được sơ đồ cổng NOR. Hình 2.3.13 trình bày mạch điện cơ bản của cổng NOR họ



Hình 2-3-12.

Trạng thái đầu vào ảnh hưởng đến đặc tính truyền đạt điện áp.



Hình 2-3-13. Cổng NOR :

a) E/EMOS ;

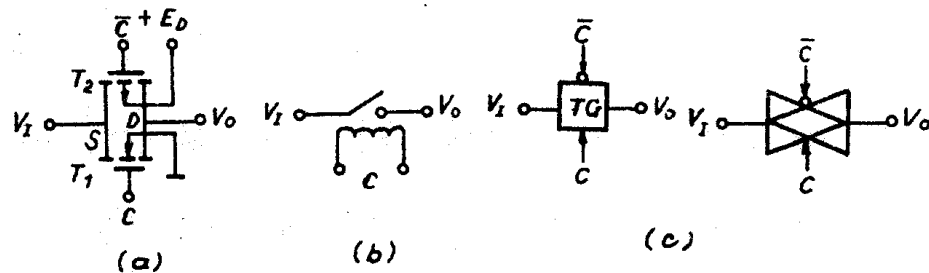
b) CMOS.

E/EMOS và cổng NOR họ CMOS. Vì bóng khuếch đại đầu song song, nên điện trở đầu ra khi đầu ra ở mức thấp không bao giờ lớn hơn nội trở của một bóng khuếch đại thông mạch; do đó không có vấn đề mức thấp đầu ra tăng cao theo số đầu vào. Cổng NOR vì vậy được dùng nhiều nhất trong vi mạch MOS. Nhận xét hình 2.3.13, dù mạch E/EMOS hay CMOS, chỉ cần có 1 đầu vào ở mức cao thì đầu ra sẽ có mức thấp, giữa đầu vào và đầu ra có quan hệ logic NOR

$$Z = \overline{A + B}$$

2.3.3. Cổng truyền dẫn và chuyển mạch tương tự họ CMOS

Hình 2.3.14a biểu thị cổng truyền dẫn do nối song song một MOSPET kênh P chưa có sẵn với một MOSFET kênh N chưa có sẵn; mạch này được gọi là cổng truyền dẫn họ CMOS.



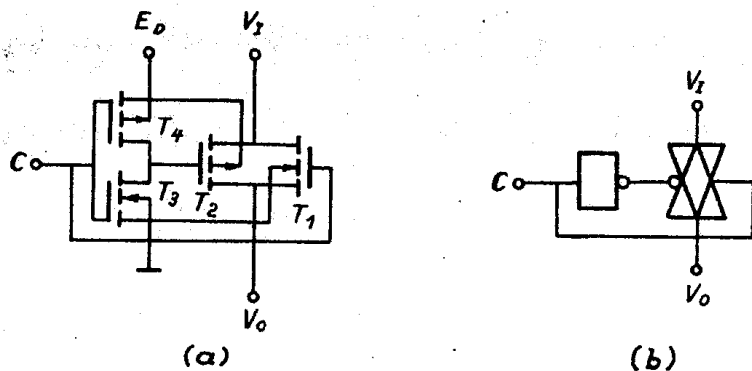
Hình 2-3-14. Cổng truyền dẫn CMOS.

a) Mạch điện b) Mạch tương đương c) Kí hiệu

Hình 2.3.14a cho thấy: cực nguồn S của T_1 và T_2 nối chung làm đầu vào, cực máng D của T_1 và T_2 nối chung làm đầu ra, ở cực cổng của T_1 và T_2 có các tín hiệu điều khiển ngược pha C và $\bar{C}$. Giả sử tín hiệu điều khiển có mức cao $V_{CH} = E_D$ và mức thấp $V_{CL} = 0$. Khi $C = 1$ ($\bar{C} = 0$) và $V_I \approx V_{CH}$; thì $V_{GS1} \approx 0$; $V_{GS2} \approx -V_{CH}$; T_2 thông, T_1 ngắt; Còn nếu $V_I \approx 0$, thì T_1 thông, T_2 ngắt; Nếu $V_I \approx \frac{E}{2}$ thì T_1 và T_2 đồng thời thông. Tóm lại, khi $C = 1$ thì lúc nào cũng có bóng thông với nội trở vài trăm Ω , tương đương sự tiếp thông của chuyển mạch.

Khi $C = 0$ ($\bar{C} = 1$), chỉ cần $V_I = 0 + E_D$, thì T_1 và T_2 đều ngắt, lúc này chỉ có dòng điện dò cỡ pA chảy qua, tương đương sự ngắt hở mạch của chuyển mạch.

Vì cấu trúc của MOSFET đối xứng, S và D có thể hoán vị, do đó cổng truyền dẫn họ CMOS là hai chiều, còn gọi là chuyển mạch 2 chiều.



Hình 2-3-15. Chuyển mạch tương tự

a) Mạch điện b) Kí hiệu

Cổng truyền dẫn và cổng logic phối hợp với nhau thì có thể tạo ra mọi mạch điện C MOS phức tạp, ví dụ như : tạo xung, đếm, ghi dịch, giải toán, vi xử lí, bộ nhớ v.v...

Một ứng dụng quan trọng khác của cổng truyền dẫn là chuyển mạch tương tự. Hình 2.3.15 giới thiệu mạch điện thực tế của chuyển mạch tương tự do cổng truyền dẫn và cổng NOT cấu trúc nên.

Khi $C = 1$ thì chuyển mạch nối thông.

Khi $C = 0$ thì chuyển mạch ngắt hở.

Vì vậy, chuyển mạch này có thể đóng ngắt điện áp tương tự với biên độ tùy ý trong phạm vi $V_{CL} \div V_{CH}$.

TÓM TẮT

Chương 2 đã trình bày cấu trúc, nguyên lí và đặc điểm của các cổng thường dùng. Xuất phát từ thực tế mạch điện đã vi mạch hóa, nên trọng tâm chú ý nghiên cứu của chúng ta là các cổng được vi mạch hóa.

Có 2 loại vi mạch số phổ biến nhất : TTL và MOS. TTL là công nghệ điển hình trong nhóm công nghệ tranzto bao gồm TTL, HTL, ECL, I^2L , MOS là công nghệ vi mạch sử dụng MOSFET, trong đó điển hình là CMOS...

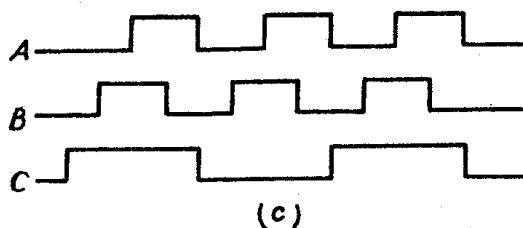
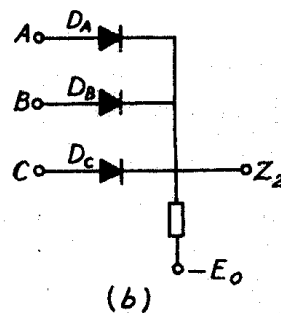
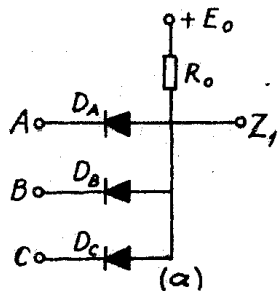
BÀI TẬP

1-2. Thế nào là logic AND, OR, NOT. Hãy lấy 2 ví dụ cho mỗi logic.

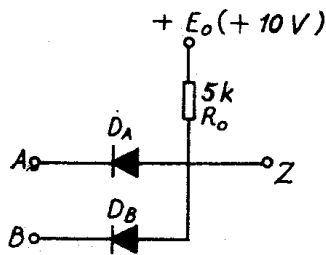
2-2. Cho mạch điện diốt

a- Phân tích quan hệ logic giữa đầu ra Z_1 , Z_2 với các đầu vào A, B, C.

b- Cho dạng sóng tín hiệu đầu vào A, B, C ở hình C. Hãy vẽ dạng sóng Z_1 và Z_2 (tín hiệu vào có biên độ đủ lớn theo yêu cầu)



2-3. Cho mạch điện



D_A, D_B là diốt Si. Điện áp rơi khi diốt thông là 0,7V. Do điện áp ở B và Z bằng đồng hồ vạn năng có nội trở $20k\Omega/V$. Hỏi giá trị đo được trong các trường hợp sau :

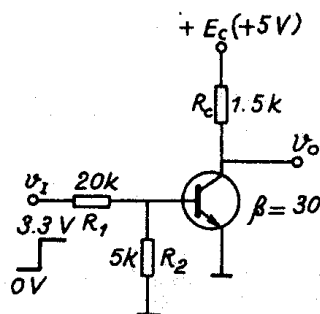
- $V_A = 0,3V$, B hở
- $V_A = 10V$, B hở
- A nối $5k\Omega$, B hở
- A nối 5V, B nối $5k\Omega$
- A nối $2k\Omega$, B nối 5V.

2-4. Logic dương là gì. Logic âm là gì ?

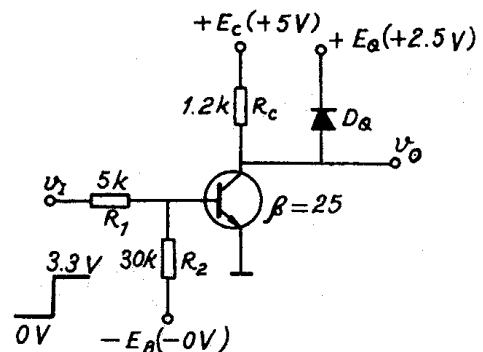
2-5. Cho mạch điện

tranzito

Hãy phân tích, tính toán để xác định, trạng thái công tác của tranzito.



(a)



(b)

2-6. Mạch cổng diốt có nhược điểm gì. Mạch cổng tranzito khắc phục những nhược điểm trên như thế nào ?

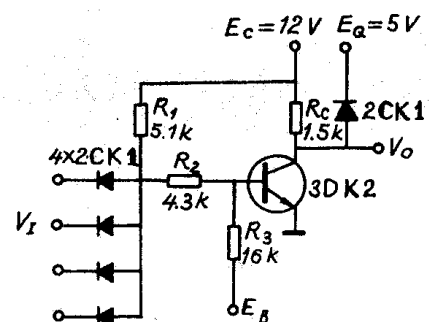
2-7. Cho mạch điện

Giả thiết $V_{IH} = 5,5V$, $V_{IL} = 0,3V$

a - Cho $\beta = 30$; $E_B = 8V$. Hỏi tranzito có thể ngắt và thông bão hòa tin cậy không ?

b - Để bảo đảm tranzito thông bão hòa khi $V_I = 5,5V$; $E_B = -8V$ thì giá trị tối thiểu của β là bao nhiêu ?

c - Để bảo đảm tranzito ngắt tin cậy khi $V_I = 0,3V$ thì giá trị tối đa của E_B là bao nhiêu ?



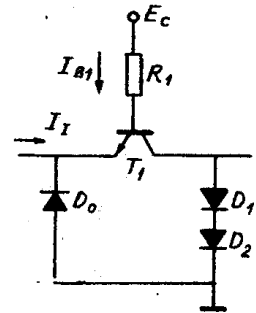
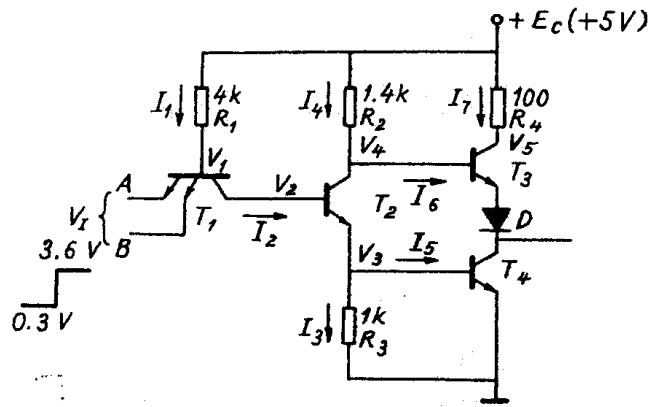
2-8. Với mạch đã cho ở đề 2.7, gọi các đầu vào là A, B, C, D, giả thiết mức cao là 5,5V, mức thấp là 0,3V, $E_B = -8V$, $\beta = 30$. Gọi Z là tín hiệu đầu ra của mạch. Hãy viết bảng chân lí và hàm logic tương ứng của mạch với 2 trường hợp : logic dương và logic âm.

2-9. Cho mạch điện TTL

a - Phân tích chức năng logic của mạch.

b - Tác dụng của D và R_4 là gì ?
Nếu chuyển vị trí của D đến bazơ T_3 thì có ảnh hưởng gì đến sự làm việc bình thường của mạch.

c - $V_{IL} = 0,3\text{ V}$, $V_{IH} = 3,6\text{ V}$. Hãy tính các giá trị $V_1 \div V_5$ và $I_1 \div I_7$ trong hai trường hợp. Giả thiết $\beta_2 = \beta_3 = \beta_4 = 20$ còn $\beta_1 = 0,01$ (T_1 ở chế độ đảo cực)



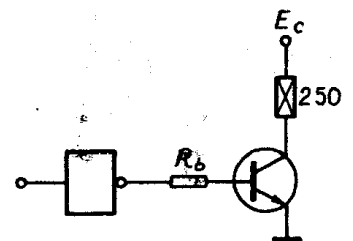
2-10. Mạch tương đương đầu vào của một cổng TTL như đã cho. Hãy tính dòng điện ngắn mạch đầu vào I_{IS} và dòng điện bazơ của T_1 khi hở mạch I_{B1} . Nếu có nguồn -2 V nối vào đầu vào thì có xảy ra chuyện gì không. Do là diốt bảo hộ đầu vào, không ảnh hưởng đến sự làm việc bình thường.

$E_c = 5\text{ V}$; $R_1 = 4\text{ k}\Omega$; $\beta_1 = 0,01$.

2-11. Giả thiết dùng đồng hồ vạn năng nội trở $20\text{ k}\Omega/\text{V}$ để đo điện áp đầu vào hở mạch của cổng NAND TTL, hỏi giá trị đo được trong 5 trường hợp sau :

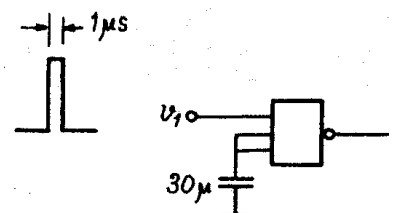
- Khi các đầu vào khác cũng hở mạch.
- Khi các đầu vào khác nối vào cực dương của nguồn điện.
- Khi có một trong những đầu vào khác nối đất.
- Khi toàn bộ các đầu vào khác nối đất.
- Khi các đầu vào khác nối vào $0,35\text{ V}$.

2-12. Cho mạch điện : cổng NAND TTL kích mạch khuếch đại tranzito để điều khiển role. Điện áp tác động của role là 8 V . Để bảo đảm độ tin cậy, khi đầu ra cổng NAND có mức cao, tranzito phải thông bão hòa, hỏi giá trị β và R_b . Giả thiết đặc tính đầu ra của cổng NAND cho như hình 2.2.13, $E_c = 12\text{ V}$, điện trở một chiều của cuộn dây role là 250Ω .

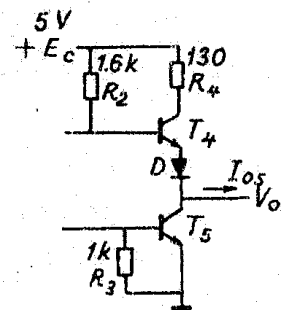


2-13. Để chống can nhiễu đầu vào dư, có thể dùng tụ điện như hình vẽ được không.

(Hình vẽ cho xung tín hiệu rất hẹp, cho tụ điện trị số lớn)



2-14. Cho mạch điện điển hình đầu ra cổng TTL. Xác định dòng điện ra ngắn mạch I_{OS} khi T_5 ngắt. Giả thiết $\beta_4 = 20$.

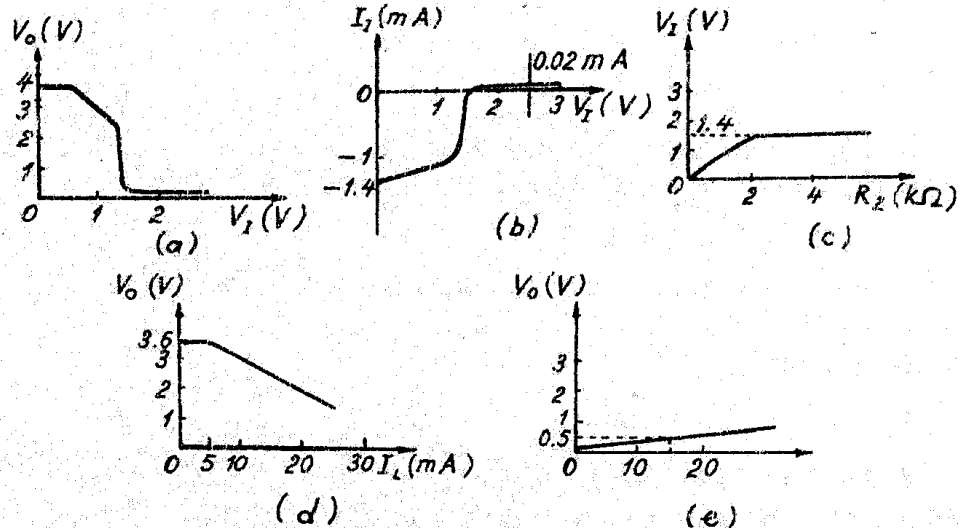


2-15. Cho các đặc tính của cổng NAND TTL

Với $V_{IH} = 3,6V$; $V_{IL} = 0,3V$ ($V_{OH} > 3V$; $V_{OL} < 0,3V$)

Hãy xác định gần đúng các tham số sau và điền vào đúng chỗ trên đặc tính:

V_{IL} , V_{IH} , V_{OL} ,
 V_{OH} , V_{ON} , V_{OFF} ,
 V_{NL} , V_{NH} , V_T ,
 R_{ON} , R_{OFF} , I_{IS} ,
 I_{IH} , I_{LM} (hút và phun)



2-16. Cho các đặc tính của cổng NAND TTL như trong bài tập 2.15. Giả thiết $V_{IH} = 3,6V$, $V_{IL} = 0,3V$, $V_{OH} > 3V$; $V_{OL} < 0,3V$. Cho các mạch sau.

a - Xác định phạm vi giá trị cho phép của R để thỏa mãn

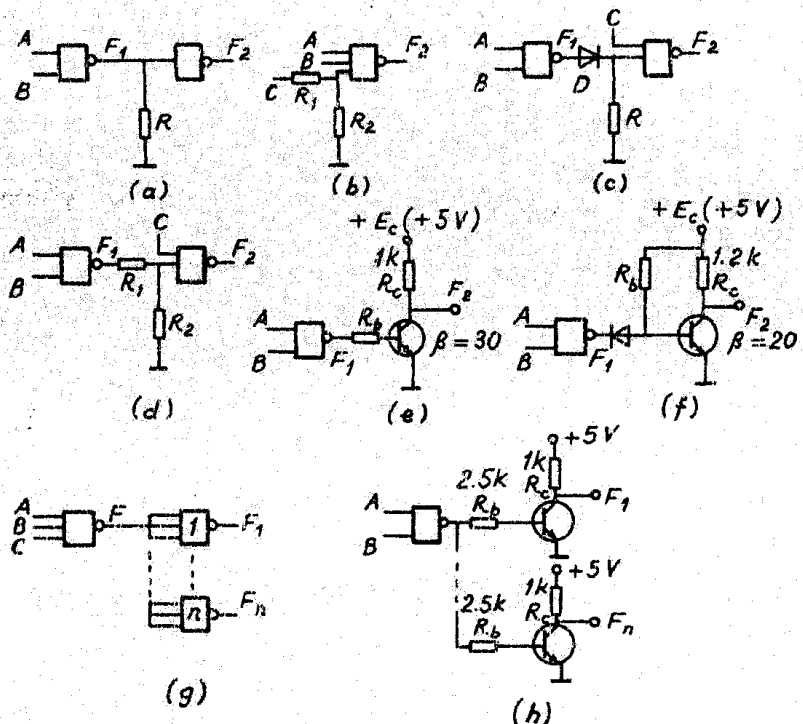
$$F_1 = \overline{AB}; F_2 = \overline{\overline{AB}}$$

b - Xác định phạm vi giá trị cho phép của R_2 để

$$F = \overline{ABC}. \text{ Cho } R_1 = 1,2K\Omega$$

c - Xác định phạm vi giá trị cho phép của R để

$$F_1 = \overline{AB}; F_2 = \overline{\overline{AB} \cdot C}$$



d - Giá trị R_1 và R_2 phải thỏa mãn điều kiện gì để

$$F_1 = \overline{AB} ; F_2 = \overline{AB} C$$

e - Xác định phạm vi giá trị cho phép của R_b để $F_1 = \overline{AB} ; F_2 = \overline{AB}$

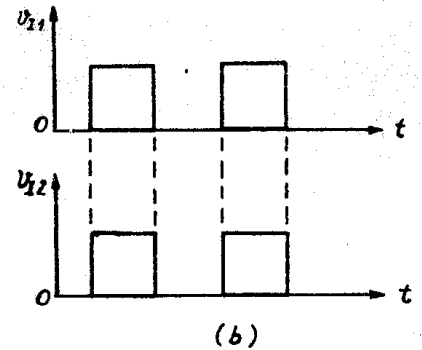
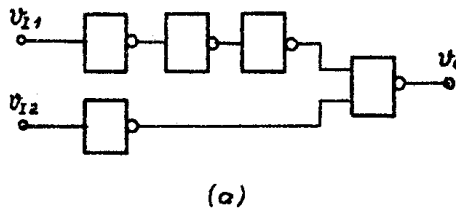
g - Cổng NAND TTL 3 đầu vào có thể chịu tải là bao nhiêu cổng cùng loại.

h - Cho các tranzito đều có $\beta = 25$, hỏi cổng NAND TTL có thể chịu tải tối đa bao nhiêu bộ khuếch đại đảo tranzito.

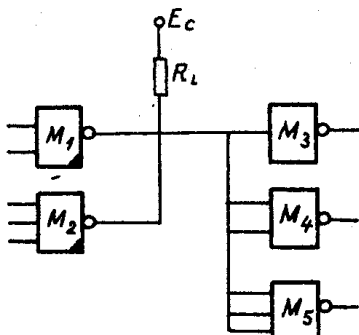
2-17. Cho mạch điện và dạng sóng tín hiệu đầu vào. Giả thiết thời gian truyền đạt trung bình của mỗi cổng là 20ns, tần số lặp của tín hiệu là 2,5 MHz. Thử vẽ :

a - Dạng sóng tín hiệu đầu ra V_o khi bỏ qua thời gian truyền đạt.

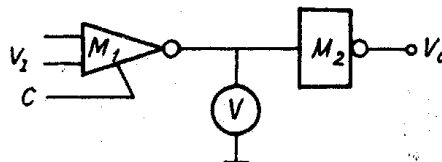
b - Dạng sóng tín hiệu đầu ra V_o thực tế (kể đến thời gian truyền đạt).



2-18. Cho mạch điện : M_1 và M_2 là 2 cổng NAND hở colecto. Mỗi cổng cho phép dòng điện hút cực đại là 13mA (đầu ra mức thấp), dòng điện dò khi đầu ra mức cao nhỏ hơn $250\mu A$. M_3, M_4, M_5 cổng NAND TTL, số đầu vào của M_3 là 1, của M_4 là 2, của M_5 là 3 và đều đầu vào nhau. Giả thiết dòng điện ngắn mạch của



cổng NAND TTL là 1,6mA, dòng điện dò đầu vào $< 50\mu A$, $E_c = 5V$. Hỏi R_1 chọn bao nhiêu.



2-19. M_1 là cổng 3 trạng thái, M_2 là cổng NAND TTL. Hỏi điện thế đầu ra cổng ba trạng thái trong 2 trường hợp đầu điều khiển C ở mức cao và mức thấp.

2-20. Cho các mạch logic TTL với giả định thực hiện :

$$F_1 = \overline{AB} \cdot \overline{CD}$$

$$F_2 = \overline{AB} \cdot \overline{CD}$$

$$F_3 = \overline{AB + CD}$$

$$F_4 = AB + CD$$

$$F_5 = \overline{AB} \cdot \overline{CD}$$

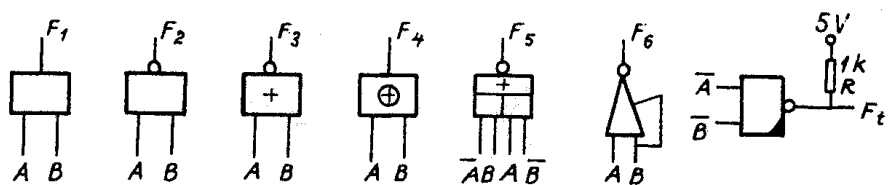
$$R_{ON} = 2k\Omega ; R_{OFF} = 0,8k\Omega$$

Năng lực chịu tải phun
< 5mA ;

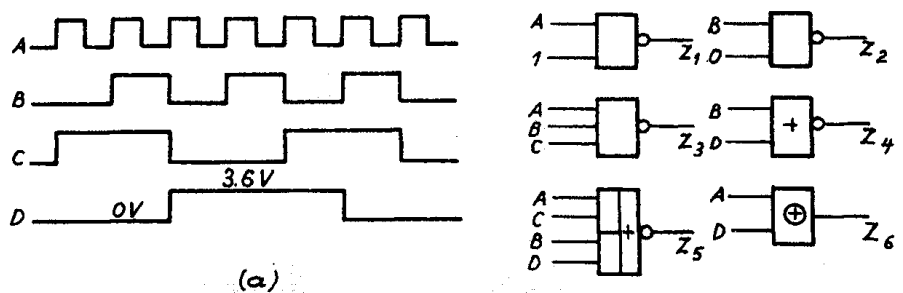
Năng lực chịu tải hút
< 15mA ;

Hỏi những mạch điện trên
có thể làm việc bình thường
hay không. Lí do.

2-21. Cho mạch
điện cổng TTL và dạng
sóng điện áp tín hiệu
đầu vào. Hãy vẽ dạng
sóng đầu ra $F_1 \div F_7$
của các cổng logic.



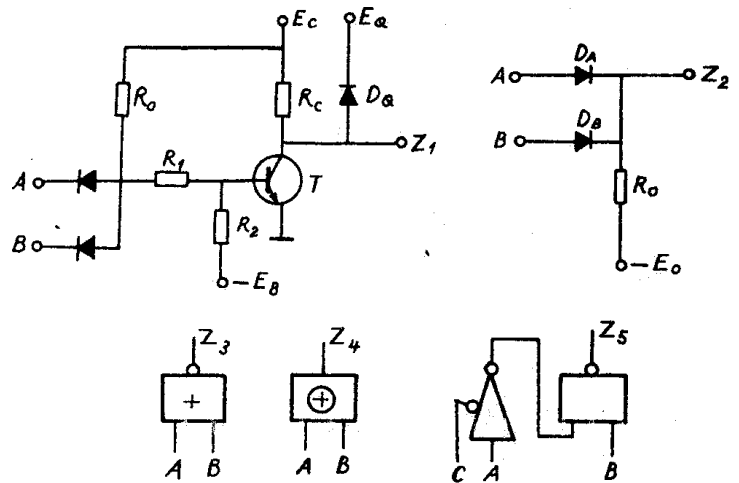
2-22. Cho sơ đồ các
cổng và dạng sóng đầu
vào. Hãy vẽ dạng sóng
đầu ra của các cổng :



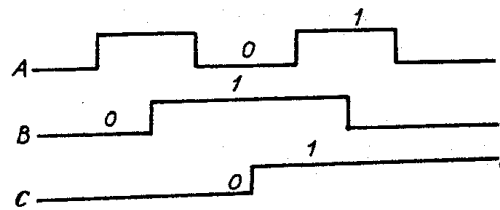
2-23. Cho mạch điện các cổng và dạng sóng đầu vào. Hãy viết biểu thức hàm logic đầu ra

Z_1, Z_2, Z_3, Z_4, Z_5

Và vẽ dạng sóng tín hiệu đầu ra.



(a)



(b)

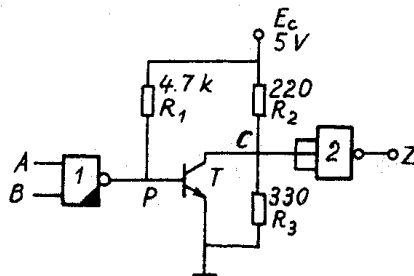
2-24. Cho mạch điện và dạng sóng

Cổng 1 là cổng NAND hở collector

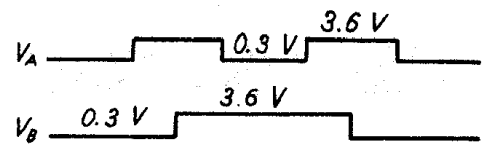
Khi bão hòa $V_o = 0,3V$.

Cổng 2 là cổng NANDTTL có đặc tính ngoài cho ở bài tập 2.15

Tranzito T khi bão hòa $V_{CES} = 0,3V$
 $V_{BE} = 0,7V$



(a)



(b)

- Hãy tính V_p, V_c, V_z khi $V_A = 0,3V$
- Hãy tính V_p, V_c, V_z khi $V_A = V_B = 3,6V$
- Cho $I_{LM} = 18mA$, hỏi đầu ra Z có thể chịu tải bao nhiêu cổng NAND TTL như cổng 2.
- Nếu R_1 đứt, mạch điện có thể làm việc được không. Tại sao. Tính V_z .
- Nếu R_2 đứt, mạch điện có thể làm việc được không. Tại sao. Tính V_z .
- Nếu R_3 đứt, mạch điện có thể làm việc được không tại sao. Tính V_z .

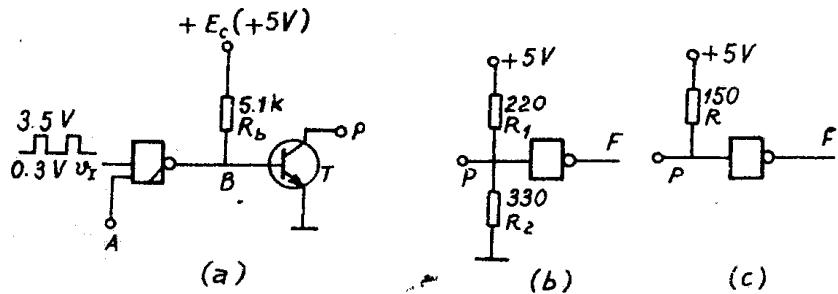
h - Có thể đổi cổng 1 thành cổng NAND TTL như cổng 2 có được không ?

i - Hãy viết biểu thức hàm logic đầu ra Z.

k - Hãy vẽ dạng sóng V_P , V_C , V_Z tương ứng V_A , V_B và ghi chú các giá trị điện áp.

2-25. Cho mạch điện cổng ; a nối tiếp với mạch cổng ; b thì làm việc bình thường, nhưng nếu a nối với c thì không làm việc bình thường được.

Cho biết tham số của cổng NAND là $V_T = 1,4V$
 $I_{IS} = 1,4mA$, $I_{IH} = 50\mu A$.



Tranzito có tham số : $\beta = 28$; $I_{CM} = 30mA$.

a - Hãy tính tình hình công tác trạng tĩnh trong hai trường hợp trên.

b - Hãy vẽ dạng sóng P và F tương ứng $A = 1$, $A = 0$ trong hai trường hợp trên.

2-26. Hãy phân tích mạng cổng NOT hình 2.3.1a.

Nếu muốn công suất tổn hao nhỏ và biên độ tín hiệu ra lớn, thì yêu cầu đặc tính bóng và giá trị R_O như thế nào.

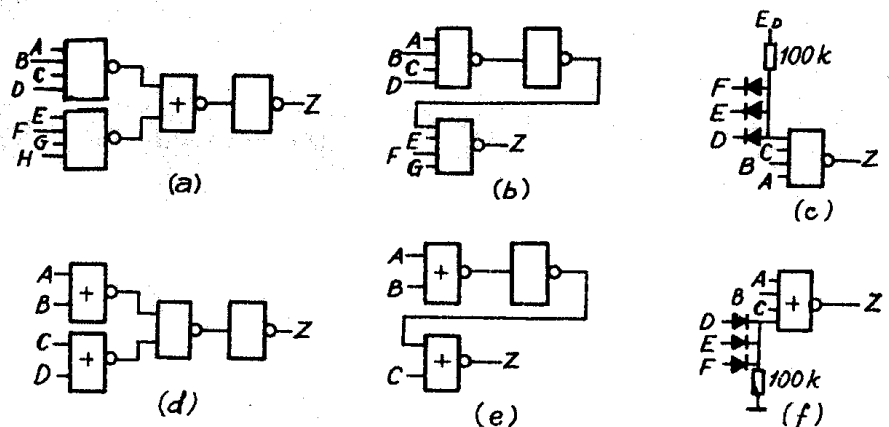
2-27. Tại sao chỉ dùng 1 bóng MOS thay thế điện trở tải R trong cổng NOT họ MOS. Căn cứ đặc điểm bóng phụ tải, cổng NOT họ MOS có mấy loại. Hãy vẽ mạch điện của chúng.

2-28. Trình bày đặc điểm của cổng NOT họ MOS và cổng NOT họ CMOS.

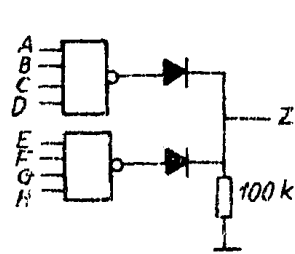
2-29. Có cho phép đầu vào mạch CMOS để hở lơ lửng không ? có thể nối đầu vào để hở đó tương đương mức logic 1 hay không ?

2-30. Cho các mạch điện CMOS.

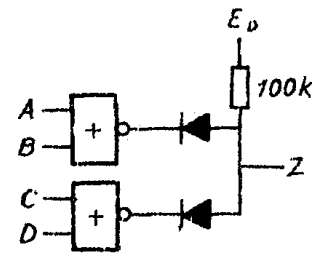
Hãy phân tích để viết biểu thức hàm logic của chúng. Hãy vẽ sơ đồ mạch logic tương đương đơn giản hóa của chúng.



2-31. Hãy phân tích để viết biểu thức hàm logic Z các mạch điện CMOS đã cho.

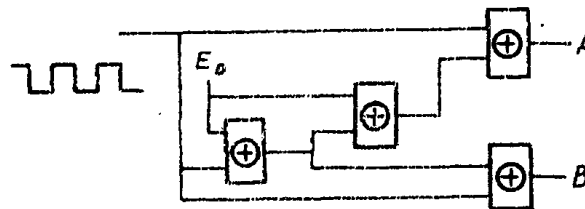


(a)

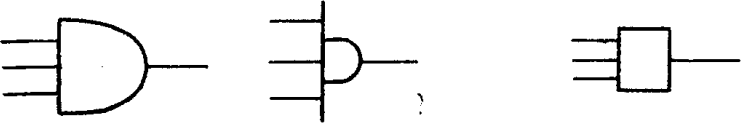
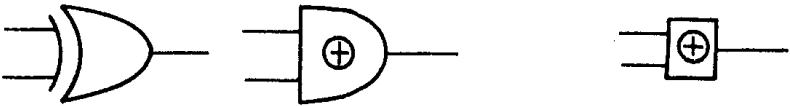
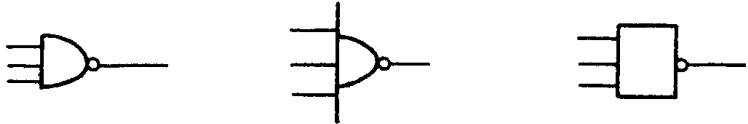


(b)

2-32. Hãy phân tích và vẽ ra dạng sóng đầu ra của mạch điện CMOS sau



Phụ lục : BẢNG KÍ HIỆU CÁC CỔNG

Tên cổng theo chức năng logic	Các kí hiệu tương đương
AND	
OR	
NOT	
XOR	
NAND	
NOR	
NORAND	

Chương 3

CƠ SỞ ĐẠI SỐ LOGIC

3.1. KHÁI NIỆM CƠ BẢN, CÔNG THỨC VÀ ĐỊNH LÝ

Đại số logic do George Boole, nhà toán học nước Anh, sáng tạo vào giữa thế kỉ XIX - So với đại số thường, đại số logic đơn giản hơn nhiều. Tuy đại số logic cũng dùng chữ biểu thị biến số, nhưng biến số logic chỉ lấy giá trị rất đơn giản, 1 và 0, không có giá trị thứ ba nào nữa. Hơn nữa, 0 và 1 ở đại số logic không chỉ biểu thị số lượng to nhỏ cụ thể, mà chủ yếu là để biểu thị hai trạng thái logic khác nhau (ví dụ, dùng 1 và 0 để biểu thị : đúng và sai, thật và giả, cao và thấp, có và không, mở và đóng v.v...). Trong đại số logic có một số quy tắc giống với đại số thường, nhưng lại có một số quy tắc hoàn toàn khác với đại số thường, chúng ta cần lưu ý phân biệt trong quá trình học tập.

3.1.1. Phép toán logic và hàm logic cơ bản

1) Phép toán logic cơ bản

Như ta đã biết, quan hệ logic cơ bản nhất chỉ có 3 loại : VÀ, HOẶC, PHỦ ĐỊNH. Vậy nên trong đại số logic, cũng chỉ có tương ứng 3 phép toán logic cơ bản nhất là : nhân logic - VÀ, cộng logic - HOẶC, đảo logic - PHỦ ĐỊNH. Các mạch điện thực hiện 3 phép toán cơ bản nhất, tương ứng là các cổng VÀ (AND), HOẶC (OR), ĐẢO (NOT)

Hình 3-1-1. Kí hiệu logic của các cổng cơ bản.

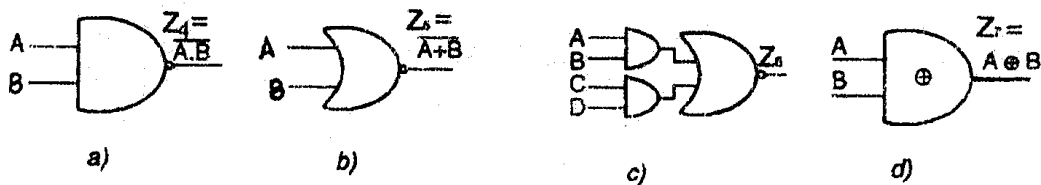
Tương ứng, hình 3-1-1a : $Z_1 = A.B$ (3-1-1)

hình 3-1-1b, b' : $Z_2 = A + B$ (3-1-2)

hình 3-1-1c : $Z_3 = \bar{A}$ (3-1-3)

Ngoài ba phép toán logic cơ bản nhất trên đây, chúng ta còn thường xuyên gặp các phép toán logic sau : VÀ - PHỦ ĐỊNH, HOẶC - PHỦ ĐỊNH, VÀ - HOẶC -

PHỦ ĐỊNH, CỘNG VỚI PHÉP LOẠI TRỪ... Mạch điện tương ứng để thực hiện các phép toán trên, theo thứ tự là các cổng : NAND, NOR, NORAND, XOR biểu thị trên hình 3-1-2 :



Hình 3-1-2. Kí hiệu logic các cổng logic thường dùng.

Tương ứng,	hình 3-1-2a : cổng NAND	$Z_4 = \overline{A \cdot B}$	(3-1-4)
	hình 3-1-2b : cổng NOR	$Z_5 = \overline{A + B}$	(3-1-5)
	hình 3-1-2c : cổng NORAND	$Z_6 = \overline{A \cdot B + C \cdot D}$	(3-1-6)
	hình 3-1-2d : cổng XOR	$Z_7 = A \oplus B$	(3-1-7)

2) Biến logic và hàm logic

Các công thức (3-1-1) ÷ (3-1-7) là các biểu thức logic, trong đó A, B, C, D là các biến logic đầu vào, Z là biến logic đầu ra, dấu gạch phía trên biến logic biểu thị hàm logic đảo của biến đó. Công thức (3-1-1) biểu thị quan hệ VÀ giữa A với B, Z_1 là hàm VÀ của các biến A và B. Công thức (3-1-2) biểu thị quan hệ HOẶC giữa A với B, Z_2 là hàm HOẶC của các biến A và B. Công thức (3-1-3) biểu thị Z_3 là hàm DẢO của biến A. Công thức (3-1-7) biểu thị quan hệ CỘNG VỚI PHÉP LOẠI TRỪ giữa A với B, Z_7 hàm XOR của các biến A và B.

Nói chung, sau khi đã xác định giá trị các biến đầu vào A, B, C... thì giá trị biến đầu ra Z cũng được xác định theo một cách đơn trị. Vậy ta gọi Z là hàm số logic của A, B, C..., và ta có thể viết :

$$Z = F(A, B, C, \dots)$$

Trong đại số logic, biến số và hàm số đều chỉ lấy hai giá trị ; thường dùng 0 và 1 biểu thị. Điều đó có cơ sở trong quan hệ nhân quả của các sự kiện. Mỗi biến số biểu thị một điều kiện để sự kiện có thể phát sinh. Điều kiện đó chỉ có thể có hay không. Hàm số biểu thị bản thân sự kiện đó phát sinh hay không. Số 0 và 1 biểu thị kí hiệu của hai khả năng đối lập nhau đó, và trong đa số trường hợp, chúng không có ý nghĩa số lượng nữa.

3.1.2. Công thức và định lí

1) Quan hệ giữa các hằng số

Vì trong đại số logic chỉ có hai hằng số 0, 1, các biến logic cũng chỉ lấy một trong hai giá trị đó, và cũng chỉ có ba phép toán logic cơ bản nhất, cho nên cũng chỉ có các quan hệ dưới đây :

Công thức 1	$0 \cdot 0 = 0$	(3-1-8)
Công thức 1'	$1 + 1 = 1$	(3-1-9)
Công thức 2	$0 \cdot 1 = 0$	(3-1-10)
Công thức 2'	$1 + 0 = 1$	(3-1-11)
Công thức 3	$1 \cdot 1 = 1$	(3-1-12)
Công thức 3'	$0 + 0 = 0$	(3-1-13)
Công thức 4	$\overline{0} = 1$	(3-1-14)
Công thức 4'	$\overline{1} = 0$	(3-1-15)

Những quan hệ trên đây giữa hai hằng số làm tiên đề của đại số logic. Nghĩa là, chúng là các quy tắc phép toán cơ bản đối với tư duy logic.

2) Quan hệ giữa biến số và hằng số

Công thức 5	$A \cdot 1 = A$	(3-1-16)
Công thức 5'	$A + 0 = A$	(3-1-17)
Công thức 6	$A \cdot 0 = 0$	(3-1-18)
Công thức 6'	$A + 1 = 1$	(3-1-19)
Công thức 7	$A \cdot \overline{A} = 0$	(3-1-20)
Công thức 7'	$A + \overline{A} = 1$	(3-1-21)

3) Các định lý tương tự đại số thường

Luật giao hoán :

Công thức 8	$A \cdot B = B \cdot A$	(3-1-22)
Công thức 8'	$A + B = B + A$	(3-1-23)

Luật kết hợp :

Công thức 9	$(A \cdot B) \cdot C = A \cdot (B \cdot C)$	(3-1-24)
Công thức 9'	$(A + B) + C = A + (B + C)$	(3-1-25)

Luật phân phối :

Công thức 10	$A \cdot (B + C) = A \cdot B + A \cdot C$	(3-1-26)
Công thức 10'	$A + BC = (A + B) \cdot (A + C)$	(3-1-27)

4) Các định lý đặc thù chỉ có trong đại số logic

Luật đồng nhất :

Công thức 11	$A \cdot A = A$	(3-1-28)
Công thức 11'	$A + A = A$	(3-1-29)

Định lý De Morgan :

Công thức 12	$\overline{A \cdot B} = \overline{A} + \overline{B}$	(3-1-30)
Công thức 12'	$\overline{A + B} = \overline{A} \cdot \overline{B}$	(3-1-31)

Luật hoàn nguyên :

Công thức 13

$$\overline{\overline{A}} = A$$

(3-1-32)

Phương pháp chứng minh các công thức trên là lập bảng tất cả các giá trị có thể của các biến và tính tương ứng với vế phải, vế trái riêng rẽ. Nếu đẳng thức giữa hai vế tồn tại với tất cả các giá trị có thể thì công thức là đúng. Công thức 5 và công thức 13 rất dễ chứng minh. Dưới đây sẽ chứng minh làm mẫu các công thức 10' và công thức 12.

Ví dụ 3-1-1. Chứng minh công thức 10'

$$A + B \cdot C = (A + B) \cdot (A + C)$$

Giải : lập bảng tất cả các giá trị có thể của biến và tính như sau

Bảng 3-1-1

A	B	C	B.C	A+B.C	A+B	A+C	(A+B) (A+C)
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	1	0	1	1	1	1
1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1

Tất cả các giá trị của 3 biến A, B, C tạo thành 8 tổ hợp. Bảng chân lí của hàm $A + B.C$ trùng với bảng chân lí của hàm $(A + B)(A + C)$. Vậy công thức $A + B.C = (A + B)(A + C)$ đã được chứng minh.

Ví dụ 3-1-2 : Chứng minh công thức 12

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

Giải : Lập bảng tất cả các giá trị có thể của biến và tính như sau

Bảng 3-1-2

A	B	A.B	$\overline{A \cdot B}$	$\overline{A}$	$\overline{B}$	$\overline{A} + \overline{B}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

Tất cả các giá trị của 2 biến A, B tạo thành 4 tổ hợp. Bảng chân lí của hàm $\overline{A \cdot B}$ trùng với bảng chân lí của hàm $\overline{A} + \overline{B}$. Vậy công thức 12 đã được chứng minh.

5) 3 quy tắc về đẳng thức

a) Quy tắc thay thế

Trong bất kì đẳng thức logic nào, nếu thay một biến nào đó bằng một hàm số thì đẳng thức vẫn thiết lập.

Quy tắc này có ứng dụng rất lớn trong biến đổi công thức để tạo ra công thức mới từ một công thức đã biết, mở rộng phạm vi ứng dụng của công thức đã biết.

Ví dụ : Công thức đã biết $\overline{A.B} = \overline{A} + \overline{B}$. Dùng $Z = A.C$ thay vào biến A , ta có :

$$\overline{(A.C).B} = \overline{A.C} + \overline{B} = (\overline{A} + \overline{C}) + \overline{B} \text{ hay là } \overline{A.C.B} = \overline{A} + \overline{C} + \overline{B}$$

b) Quy tắc tìm đảo của một hàm số

$\overline{Z}$ là đảo của hàm số Z sẽ có được từ Z bằng cách đổi dấu "." thành dấu "+" ; "+" thành dấu "." ; "0" thành "1", "1" thành "0", biến số thành đảo của biến số đó, đảo biến số thành nguyên biến số.

Ví dụ : $Z = \overline{A}. \overline{B} + C.D + 0$ có hàm đảo tương ứng là

$$\overline{Z} = (A + B).(\overline{C} + \overline{D}).1.$$

$$Z = A + B + \overline{C} + \overline{D} + \overline{E} \text{ có hàm đảo là } \overline{Z} = \overline{A}. \overline{B}. \overline{C}. \overline{D}. \overline{E}$$

Khi tìm đảo của một hàm số, những gạch ngang nào (biểu thị phép toán đảo) ở trên nhiều biến thì vẫn giữ nguyên. Cũng cần chú ý thứ tự ưu tiên xử lí các kí hiệu : dấu móc, dấu nhân, dấu cộng. Ví dụ, $Z = \overline{A}. \overline{B} + C.D$, theo thứ tự phép tính phải làm phép nhân $\overline{A}. \overline{B}$ và $C.D$ trước, sau mới tới phép cộng giữa chúng. Vậy thứ tự xử lí kí hiệu để tìm đảo sẽ dẫn tới kết quả $\overline{Z} = (A + B).(\overline{C} + \overline{D})$

(Nếu viết $\overline{Z} = A + B. \overline{C} + \overline{D}$, là sai !)

c) Quy tắc đối ngẫu

Hàm Z và hàm Z' gọi là đối ngẫu, khi các dấu "+" và ".", các giá trị "1" và "0" đổi chỗ cho nhau một cách tương ứng.

Ví dụ :

$$Z = A.(B + C)$$

$$Z' = A + B.C$$

$$Z = A + B. \overline{C}$$

$$Z' = A.(B + \overline{C})$$

$$Z = A. \overline{B} + A.(C + 0)$$

$$Z' = (A + \overline{B}).(A + C.1)$$

$$Z = (A + B).(A + C.1)$$

$$Z' = A.B + A.(C + 0)$$

$$Z = \overline{\overline{A} + B + \overline{C}} \quad Z' = \overline{\overline{A}. \overline{B}. \overline{C}}$$

$$Z = \overline{\overline{A}. \overline{B}. \overline{C}} \quad Z' = \overline{\overline{A} + B + \overline{C}}$$

Vì đối ngẫu là tương hỗ, nên nếu một đẳng thức đã tồn tại đối với biểu thức vế trái và biểu thức vế phải, thì đối ngẫu của vế trái và đối ngẫu của vế phải cũng là một đẳng thức.

Quy tắc đối ngẫu nói trên cho phép từ các công thức 1 + 12 suy ra các công thức 1' + 12' (và ngược lại)

Ví dụ :

$$\text{Ta đã biết } A + B.C.D = (A + B).(A + C).(A + D)$$

$$\text{Có thể suy ra } A.(B + C + D) = A.B + A.C + A.D$$

Cần lưu ý thứ tự ưu tiên xử lý kí hiệu khi tìm biểu thức đối ngẫu.

Áp dụng quy tắc đối ngẫu có thể làm cho số công thức cần chứng minh giảm đi một nửa. Sau khi đã chứng minh hai biểu thức bằng nhau, căn cứ quy tắc đối ngẫu, các đối ngẫu của đẳng thức đã chứng minh cũng phải bằng nhau. Vậy nên, khi giới thiệu những công thức sau đây, chúng ta sẽ không đưa ra các công thức dạng đối ngẫu của chúng.

6) Một số công thức thường dùng

Sử dụng những công thức và quy tắc ở phần trên, chúng ta có thể được càng nhiều công thức mới, dưới đây là các công thức thường dùng

$$\text{Công thức 14 : } A.B + A.\bar{B} = A \quad (3-1-33)$$

Chứng minh :

$$A.B + A.\bar{B} = A.(B + \bar{B}) = A$$

Vậy, nếu biến số B và đảo biến số $\bar{B}$ cùng nhân một biến số A thì tổng hai tích đó bằng A (gộp A.B với A. $\bar{B}$ được A bỏ B, $\bar{B}$)

$$\text{Công thức 15 : } A + A.B = A \quad (3-1-34)$$

Chứng minh :

$$A + A.B = A.(1 + B) = A \quad (\text{Theo công thức 6', } 1 + B = 1)$$

Vậy, nếu trong tổng các tích có một số hạng là thừa số trong một số hạng khác, thì số hạng có nhiều thừa số hơn là thừa (có thể bỏ đi)

$$\text{Công thức 16 : } A + \bar{A}.B = A + B \quad (3-1-35)$$

Chứng minh :

Theo công thức 10', ta có :

$$A + \bar{A}.B = (A + \bar{A}).(A + B) = 1.(A + B) = A + B$$

Vậy, nếu trong tổng các tích, có đảo của một số hạng là thừa số trong một số hạng khác, thì thừa số đó là thừa (không cần viết)

$$\text{Công thức 17 : } A.B + \bar{A}.C + BC = A.B + \bar{A}.C \quad (3-1-36)$$

Chứng minh :

$$\begin{aligned} A.B + \bar{A}.C + BC &= A.B + \bar{A}.C + B.C(A + \bar{A}) \\ &= A.B + \bar{A}.C + B.C.A + B.C.\bar{A} \\ &= A.B + A.B.C + \bar{A}.C + \bar{A}.CB \\ &= A.B + \bar{A}.C \end{aligned}$$

$$\text{Hệ quả : } A.B + \bar{A}.C + B.C.D = A.B + \bar{A}.C \quad (3-1-37)$$

(lưu ý áp dụng công thức 17 và 15 để chứng minh)

Vậy, nếu trong tổng các tích, xuất hiện một biến và đảo của biến đó trong hai số hạng khác nhau, các thừa số còn lại trong hai số hạng đó làm thành thừa số của một số hạng thứ ba, thì số hạng thứ ba là thừa (có thể bỏ đi).

$$\text{Công thức 18 : } \overline{A \cdot B + \bar{A} \cdot B} = \bar{A} \cdot \bar{B} + A \cdot B \quad (3-1-38)$$

Chứng minh :

$$\begin{aligned} \overline{A \cdot B + \bar{A} \cdot B} &= \overline{A \cdot B + \bar{A} \cdot B} = (\bar{A} + B)(A + \bar{B}) \\ &= (\bar{A} \cdot A + \bar{A} \cdot \bar{B}) + (B \cdot A + B \cdot \bar{B}) \\ &= 0 + \bar{A} \cdot \bar{B} + A \cdot B + 0 \end{aligned}$$

$$\text{Công thức 19 : } \overline{A \cdot B + \bar{A} \cdot C} = A \cdot \bar{B} + \bar{A} \cdot \bar{C} \quad (3-1-39)$$

Chứng minh :

$$\begin{aligned} \overline{A \cdot B + \bar{A} \cdot C} &= \overline{A \cdot B + \bar{A} \cdot C} = (\bar{A} + \bar{B}) \cdot (A + \bar{C}) \\ &= (\bar{A} \cdot A + \bar{A} \cdot \bar{C}) + (\bar{B} \cdot A + \bar{B} \cdot \bar{C}) \\ &= 0 + \bar{A} \cdot \bar{C} + A \cdot \bar{B} + \bar{B} \cdot \bar{C} = \bar{A} \cdot \bar{C} + A \cdot \bar{B} \text{ (theo công thức 17)} \end{aligned}$$

Vậy công thức 18 là một trường hợp riêng của công thức 19, nếu một hàm là tổng của hai tích, có một biến trong số hạng thứ nhất và đảo của biến đó trong số hạng thứ hai, thì nếu lấy đảo tất cả các thừa số còn lại, ta sẽ được đảo của hàm đã cho.

7) Những công thức với XOR (phép cộng với sự loại trừ)

Định nghĩa phép XOR :

$$A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B \quad (3-1-40)$$

Hàm logic XOR = 1 khi các biến A, B lấy các giá trị khác nhau,
và XOR = 0 khi các biến A, B lấy các giá trị bằng nhau.

Tên hàm XOR, vì vậy, mang ý nghĩa DỊ HOẶC, HOẶC TUYỆT ĐỐI

Đảo của XOR là :

$$A \cdot B = \overline{A \oplus B} = \overline{A \cdot \bar{B} + \bar{A} \cdot B} = \bar{A} \cdot \bar{B} + A \cdot B \quad (3-1-41)$$

(áp dụng công thức 19)

Hàm $A \cdot B = 1$ khi các biến A, B lấy các giá trị bằng nhau

$A \cdot B = 0$ khi các biến A, B lấy các giá trị khác nhau

$A \cdot B$ có tên là hàm TƯƠNG DƯƠNG

$$1. \text{Luật giao hoán} \quad A \oplus B = B \oplus A \quad (3-1-42)$$

$$2. \text{Luật kết hợp} \quad (A \oplus B) \oplus C = A \oplus (B \oplus C) \quad (3-1-43)$$

$$3. \text{Luật phân phối} \quad A \cdot (B \oplus C) = A \cdot B \oplus A \cdot C \quad (3-1-44)$$

Chứng minh :

$$A \cdot (B \oplus C) = A \cdot (B \cdot \bar{C} + \bar{B} \cdot C) = A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C$$

Vì công thức 7 : $A \bar{A} = 0$, $A \bar{A} B = A \bar{A} C = 0$, nên ta có

$$\begin{aligned}
 AB\bar{C} + A\bar{B}C &= AB\bar{C} + A\bar{B}C + A\bar{A}B + A\bar{A}C = AB\bar{A} + AB\bar{C} + \bar{A}AC + \bar{B}AC \\
 &= AB(\bar{A} + \bar{C}) + (\bar{A} + \bar{B})AC = AB\bar{A}\bar{C} + \bar{A}BAC \\
 &= AB \oplus AC
 \end{aligned}$$

$$\text{Vậy } A.(B \oplus C) = AB \oplus AC$$

4. Các phép toán của biến và hằng số :

$$\text{Từ định nghĩa (3-1-40), ta có :} \quad A \oplus 1 = \bar{A} \quad (3-1-45)$$

$$A \oplus 0 = A \quad (3-1-46)$$

$$A \oplus A = 0 \quad (3-1-47)$$

$$A \oplus \bar{A} = 1 \quad (3-1-48)$$

5. Luật đối chổ nhân quả

$$\text{Nếu } A \oplus B = C$$

$$\text{Thì } A \oplus C = B \text{ và } B \oplus C = A$$

Chứng minh :

$$\text{Vì } A \oplus B = C$$

$$\text{Nên } A \oplus B \oplus B = C \oplus B$$

$$A \oplus 0 = B \oplus C$$

$$A = B \oplus C$$

8) Định lý triển khai

$$\begin{aligned}
 &F(A_1, A_2, \dots, A_n) \\
 &= A_1 \cdot F(1, A_2, \dots, A_n) + \bar{A}_1 \cdot F(0, A_2, \dots, A_n) \quad (3-1-49)
 \end{aligned}$$

$$\begin{aligned}
 &F(A_1, A_2, \dots, A_n) \\
 &= [A_1 + F(0, A_2, \dots, A_n)] \cdot [\bar{A}_1 + F(1, A_2, \dots, A_n)] \quad (3-1-50)
 \end{aligned}$$

Chứng minh :

Thay $A_1 = 0$ vào, đẳng thức, ta có :

$$\begin{aligned}
 &F(0, A_2, \dots, A_n) \\
 &= 0 \cdot F(1, A_2, \dots, A_n) + \bar{0} \cdot F(0, A_2, \dots, A_n)
 \end{aligned}$$

$$= F(0, A_2, \dots, A_n)$$

$$F(0, A_2, \dots, A_n)$$

$$= [0 + F(0, A_2, \dots, A_n)] \cdot [\bar{0} + F(1, A_2, \dots, A_n)]$$

$$= F(0, A_2, \dots, A_n) \cdot [1 + F(1, A_2, \dots, A_n)]$$

$$= F(0, A_2, \dots, A_n) \cdot 1$$

$$= F(0, A_2, \dots, A_n)$$

Thay $A_1 = 1$ vào, ta có :

$$\begin{aligned}
& F(1, A_2, \dots, A_n) \\
&= 1 \cdot F(1, A_2, \dots, A_n) + \bar{1} \cdot F(0, A_2, \dots, A_n) \\
&= F(1, A_2, \dots, A_n) + 0 \cdot F(0, A_2, \dots, A_n) \\
&= F(1, A_2, \dots, A_n) + 0 \\
&= F(1, A_2, \dots, A_n) \\
& F(1, A_2, \dots, A_n) \\
&= [1 + F(0, A_2, \dots, A_n)] \cdot [\bar{1} + F(1, A_2, \dots, A_n)] \\
&= 1 \cdot [0 + F(1, A_2, \dots, A_n)] \\
&= 1 \cdot F(1, A_2, \dots, A_n) \\
&= F(1, A_2, \dots, A_n)
\end{aligned}$$

Ta đã thấy rằng đẳng thức luôn luôn đúng dù A_1 lấy giá trị bất kì. Vậy định lý đã được chứng minh. Bằng phương pháp tương tự như trên, ta có thể rút ra hệ quả :

$$\begin{aligned}
& A_1 \cdot F(A_1, A_2, \dots, A_n) \\
&= A_1 \cdot F(1, A_2, \dots, A_n) \quad (3-1-51)
\end{aligned}$$

$$\begin{aligned}
& A_1 + F(A_1, A_2, \dots, A_n) \\
&= A_1 + F(0, A_2, \dots, A_n) \quad (3-1-52)
\end{aligned}$$

$$\begin{aligned}
& \bar{A}_1 \cdot F(A_1, A_2, \dots, A_n) \\
&= \bar{A}_1 \cdot F(0, A_2, \dots, A_n) \quad (3-1-53)
\end{aligned}$$

$$\begin{aligned}
& \bar{A}_1 + F(A_1, A_2, \dots, A_n) \\
&= \bar{A}_1 + F(1, A_2, \dots, A_n) \quad (3-1-54)
\end{aligned}$$

Áp dụng định lý triển khai, chúng ta dễ dàng triển khai một hàm số bất kì đối với một biến số bất kì của nó.

Ví dụ 3-1-3 : Chứng minh $A \cdot \overline{A \oplus B \oplus C} = A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C$

Giải : Theo công thức (3-1-51), ta có :

$$\begin{aligned}
A \cdot \overline{A \oplus B \oplus C} &= A \cdot \overline{1 \oplus B \oplus C} = A \cdot \overline{\bar{B} \oplus C} \\
&= A \cdot (B\bar{C} + \bar{B}C) = AB\bar{C} + A\bar{B}C
\end{aligned}$$

Để tiện cách viết, trong biểu thức logic, các kí hiệu và dấu ngoặc có thể bỏ đi theo quy tắc sau :

1- Phép đảo đối với một nhóm biến không cần dấu ngoặc, vì gạch ngang đảo trên chúng cũng biểu thị rõ phạm vi tác động, ví dụ : không cần viết $(A + B)$, mà chỉ $A + B$.

2- Nếu trong biểu thức có cả phép nhân và phép cộng, thì phép nhân không cần dấu "." luôn luôn được hiểu là làm trước phép cộng. Ví dụ, $(A.B) + (C.D)$ có thể viết thành $AB + CD$, nhưng $(A + B).(C + D)$ thì không thể viết thiếu dấu ngoặc.

3.2. CÁC PHƯƠNG PHÁP BIỂU THỊ HÀM LOGIC

Khi nghiên cứu và xử lý những vấn đề logic, ta có thể dùng những phương pháp khác nhau để biểu thị hàm logic tùy theo đặc điểm của hàm logic xét. Thường dùng 4 phương pháp. Đó là bảng chân lí, biểu thức logic, bảng Karnaugh và sơ đồ logic. Chúng ta không những cần nắm vững từng phương pháp, mà còn phải thành thạo chuyển đổi từ phương pháp này sang phương pháp khác.

3.2.1. Bảng chân lí

Bảng chân lí là bảng miêu tả quan hệ giữa các giá trị của hàm số tương ứng với mọi giá trị có thể của biến số.

1) Phương pháp liệt kê thành bảng chân lí

Mỗi biến đầu vào có thể lấy 2 giá trị 1 và 0, nếu có n biến đầu vào thì có 2^n tổ hợp các giá trị khác nhau của chúng. Để nhận được bảng chân lí, ta phải liệt kê tất cả các tổ hợp giá trị của biến đầu vào và giá trị xác định của hàm đầu ra tương ứng với từng tổ hợp đó.

Ví dụ 3-2-1 : Hãy kê bảng chân lí của hàm số sau

$$Z = AB + BC + CA.$$

Giải : có 3 biến đầu vào, tức là có 8 tổ hợp các giá trị của chúng. Thay giá trị của mỗi tổ hợp vào hàm số và tính ra giá trị tương ứng, rồi liệt kê thành bảng 3-2-1. (Nói chung, để khỏi bỏ sót, để khỏi trùng lặp, thường sắp xếp thứ tự các giá trị biến vào theo tuần tự số đếm nhị phân.

Bảng 3-2-1

A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Ví dụ 3-2-2 : một bóng đèn đường cần đóng, ngắt độc lập ở 4 nơi khác nhau. Hãy viết bản chân lí của hàm số logic đó.

Giải : gọi A, B, C, D là chuyển mạch đóng ngắt ở 4 nơi, đóng điện thì các biến lấy giá trị 1, ngắt điện thì các biến lấy giá trị 0. Gọi Z là trạng thái đèn được điều khiển, đèn sáng $Z = 1$, đèn tắt $Z = 0$. Sau khi suy xét kĩ, ta kê được bảng chân lí 3-2-2.

Bảng 3-2-2

A	B	C	D	Z	Thuyết minh
0	0	0	0	0	4 chuyển mạch đều ngắt, đèn tắt
0	0	0	1	1	Có 1 chuyển mạch đóng, đèn sáng
0	0	1	0	1	
0	1	0	0	1	
1	0	0	0	1	
0	0	1	1	0	Có 2 chuyển mạch đồng thời đóng, đèn tắt
0	1	0	1	0	
0	1	1	0	0	
1	0	0	1	0	
1	0	1	0	0	
1	1	0	0	0	
0	1	1	1	1	Có 3 chuyển mạch đồng thời đóng, đèn sáng
1	0	1	1	1	
1	1	0	1	1	
1	1	1	0	1	
1	1	1	1	0	Cả 4 chuyển mạch đồng thời đóng, đèn tắt

Nếu phải giải quyết một vấn đề logic thực tế, đầu tiên ta hãy làm rõ đâu là đầu vào, đâu là đầu ra, dùng biến đại số biểu thị ; tiếp theo cần xác định quan hệ tương ứng của các trạng thái đầu ra - đầu vào. Cuối cùng liệt kê bảng chân lí một cách chính xác.

2) Đặc điểm bảng chân lí

Bảng chân lí biểu thị hàm logic dưới dạng bảng số, nó có các đặc điểm chủ yếu sau đây :

a- Rõ ràng, trực quan. Sau khi xác định giá trị biến đầu vào thì có thể tra bảng chân lí để biết giá trị tương ứng của hàm đầu ra. Vậy nên trong các sổ tay vi mạch số đều có bảng chân lí để giới thiệu chức năng logic của vi mạch.

b- Để giải quyết một nhiệm vụ thực tế ở dạng vấn đề logic, thì bảng chân lí là tiện nhất. Vậy nên trong quá trình thiết kế logic của mạch số, việc đầu tiên là phân tích yêu cầu, kê ra bảng chân lí.

Nhược điểm chủ yếu của bảng chân lí là sẽ rối rắm nếu biến số khá nhiều, không thể dùng các công thức và định lí của đại số logic để tính toán.

Để đơn giản, đôi khi chỉ kê tổ hợp các giá trị đầu vào nào tương ứng hàm số lấy giá trị bằng 1. Những tổ hợp thực tế sử dụng không cần, hoặc làm cho hàm số lấy giá trị 0 đều không cần kê ra.

3.2.2. Biểu thức hàm số

Biểu thức hàm số dạng đại số logic dùng các phép toán VÀ, HOẶC, ĐẢO biểu thị quan hệ logic giữa các biến trong hàm.

1) Dạng chuẩn tắc tuyến (tổng các tích)

Chỉ chú ý đến tổ hợp giá trị các biến nào tương ứng hàm có giá trị 1 trong bảng chân lí. Trong tổ hợp đã chọn, giá trị 1 viết nguyên biến, giá trị 0 viết đảo biến, và kết quả viết được một số hạng dạng tích các biến tương ứng với tổ hợp xét - nếu đem cộng tất cả các số hạng như vậy, thì ta được dạng chuẩn tắc tuyến (Tổng các tích - ORAND) của hàm logic.

Ví dụ 3-2-3 : Hãy viết biểu thức hàm số từ bảng chân lí 3.2.3

Bảng 3-2-3

A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Giải : hàm $Z = 1$ tương ứng 4 tổ hợp giá trị các biến

$ABC = 011, 101, 110, 111$. Các số hạng dạng tích các biến là $\bar{A}BC$, $A\bar{B}C$, $AB\bar{C}$, ABC . Dạng chuẩn tắc tuyến của hàm số :

$$Z = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC \quad (3-2-1)$$

Kết quả này có chính xác không ? Chúng ta có thể nghiệm lại.

Biểu thức hàm số chuẩn tắc tuyến có tên gọi nhấn mạnh hình thức chuẩn của các số hạng dạng tích trong biểu thức. Chúng ta gọi số hạng chuẩn này là số hạng nhỏ nhất.

2) Số hạng nhỏ nhất

a) Định nghĩa

Số hạng nhỏ nhất là một khái niệm quan trọng trong đại số logic. Như ở ví dụ 3-2-3, Z là hàm của các biến A, B, C . 3 biến có 8 tổ hợp các giá trị khả dĩ : 000, 001, 010, 011, 100, 101, 110, 111. Tương ứng ta có 8 số hạng dạng tích là $\bar{A}\bar{B}\bar{C}$, $\bar{A}\bar{B}C$, $\bar{A}B\bar{C}$, $\bar{A}BC$, $A\bar{B}\bar{C}$, $A\bar{B}C$, $AB\bar{C}$, ABC . Đặc điểm chung của 8 số hạng này là :

- Đều có 3 thừa số ;
- Mỗi biến số xuất hiện chỉ 1 lần dưới dạng thừa số hoặc là nguyên biến hoặc là đảo biến.

Vậy chúng ta gọi 8 số hạng dạng tích có đặc điểm trên là số hạng nhỏ nhất của các biến A, B, C .

Nói chung, đối với trường hợp n biến, số hạng dạng tích P có n thừa số ; trong P mỗi biến đều xuất hiện một lần, và chỉ 1 lần mà thôi, hoặc dưới dạng nguyên biến, hoặc dưới dạng đảo biến ; P được gọi là số hạng nhỏ nhất của n biến, n biến có tất cả 2^n số hạng nhỏ nhất. Vì mỗi biến đều có 2 trạng thái (nguyên biến và đảo biến), mà tất cả có n biến.

b) Tính chất số hạng nhỏ nhất

Bảng 3-2-4 : BẢNG CHÂN LÍ TOÀN BỘ SỐ HẠNG NHỎ NHẤT CỦA 3 BIẾN SỐ.

A	B	C	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$	$\overline{A}B\overline{C}$	$\overline{A}BC$	$A\overline{B}\overline{C}$	$A\overline{B}C$	$AB\overline{C}$	ABC
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Từ bảng 3-2-4, ta nhận thấy các tính chất sau của số hạng nhỏ nhất :

- Mỗi số hạng nhỏ nhất tương ứng với một tổ hợp giá trị của biến để nó bằng 1, và chỉ có một tổ hợp mà thôi.
- Tích của hai số hạng nhỏ nhất bất kì luôn bằng 0
- Tổng của tất cả các số hạng nhỏ nhất luôn bằng 1

c) Số hạng tối thiểu là phần tử cơ bản cấu trúc hàm logic

Một hàm logic bất kì đều có thể biểu thị dưới hình thức là tổng của các số hạng nhỏ nhất - dạng chuẩn tắc tuyến. Hơn nữa, hình thức đó là duy nhất, tức là, một hàm logic chỉ có một biểu thức duy nhất biểu thị nó dưới dạng tổng các số hạng tối thiểu. Không những có thể viết ra dạng chuẩn tắc tuyến của hàm logic trực tiếp từ bảng chân lí, mà còn có thể dùng các công thức và định lí của đại số logic, cũng có thể dùng cách khai triển và biến đổi để có dạng chuẩn tắc tuyến.

Ví dụ 3-2-4 : hãy viết dạng chuẩn tắc tuyến của hàm số $Z = AB + BC + CA$

$$\begin{aligned}\text{Giải : } Z &= AB + BC + CA \\ &= AB(C + \overline{C}) + BC(A + \overline{A}) + CA(B + \overline{B}) \\ &= ABC + AB\overline{C} + A\overline{B}C + \overline{A}BC\end{aligned}$$

Ví dụ 3-2-5 : hãy viết dạng biểu thức số hạng tối thiểu của hàm

$$\overline{(A + B + C)(\overline{A} + \overline{B} + \overline{C})}$$

$$\begin{aligned}\text{Giải : } Z &= \overline{(A + B + C)(\overline{A} + \overline{B} + \overline{C})} \\ &= \overline{A + B + C} + \overline{\overline{A} + \overline{B} + \overline{C}} \\ &= \overline{A}\overline{B}\overline{C} + ABC\end{aligned}$$

d) Kí hiệu của số hạng nhỏ nhất

Để tiện viết, thường gán cho mỗi số hạng nhỏ nhất một kí hiệu. Phương pháp như sau : tổ hợp các giá trị biến số tương ứng với số hạng nhỏ nhất được xét, chuyển hình thức số nhị phân sang số thập phân, con số này là kí hiệu của số hạng nhỏ nhất xét - Ví dụ, trong các số hạng nhỏ nhất của các biến A, B, C thì $\overline{A}\overline{B}\overline{C}$ tương ứng tổ hợp giá trị 000, tức là 0_{10} , kí hiệu của $\overline{A}\overline{B}\overline{C}$ vì vậy là m_0 ; $\overline{A}\overline{B}C$ tương ứng tổ hợp giá trị 010, tức là 2_{10} , kí hiệu của $\overline{A}\overline{B}C$ là m_2 .

Tương tự, $\overline{A}B\overline{C} = m_1$; $\overline{A}BC = m_3$; $A\overline{B}\overline{C} = m_4$; $A\overline{B}C = m_5$; $AB\overline{C} = m_6$; $ABC = m_7$. Hơn nữa, thường dùng kí hiệu biểu thị các số hạng nhỏ nhất của dạng chuẩn tắc tuyến; Ví dụ, trong ví dụ 3-2-4 :

$$Z = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC \text{ thường viết thành}$$

$$Z = m_3 + m_5 + m_6 + m_7 = \sum (3, 5, 6, 7)$$

Tương tự, trong ví dụ 3-2-5 :

$$Z = \overline{A}\overline{B}\overline{C} + ABC = m_0 + m_7 = \sum (0, 7)$$

3) Dạng chuẩn tắc tuyến của đảo hàm

Nếu lấy tổng các số hạng nhỏ nhất tương ứng với các tổ hợp giá trị các biến mà hàm lấy giá trị 0 trong bảng chân lí, thì ta có dạng chuẩn tắc tuyến của đảo hàm. Ví dụ, từ bảng chân lí 3-2-3 ta có : $\overline{Z} = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}$

$\overline{Z}$ là đảo hàm của Z. Nếu ta lại lấy đảo lần nữa của $\overline{Z}$, và triển khai theo định lí triển khai, thì ta sẽ được dạng chuẩn tắc tuyến của Z mà ta đã có ở ví dụ 3-2-3 :

$$\begin{aligned} Z = \overline{\overline{Z}} &= \overline{\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}} \\ &= \overline{A\overline{1}\overline{B}\overline{C} + \overline{1}\overline{B}C + \overline{1}B\overline{C} + 1\overline{B}\overline{C} + \overline{A}\overline{0}\overline{B}\overline{C} + \overline{0}\overline{B}C + \overline{0}B\overline{C} + 0\overline{B}\overline{C}} \\ &= \overline{A\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{B}C + B\overline{C}} \\ &= \overline{A(\overline{B}\overline{1}\overline{C} + \overline{B}\overline{0}\overline{C}) + \overline{A}(\overline{B}\overline{1}\overline{C} + \overline{1}C + 1\overline{C} + B\overline{0}\overline{C} + \overline{0}C + 0\overline{C})} \\ &= \overline{A(\overline{B}.1 + \overline{B}C) + \overline{A}(BC + \overline{B}.0)} \\ &= \overline{AB + A\overline{B}C + \overline{A}BC} \\ &= \overline{AB(C + \overline{C}) + A\overline{B}C + \overline{A}BC} = \overline{ABC + AB\overline{C} + A\overline{B}C + \overline{A}BC} \\ &\text{phù hợp (3-2-1)} \end{aligned}$$

4) Dạng chuẩn tắc hội (tích các tổng)

Dạng chuẩn tắc hội có thể nhận được bằng phương pháp sau :

Từ bảng chân lí tìm dạng chuẩn tắc tuyến của đảo hàm, sau đó dùng định lí De Morgan để tìm đảo của đảo hàm.

$$\text{Ví dụ, từ phần trên ta đã tìm được } \overline{Z} = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}$$

$$\begin{aligned} Z = \overline{\overline{Z}} &= \overline{\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}} = \overline{\overline{A}\overline{B}\overline{C}} \cdot \overline{\overline{A}\overline{B}C} \cdot \overline{\overline{A}B\overline{C}} \cdot \overline{A\overline{B}\overline{C}} \\ &= (A + B + C)(A + B + \overline{C})(A + \overline{B} + C)(\overline{A} + B + C) \quad (3-2-2) \end{aligned}$$

Các thừa số của hàm số dạng chuẩn tắc hội có tính chất sau :

- Đều bao gồm tất cả các biến của hàm
- Mỗi biến đều xuất hiện một lần và chỉ một lần trong dạng tổng của thừa số, hoặc là nguyên biến, hoặc là đảo biến.

Các thừa số có tính chất nêu trên được gọi là thừa số lớn nhất. Tích các thừa số lớn nhất là dạng chuẩn tắc hội của hàm số.

(3-2-2) là biểu thức của hàm Z dạng chuẩn tắc hội.

Nói chung, đối với trường hợp hàm n biến, thừa số lớn nhất là một tổng của n số hạng, mỗi số hạng là một biến, xuất hiện một lần dưới dạng nguyên biến hoặc đảo biến, và chỉ xuất hiện một lần mà thôi. n biến có tương ứng 2^n thừa số lớn nhất. Bảng 3-2-5 là bảng chân lí của toàn bộ các thừa số lớn nhất tương ứng hàm 3 biến A, B, C :

Bảng 3-2-5

A	B	C	$A+B+C$	$A+B+\bar{C}$	$A+\bar{B}+C$	$A+\bar{B}+\bar{C}$	$\bar{A}+B+C$	$\bar{A}+B+\bar{C}$	$\bar{A}+\bar{B}+C$	$\bar{A}+\bar{B}+\bar{C}$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Nhận xét bảng 3-2-5, ta thấy thừa số lớn nhất có các tính chất sau :

- Mỗi thừa số lớn nhất tương ứng với một tổ hợp giá trị của biến để nó bằng 0, và chỉ có một tổ hợp mà thôi.
- Tổng của hai thừa số lớn nhất bất kì luôn luôn bằng 1
- Tích của tất cả các thừa số lớn nhất luôn bằng 0

Cách kí hiệu các thừa số lớn nhất như sau : tổ hợp các giá trị biến số tương ứng với thừa số lớn nhất được xét chuyển hình thức số nhị phân sang số thập phân, con số này là kí hiệu của thừa số lớn nhất xét - Ví dụ , trong các thừa số lớn nhất của các biến A, B, C thì :

$A + B + C$	tương ứng tổ hợp	000,	chuyển thành	0_{10} ,	kí hiệu	M_0
$A + B + \bar{C}$		001		1_{10}		M_1
$A + \bar{B} + C$		010		2		M_2
$A + \bar{B} + \bar{C}$		011		3		M_3
$\bar{A} + B + C$		100		4		M_4
$\bar{A} + B + \bar{C}$		101		5		M_5
$\bar{A} + \bar{B} + C$		110		6		M_6
$\bar{A} + \bar{B} + \bar{C}$		111		7		M_7

Cách viết kí hiệu rất thuận tiện. Chú ý rằng m_i và M_i là đảo của nhau :

$$m_i = \overline{M_i}$$

Ví dụ : $m_0 = \overline{A} \overline{B} \overline{C} \quad M_0 = A + B + C$

$$m_0 = \overline{M_0} = \overline{A + B + C} = \overline{A} \overline{B} \overline{C}$$

$$m_5 = A \overline{B} C \quad \overline{M_5} = \overline{A} + B + \overline{C}$$

$$m_5 = \overline{M_5} = \overline{\overline{A} + B + \overline{C}} = A \overline{B} C$$

Thừa số lớn nhất cũng là phần tử cơ bản cấu trúc hàm logic. Biểu thức hàm số (3-2-2) có thể viết dưới dạng :

$$Z = M_0 M_1 M_2 M_4 = \Pi (0, 1, 2, 4)$$

Đặc điểm các biểu thức hàm số

Một hàm logic được biểu thị bằng biểu thức các phép toán VÀ, HOẶC, ĐẢO v... liên kết các biến số của nó với nhau. Ưu điểm của phương pháp biểu thức hàm số là :

- Dùng các kí hiệu logic biểu thị quan hệ logic giữa các biến làm cho cách viết gọn và tiện, tính khái quát và trừu tượng rất cao.

- Rất tiện sử dụng các công thức và định lí của đại số logic để biến đổi, làm toán.

- Tiện cho việc dùng sơ đồ logic để thực hiện hàm số. Chỉ cần dùng các kí hiệu logic của mạch điện cổng tương ứng thay thế phép toán xét trong biểu thức hàm số, ta được một sơ đồ logic. Vấn đề này còn được giới thiệu cụ thể sau.

Nhược điểm chủ yếu của phương pháp biểu thức hàm số là khó xác định giá trị hàm ứng với giá trị biến một cách trực tiếp đối với các hàm số phức tạp (không trực quan như bảng chân lí)

3.2.3. Bảng Karnaugh

Bảng Karnaugh là phương pháp hình vẽ biểu thị hàm logic, trong đó các giá trị hàm đầu ra tương ứng tổ hợp các biến đầu vào đều được biểu thị đầy đủ. Trên cơ sở bảng Karnaugh của các biến, diễn các số hạng nhỏ nhất của hàm số vào các ô tương ứng thì ta có bảng Karnaugh của hàm.

1) Bảng Karnaugh của biến logic

a) Hình 3-2-1 trình bày bảng Karnaugh 3 biến và 4 biến.

b) Quy tắc vẽ bảng Karnaugh của biến như sau :

- Bảng Karnaugh có dạng hình chữ nhật. n biến có 2^n ô, mỗi ô tương ứng với một số hạng nhỏ nhất. Ví dụ, hình 3-2-1, $n = 3$ tương ứng bảng $2^3 = 8$ ô, $n = 4$ tương ứng bảng $2^4 = 16$ ô.

- Giá trị các biến được sắp xếp thứ tự theo mã vòng. (Nếu không sắp xếp thứ tự theo mã vòng thì không còn là bảng Karnaugh nữa !)

Ví dụ : sự sắp xếp của AB và CD đều là 00, 01, 11, 10 (hình 3-2-1).

Mã vòng có thể suy ra từ mã số nhị phân như sau. Giả sử cho mã số nhị phân là $B_3B_2B_1B_0$, mã vòng tương ứng là $G_3G_2G_1G_0$, thì có thể tính $G_i = B_{i+1} \oplus B_i$. Cụ thể, $G_0 = B_1 \oplus B_0$; $G_1 = B_2 \oplus B_1$; $G_2 = B_3 \oplus B_2$; $G_3 = B_4 \oplus B_3$ ($B_4 = 0$). Hình 3-2-2 là bảng Karnaugh 5 biến và 6 biến.

Bảng 3-2-6 là mã vòng tương ứng với mã nhị phân (3 bit)

A \ BC	00	01	11	10
	m_0	m_1	m_3	m_2
0				
1				

A \ BC	00	01	11	10
0				
1				

AB \ CD	00	01	11	10
00				
01				
11				
10				

AB \ CD	00	01	11	10
	0	1	3	2
00				
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Hình 3-2-1.

Bảng Karnaugh được xem như sơ đồ khối của các số hạng nhỏ nhất.

AB \ CDE	000	001	011	010	110	111	101	100
00								
01								
11								
10								

Hình 3-2-2 (a)

ABC \ DEF	000	001	011	010	110	111	101	100
000								
001								
011								
010								
110								
111								
101								
100								

Hình 3-2-2 (b)

Bảng 3-2-6

B_2	B_1	B_0	G_2	G_1	G_0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

c) Đặc điểm bảng Karnaugh của biến :

- Ưu điểm lớn nhất của bảng là làm nổi bật tính kế nhau của các số hạng nhỏ nhất. Các ô kế nhau bất kì trên bảng đều có các số hạng nhỏ nhất đều có tính kế nhau về logic. Sự sắp xếp giá trị các biến theo mã vòng bảo đảm đặc điểm quan trọng này.

Tính kế nhau bao gồm 3 tình huống sau : các ô kế nhau, các ô đầu cuối của hàng và cột, các ô đối xứng đều phải có một giá trị đối nhau của biến và chỉ một mà thôi. Đặc điểm này của bảng cho phép dễ dàng nhớ và phân biệt, kiểm tra, tính toán bằng bảng, nhất là khi có đến 5, 6 biến (xem hình 3-2-2).

Như trên đã nói, nếu trong hai số hạng nhỏ nhất có và chỉ có 1 biến lấy giá trị khác nhau, còn tất cả các biến khác đều lấy giá trị như nhau, thì hai số hạng nhỏ nhất đó có tính kế nhau về logic. Ví dụ, trong hình 3-2-1, m_0 có tính kế nhau về logic với m_1 , m_2 và m_4 .

Khi cộng các số hạng nhỏ nhất có tính kế nhau, thì biến đối nhau trong đó sẽ bị khử. Ví dụ : $m_0 + m_1 = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C = \overline{A}\overline{B}(\overline{C} + C) = \overline{A}\overline{B}$; $\overline{A}\overline{B}$ là thừa số chung của m_0 và m_1 ; $m_0 + m_2 = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} = \overline{A}\overline{C}$ khử mất B và $\overline{B}$; $m_0 + m_4 = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} = \overline{B}\overline{C}$ khử mất A và $\overline{A}$.

- Nhược điểm chủ yếu của bảng Karnaugh : nếu số biến tăng thì độ phức tạp của bảng tăng nhanh. Ví dụ, nếu số biến từ 7 trở đi thì hình vẽ quá phức tạp, hơn nữa rất khó xét đoán tính kế nhau về logic của các số hạng nhỏ nhất. Vì vậy, bảng Karnaugh chỉ thích hợp để biểu thị hàm logic có số biến từ 6 trở lại.

2) Bảng Karnaugh của hàm logic

a) Cách vẽ : có 3 trường hợp.

Trường hợp 1 : đã cho bảng chân lí của hàm.

Trên bảng Karnaugh của biến, điền giá trị 1 vào ô mà hàm lấy giá trị 1 tương ứng tổ hợp giá trị các biến của ô xét, điền giá trị 0 vào ô mà hàm lấy giá trị 0 tương ứng tổ hợp giá trị các biến của ô xét.

Ví dụ 3-2-5 :

Cho bảng chân lí 3-2-7 (hình bên).

Hãy vẽ bảng Karnaugh của hàm Z.

Giải :

- Đầu tiên vẽ bảng Karnaugh cho 4 biến A, B, C, D.

- Tiếp theo điền các giá trị của hàm Z vào các ô tương ứng phù hợp với bảng chân lí.

- Kết quả : Hình 3-2-3

Bảng 3-2-7

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	1	1	1
10	0	0	1	0

Hình 3-2-3.

AB \ CD	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Hình 3-2-4. a) Các ô có ghi kí hiệu số hạng nhỏ nhất
b) Các ô ghi giá trị 1 và 0 của hàm

AB \ CD	00	01	11	10
00	1	0	1	0
01	0	1	0	1
11	1	0	1	0
10	0	1	0	1

Trường hợp 2 : đã cho biểu thức của hàm dưới dạng chuẩn tắc tuyến trên bảng Karnaugh của biến, điền giá trị 1 vào các ô tương ứng với từng số hạng nhỏ nhất có trong biểu thức, các ô khác đều điền vào giá trị 0.

Ví dụ 3-2-6

Hãy vẽ bảng Karnaugh của hàm logic

$$Z = \sum (0, 3, 5, 6, 9, 10, 12, 15)$$

Giải :

- Vẽ bảng Karnaugh của 4 biến A, B, C, D
- Điền giá trị
- Kết quả : hình 3-2-4

Trường hợp 3 : cho biểu thức không chuẩn tắc của hàm

- Biến đổi hàm đã cho thành dạng tổng các tích
- Trên bảng Karnaugh của biến, điền giá trị 1 vào tất cả các ô tương ứng số hạng nhỏ nhất bao hàm trong số hạng dạng tích nói trên, sau đó điền giá trị 0 vào các ô còn lại.

Ví dụ 2-2-7 : hãy vẽ bảng Karnaugh của hàm $Z = \overline{(A \oplus B)(C + D)}$

Giải :

- Biến đổi hàm thành dạng tổng các tích :

$$\begin{aligned} Z &= \overline{(A \oplus B)(C + D)} = \overline{A \oplus B} + \overline{C + D} \\ &= \overline{A \oplus B} + \overline{C} \overline{D} \end{aligned}$$

- Xác định mỗi số hạng bao gồm những số hạng nhỏ nhất nào :

$$\overline{A \oplus B} = m_0 + m_1 + m_2 + m_3$$

$$AB = m_{12} + m_{13} + m_{14} + m_{15}$$

$$\overline{C} \overline{D} = m_0 + m_4 + m_8 + m_{12}$$

- Kết quả vẽ được như hình 3-2-5

(đối chiếu hình 3-2-4a)

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	0	0
11	1	1	1	1
10	1	0	0	0

Hình 3-2-5.

b) Từ bảng Karnaugh kẻ ra bảng chân lí và viết biểu thức

Bảng chân lí, hàm dạng chuẩn tắc tuyến và bảng Karnaugh đều là duy nhất biểu thị cho một hàm, chúng tất có quan hệ chuyển đổi nhau. Thực tế ở các phần trên đã chuyển đổi rồi.

Ưu điểm nổi bật nhất của bảng Karnaugh là tính kế nhau về logic của các số hạng nhỏ nhất của hàm biểu thị rõ rệt thành sự liên kế hình học của các ô trong bảng, do đó dễ dàng tối thiểu hóa hàm đã cho. Vấn đề này sẽ giảng chi tiết ở phần sau.

3.2.4. Sơ đồ logic

Trong mạch số, sau khi dùng các kí hiệu logic biểu thị một cấu trúc logic trên một bản vẽ, ta được sơ đồ logic. Sơ đồ logic cũng là một phương pháp biểu thị hàm logic, hơn nữa lại có ưu điểm nổi bật là rất tiếp cận thực tế. Các kí hiệu logic thông thường đều có cấu kiện điện tử cụ thể tương ứng, vậy nên thường gọi sơ đồ logic là sơ đồ mạch logic.

1) Cách vẽ sơ đồ logic của hàm logic

Như trên đã nói, ta dùng kí hiệu logic của mạch điện tử thay thế phép tính logic có trong biểu thức hàm logic thì được sơ đồ logic của hàm.

Ví dụ 3-2-8 : cho hàm $Z = AB + BC + CA$

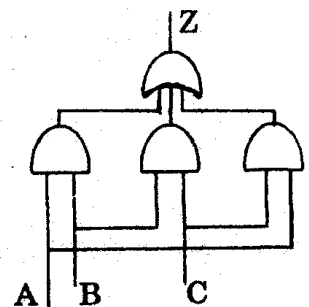
Hãy vẽ sơ đồ logic của Z.

Giải : quan hệ nhân logic của các biến A và B, B và C, C và A được thực hiện bằng các cổng AND. Quan hệ cộng logic của các số hạng AB, BC và CA được thực hiện bằng cổng OR. Kết quả : hình 3-2-6

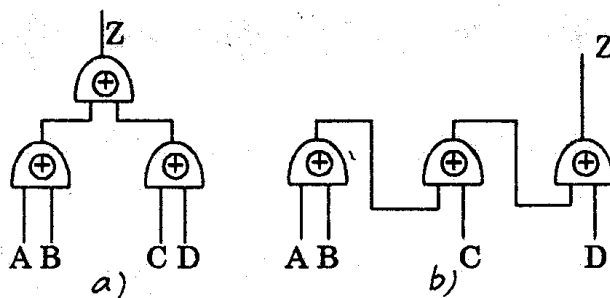
Ví dụ 3-2-9 : cho hàm $Z = A \oplus B \oplus C \oplus D$

Hãy vẽ sơ đồ logic của Z.

Giải : quan hệ cộng với phép loại trừ giữa các biến A, B, C, D được thực hiện bằng cổng XOR - Kết quả xem hình 3.2.7.



Hình 3-2-6.



Hình 3-2-7.

- a) Cấu trúc hình tháp (trễ truyền đạt nhỏ) ;
- b) Cấu trúc nối mắt xích (trễ truyền đạt lớn).

2) Cách xác định biểu thức từ sơ đồ logic

Trên sơ đồ logic, từ đầu vào đến đầu ra, viết biểu thức hàm đầu ra của từng cấp, cuối cùng được biểu thức hàm logic toàn sơ đồ.

Ví dụ 3-2-10 : cho sơ đồ hình 3-2-8

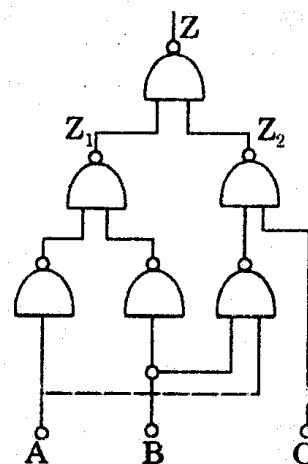
Hãy viết biểu thức hàm logic của sơ đồ

Giải :

$$Z_1 = \overline{\overline{A} B}$$

$$Z_2 = \overline{\overline{A} B C}$$

$$Z = Z_1 Z_2 = \overline{\overline{A} B} \overline{\overline{A} B C}$$



3) Đặc điểm của sơ đồ logic

Các kí hiệu logic trong sơ đồ logic có quan hệ phù hợp rõ ràng với cấu kiện điện tử trong thực tế, vậy sơ đồ logic tương đối tiếp cận thực tế công trình. Trong công tác, khi tìm hiểu chức năng logic của một hệ thống số nào đó hay là thiết bị được điều khiển số nào đó, thường ta cần dùng sơ đồ logic, vì rằng sơ đồ logic có thể biểu thị rõ ràng chức năng logic từng tầng của các mạch điện thực tế phức tạp. Trong việc chế tạo các thiết bị số, việc đầu tiên là thiết kế logic để vẽ ra sơ đồ logic, rồi chuyển từ sơ đồ logic thành mạch điện thực tế.

Hình 3-2-8.

3.3. PHƯƠNG PHÁP TỐI THIỂU HÓA HÀM LOGIC

Trực tiếp thiết kế sơ đồ mạch logic hàm số có được từ bảng chân lí thường là rất phức tạp. Nếu sau khi đã thực hiện tối thiểu hóa hàm logic, nói chung việc thực hiện thuận tiện hơn, không những chỉ dùng số cấu kiện ít hơn, mà nâng cao được độ tin cậy. Dưới đây sẽ nói đến khái niệm tối thiểu hóa, tiếp theo sẽ giới thiệu 2 phương pháp thường dùng để tối thiểu hóa.

3.3.1. Khái niệm về tối thiểu hóa

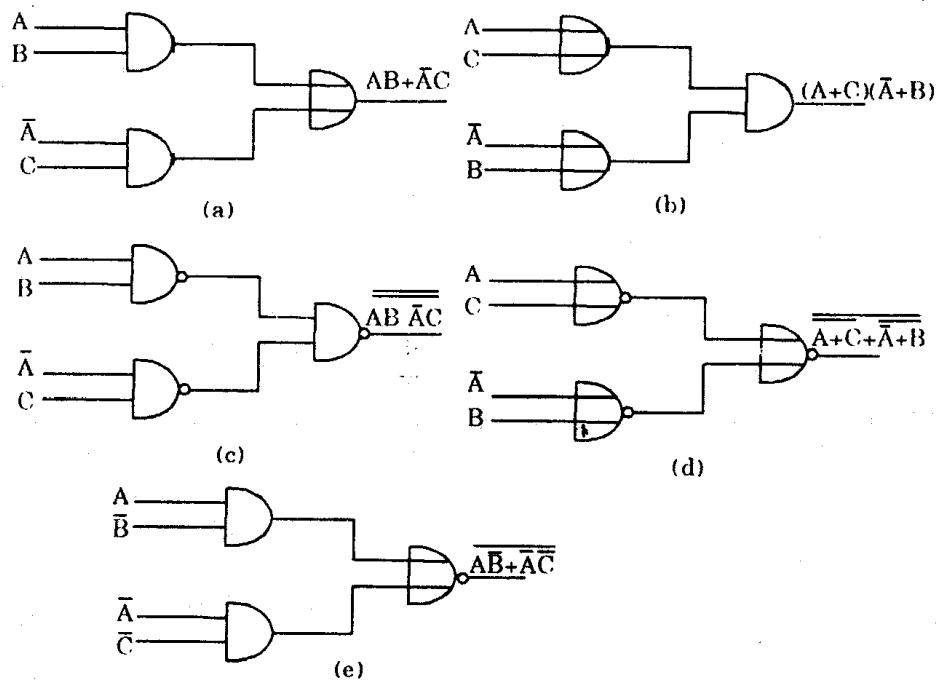
1) Các loại biểu thức logic và sự thực hiện bằng mạch điện

Ta đã biết, một hàm logic có thể có rất nhiều biểu thức khác nhau. Chúng ta có thể phân loại thô các hàm logic thành 5 loại căn cứ vào đặc điểm và quan hệ giữa các số hạng dạng tích trong hàm : OR-AND, AND-OR, NAND-NAND, NOR-NOR, NOR-AND. Ví dụ :

$Z = AB + \overline{A}C$	dạng biểu thức	OR-AND
$Z = (A + C)(\overline{A} + B)$		AND-OR
$Z = \overline{\overline{A}B} \overline{\overline{A}B}$		NAND-NAND
$Z = \overline{A + C + \overline{A} + B}$		NOR-NOR
$Z = \overline{A \cdot \overline{B} + \overline{A}C}$		NOR-AND

Khi dùng các cổng logic thực hiện các hàm logic này, tiện nhất là : hai loại đầu dùng cổng AND và cổng OR, loại thứ ba dùng NAND, loại thứ tư dùng NOR, loại thứ năm dùng NORAND

Hình 3-3-1 dưới đây giới thiệu mạch điện các hàm nói trên :



Hình 3-3-1.

Trên thực tế, khi chúng ta viết một hàm logic dưới một dạng nào đó, thì dạng có được không phải là duy nhất. Ví dụ, biểu thức OR-AND trong ví dụ trên có thể viết thành :

$$Z = AB + \bar{A}C \quad (3-3-1a)$$

$$= AB + \bar{A}C + BC \quad (3-3-1b)$$

$$= ABC + AB\bar{C} + \bar{A}BC + \bar{A}\bar{B}C \quad (3-3-1c)$$

$$= \dots$$

Dùng các cổng AND và OR thực hiện (3.3.1a) ta có mạch đơn giản nhất. Nói chung, nếu biểu thức càng đơn giản thì mạch điện cũng càng đơn giản. Nhưng đối với các biểu thức dạng khác nhau, thì tiêu chuẩn về sự đơn giản có khác nhau. Ta sẽ làm rõ điều này qua ví dụ về biểu thức OR-AND.

2) Biểu thức OR-AND tối thiểu

a) Thế nào là tối thiểu

- Đầu tiên số các số hạng dạng tích phải là ít nhất
- Nếu điều kiện trên đã bảo đảm, thì số biến của mỗi số hạng cũng phải là ít nhất.

$$\text{Ví dụ : } Z = \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{A}B + \bar{A}C \quad (3-3-2a)$$

$$= \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{A}C \quad (3-3-2b)$$

$\overline{AB}$ được khử bỏ theo quy tắc của công thức 17. Rõ ràng (3-3-2b) đơn giản hơn (3-3-2a) vì nó ít hơn một số hạng.

b) Ý nghĩa việc tối thiểu hóa biểu thức OR-AND

Chúng ta tập trung nghiên cứu phương pháp tối thiểu hóa biểu thức OR-AND, vì chỉ cần có biểu thức OR-AND tối thiểu, ta sẽ dễ dàng có được các biểu thức dạng khác cũng là tối thiểu. Có hai lí do : một là, một biểu thức logic bất kì đều dễ dàng triển khai thành biểu thức dạng OR-AND ; Hai là, từ biểu thức dạng OR-AND tối thiểu, cũng dễ dàng có được các biểu thức tối thiểu dạng NAND-NAND, NORAND v.v...

3.3.2. Phương pháp tối thiểu hóa bằng công thức

Dựa vào các công thức và định lí trong đại số logic để thực hiện tối thiểu hóa. Vì trong thực tế, biểu thức logic rất đa dạng, lại không có một cách nào hoàn chỉnh như một quy trình, nên việc đạt đến một biểu thức logic tối thiểu một cách nhanh nhất sẽ hoàn toàn phụ thuộc kinh nghiệm, hiểu biết và thành thạo của chúng ta.

Các ví dụ về tối thiểu hóa :

Ví dụ 3-3-1 : Hãy tối thiểu hóa hàm $Z = \overline{A}BC + \overline{A}\overline{B}\overline{C}$

Giải : $Z = \overline{A}BC + \overline{A}\overline{B}\overline{C} = \overline{A}(C + \overline{C}) = \overline{A}$ (công thức 14)

Ví dụ 3-3-2 : Hãy tối thiểu hóa hàm $Z = A(BC + \overline{B}\overline{C}) + \overline{A(BC + \overline{B}\overline{C})}$

Giải : $Z = A[(BC + \overline{B}\overline{C}) + \overline{(BC + \overline{B}\overline{C})}] = A$ (công thức 14)

Ví dụ : 3-3-3 : Hãy tối thiểu hóa hàm $Z = \overline{A}\overline{B} + \overline{A}\overline{B}CD(E + F)$

Giải : $Z = \overline{A}\overline{B} + \overline{A}\overline{B}CD(E + F) = \overline{A}\overline{B}$ (công thức 15)

Ví dụ : 3-3-4 : Hãy tối thiểu hóa hàm $Z = AB + \overline{A}C + \overline{B}C$

Giải : $Z = AB + \overline{A}C + \overline{B}C = AB + (\overline{A} + \overline{B})C$
 $= AB + \overline{A}\overline{B}C = AB + C$ (công thức 16)

Ví dụ 3-3-5 : Hãy tối thiểu hóa hàm $Z = \overline{A}\overline{B} + AC + ADE + \overline{C}D$

Giải : $Z = \overline{A}\overline{B} + AC + \overline{C}D + ADE = \overline{A}\overline{B} + AC + \overline{C}D$ (hệ quả công thức 17)

Việc khử đi số hạng hay biến trong số hạng là do chúng được bao hàm trong các số hạng khác. Điều này khác hẳn đại số thường !

Ví dụ 3-3-6 : Hãy tối thiểu hóa hàm $Z = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{B}C + \overline{A}B$

Giải : $Z = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{B}C + \overline{A}B$

$$Z = (\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C} + \overline{A}\overline{C}) + (\overline{B}\overline{C} + \overline{A}B)$$

$$Z = (\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{B}\overline{C} + \overline{A}B + \overline{A}\overline{C})$$

$$Z = (\overline{B}\overline{A} + \overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{B}\overline{C} + \overline{A}B + \overline{A}\overline{C})$$

$$Z = (\overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{A}B + \overline{A}\overline{C}) =$$

$$Z = (\overline{B}\overline{C} + \overline{A}\overline{C}) + (\overline{A}\overline{C} + \overline{A}\overline{C})$$

$$Z = \overline{B}\overline{C} + \overline{A}B + \overline{A}\overline{C}$$

Cách giải trên đây ứng dụng công thức 17, thêm vào và bớt đi rất linh hoạt. Chẳng hạn nếu thêm vào hay bớt đi $\overline{AC}$, thì hàm đã cho ở ví dụ 3-3-6 có dạng tối thiểu hóa mới :

$$Z = \overline{AB} + \overline{BC} + \overline{BC} + \overline{AB} = \overline{AB} + \overline{BC} + \overline{AC}$$

Theo công thức 11', ta có thể chỉ viết 1 số hạng $\overline{AC}$ nhưng ngầm hiểu có thể gộp nó vào nhiều nhóm. Trong ví dụ này, thêm vào chỉ một, nhờ gộp vào hai nhóm, nên bớt đi hai, kết quả là khử bớt 1 số hạng. Trong trường hợp tổng quát, ta thường ứng dụng nhiều công thức và định lý để có thể tối thiểu hóa một hàm phức tạp.

Ví dụ 3-3-7 : Hãy tối thiểu hóa hàm

$$Z = AD + \overline{A}\overline{D} + AB + \overline{AC} + BD + \overline{ACEF} + \overline{BEF} + DEFG$$

Giải :

- Dùng công thức 14 : $AD + \overline{A}\overline{D} = A$

$$Z = A + AB + \overline{AC} + BC + \overline{ACEF} + \overline{BEF} + DEFG$$

- Dùng công thức 15 : Khử bỏ $AB, \overline{ACEF}$

$$Z = A + \overline{AC} + BD + \overline{BEF} + DEFG$$

- Dùng công thức 16 : Khử bỏ $\overline{A}$ trong số hạng $\overline{AC}$

$$Z = A + C + BD + \overline{BEF} + DEFG$$

- Dùng công thức 17 : khử bỏ $DEFG$, vậy :

$$Z = A + C + BD + \overline{BEF}$$

3.3.3. Phương pháp tối thiểu hóa bằng hình vẽ

Phương pháp này dùng bảng Karnaugh.

1) Quy luật gộp (dán) các số hạng nhỏ nhất trên bảng Karnaugh

Trên bảng Karnaugh của biến, tất cả các số hạng nhỏ nhất kế nhau đều có thể gộp với nhau, khi gộp lại thì có thể khử bỏ biến liên quan. Cụ thể, cứ 2 số hạng nhỏ nhất gộp lại thì khử bỏ được một biến, cứ 4 số hạng nhỏ nhất gộp lại (thành một số hạng) thì khử bỏ được 2 biến, cứ 8 số hạng nhỏ nhất gộp lại thì khử được 3 biến. Nói tổng quát, 2^n số hạng nhỏ nhất gộp lại (thành một số hạng) thì khử được n biến. Vì rằng, 2^n số hạng nhỏ nhất cộng với nhau (gộp lại), trừ các thừa số chung rồi thì còn lại 2^n số hạng dạng tích, vừa đúng bằng toàn bộ số hạng nhỏ nhất của n biến cần khử bỏ. Ta đã biết tính chất của số hạng nhỏ nhất, tổng của chúng bằng 1.

Các hình 3-3-2, hình 3-3-3, hình 3-3-4 vẽ tương ứng các trường hợp có 2, 4, 8 số hạng nhỏ nhất được gộp.

A \ BC	00	01	11	10
	0	1	2	3
0				2
1				6

(a) $\bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} = \bar{B}\bar{C}$

A \ BC	00	01	11	10
	0	1	2	3
0		1		
1		5		

(b) $\bar{A}\bar{B}C + A\bar{B}C = \bar{B}C$

A \ BC	00	01	11	10
	0	1	2	3
0			3	2
1				

(c) $\bar{A}\bar{B}C + A\bar{B}C = \bar{A}B$

AB \ CD	00	01	11	10
	00	01	02	03
00				
01				
11			15	
10			11	

(d) $\bar{A}\bar{B}CD + AB\bar{C}D = ACD$

AB \ CD	00	01	11	10
	00	01	02	03
00				
01				
11		13	15	
10				

(f) $\bar{A}\bar{B}CD + AB\bar{C}D = ABD$

AB \ CD	00	01	11	10
	00	01	02	03
00	0			
01				
11				
10	8			

(e) $\bar{A}\bar{B}CD + AB\bar{C}D = \bar{B}CD$

AB \ CD	00	01	11	10
	00	01	02	03
00				
01	4			6
11				
10				

(g) $\bar{A}\bar{B}CD + AB\bar{C}D = \bar{A}BD$

Hình 3-3-2.

A \ BC	00	01	11	10
	0	1	2	3
0			3	2
1			7	6

(a) $\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = B$

AB \ CD	00	01	11	10
	00	01	02	03
00				
01				
11			13	15
10			9	11

(d) $\bar{A}\bar{B}CD + \bar{A}B\bar{C}D + A\bar{B}CD + ABCD = AD$

AB \ CD	00	01	11	10
	00	01	02	03
00				
01	4			6
11			12	14
10				

(f) $\bar{A}\bar{B}CD + \bar{A}B\bar{C}D + A\bar{B}CD + ABCD = BD$

A \ BC	00	01	11	10
	0	1	2	3
0	0	1		
1	4	5		

(b) $\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = \bar{B}$

AB \ CD	00	01	11	10
	00	01	02	03
00				
01	4	5	7	6
11				
10				

(e) $\bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + A\bar{B}\bar{C}D + ABCD = \bar{A}B$

AB \ CD	00	01	11	10
	00	01	02	03
00	0			2
01				
11				
10	8			10

(g) $\bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + A\bar{B}\bar{C}D + ABCD = \bar{B}D$

Hình 3-3-3

AB \ CD	00	01	11	10
00				
01	4	5	7	6
11	12	13	15	14
10				

(a) B

AB \ CD	00	01	11	10
00	0	1	3	2
01				
11				
10	8	9	11	10

(b) $\bar{B}$

AB \ CD	00	01	11	10
00	0			2
01	4			6
11	12			14
10	8			10

(c) $\bar{D}$

AB \ CD	00	01	11	10
00	0	1		
01	4	5		
11	12	13		
10	8	9		

(d) $\bar{C}$

Hình 3-3-4.

2) Dùng bảng Karnaugh tối thiểu hóa hàm logic

Nói chung, quy trình có 3 bước

- Vẽ bảng Karnaugh của hàm xét
- Gộp các số hạng nhỏ nhất
- Chọn số hạng viết biểu thức OR-AND tối thiểu

Ví dụ 3-3-8 : Dùng hình vẽ tối thiểu hóa hàm

$$Z = \sum (1, 3, 4, 5, 10, 11, 12, 13)$$

Giải : - Vẽ bảng Karnaugh của hàm Z : Vẽ bảng Karnaugh của 4 biến A, B, C, D. Trên hình đánh dấu tất cả các số hạng nhỏ nhất của hàm. Xem hình 3-3-5

- Gộp các số hạng nhỏ nhất.

AB \ CD	00	01	11	10
00		1	3	
01	4	5		
11	12	13		
10			11	10

Hình 3-3-5.

Theo phương pháp đã giới thiệu trước đây, khoanh vòng các số hạng nhỏ nhất có thể gộp. Từ hình 3-3-5, ta có :

$$\sum(4,5,12,13) = B\bar{C}$$

$$\sum(1,3) = \bar{A}\bar{B}D$$

$$\sum(10,11) = A\bar{B}C$$

$$\sum(1,5) = \bar{A}\bar{C}D$$

$$\sum(3,11) = \bar{B}CD$$

- Chọn số hạng viết biểu thức OR-AND tối thiểu.

Nguyên tắc chọn số hạng :

- Phải bao gồm tất cả các số hạng nhỏ nhất của hàm

- Số các số hạng được chọn phải là ít nhất

- Số thừa số của mỗi số hạng cũng phải là ít nhất.

Trong ví dụ này, có thể chọn $B\bar{C}$, $\bar{A}\bar{B}D$, $A\bar{B}C$

Vậy kết quả tối thiểu hóa, ta có :

$$Z = B\bar{C} + \bar{A}\bar{B}D + A\bar{B}C$$

3) Một số vấn đề cần lưu ý

- Vòng gộp phải càng to càng tốt. Tương ứng số các số hạng nhỏ nhất được gộp lại càng nhiều ; do đó, sau khi gộp, số hạng càng ít thừa số.

- Mỗi vòng gộp bao gồm ít nhất một số hạng nhỏ nhất không có trong vòng khác. Vòng nào bao gồm các số hạng đều đã có trong vòng khác, thì vòng đó là thừa. Mặt khác, mỗi số hạng nhỏ nhất có thể được sử dụng nhiều lần (có mặt trong nhiều vòng khác nhau)

- Phải khoanh vòng sao cho toàn bộ số hạng nhỏ nhất của hàm số đều có các vòng, không sót. Các thừa số tương ứng của số hạng vòng gộp xét làm thành số hạng của hàm đã tối thiểu hóa.

- Trong một số trường hợp, có thể có nhiều cách khoanh vòng, nghĩa là có thể có nhiều hàm tối thiểu. Những hàm tối thiểu này cần phải được so sánh, kiểm tra để chọn ra đâu là hàm tối thiểu thực sự (tối thiểu của tối thiểu !)

- Khi gộp các số hạng nhỏ nhất, nghĩa là khi khoanh vòng, có 2 điều sau đây dễ quên : một là, phải nhớ rằng 4 ô ở 4 góc bảng Karnaugh cũng có thể gộp với nhau (xem hình 3-3-3g) ; hai là, vẽ vòng lớn trước, vòng bé sau, kiểm tra xem : mỗi vòng có ít nhất một số hạng nhỏ nhất không có trong vòng khác. Không lưu ý đến những vấn đề này, biểu thức hàm số đạt được không chắc là tối thiểu.

Ví dụ 3-3-9 : Dùng hình vẽ tối thiểu hóa hàm

$$Z = \sum(1,4,5,3,8,12,13,15)$$

Giải :

- Vẽ bảng Karnaugh của hàm Z

xem hình 3-3-6

- Gộp các số hạng nhỏ nhất

Tuy vòng $m_4 + m_5 + m_{12} + m_{13}$ là to nhất, nhưng các vòng khác đã bao gồm m_4, m_5, m_{12}, m_{13} , nên vòng này thừa.

- Biểu thức OR-AND tối thiểu :

$$Z = \overline{A}\overline{C}D + \overline{A}B\overline{D} + A\overline{C}\overline{D} + ABD$$

Ví dụ 3-3-10 : Dùng hình vẽ tối thiểu hóa hàm

$$Z = A \oplus C - \overline{B}(\overline{A}\overline{C}\overline{D} + \overline{A}C\overline{D})$$

Giải :

- Biến đổi hàm Z thành dạng biểu thức OR-AND

$$\begin{aligned} Z &= A \oplus C - \overline{B}(\overline{A}\overline{C}\overline{D} + \overline{A}C\overline{D}) \\ &= \overline{A \oplus C} + \overline{B}(\overline{A}\overline{C}\overline{D} + \overline{A}C\overline{D}) \\ &= \overline{A}\overline{C} + AC + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} \end{aligned}$$

- Vẽ bảng Karnaugh như hình 3-3-7

- Gộp các số hạng nhỏ nhất

Lưu ý các ô 4 góc bảng có thể gộp là m_0, m_2, m_8, m_{10} . (Nếu gộp thành hai vòng nhỏ m_0, m_2 và m_8, m_{10} thì vẫn chưa được tối thiểu)

- Viết hàm tối thiểu : $Z = \overline{A}\overline{C} + AC + \overline{B}\overline{D}$

4) Dùng bảng Karnaugh tìm hàm OR-AND tối thiểu của hàm đảo

Nếu trên bảng Karnaugh của hàm số, ta gộp tất cả các số hạng nhỏ nhất ứng với giá trị 0 của hàm xét, thì ta được biểu thức OR-AND tối thiểu của hàm đảo $\overline{Z}$.

Ví dụ 3.3.11 : Cho $Z = AB + BC + CA$. Dùng hình vẽ tìm ra biểu thức OR-AND tối thiểu của $\overline{Z}$.

Giải :

- Vẽ bảng Karnaugh của hàm Z

Hình 3.3.8

- Gộp các số hạng nhỏ nhất ứng với $Z = 0$

$$\begin{aligned} m_0 + m_1 &= \overline{A}\overline{B}, \quad m_0 + m_2 = \overline{A}\overline{C}, \\ m_0 + m_4 &= \overline{B}\overline{C} \end{aligned}$$

- Viết biểu thức hàm OR-AND tối thiểu của $\overline{Z}$:

$$\overline{Z} = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$$

AB \ CD	00	01	11	10
00		1		
01	1	1		1
11	1	1	1	
10	1			

Hình 3-3-6.

AB \ CD	00	01	11	10
00	1	1		1
01	1	1		
11			1	1
10	1		1	1

Hình 3-3-7.

A \ BC	00	01	11	10
0	0	0	1	0
1	0	1	1	1

Hình 3-3-8.

3.3.4. Chuyển đổi biểu thức OR-AND tối thiểu thành biểu thức tối thiểu các dạng NAND-NAND, NORAND, NOR-NOR

Sau khi nghiên cứu xong phương pháp tối thiểu hóa biểu thức dạng OR-AND, chúng ta nghĩ ngay đến vấn đề : Làm thế nào từ biểu thức OR-AND tối thiểu để có được biểu thức tối thiểu các dạng khác.

1) Tính hoàn hảo của phép tính NAND và NOR

Mọi phép toán trong đại số logic đều có thể quy về 3 phép toán cơ bản AND, OR, ĐẢO. Sử dụng các phép toán NAND và NOR cũng rất dễ dàng thực hiện 3 phép toán cơ bản trên. Ví dụ :

$$Z = A \cdot B = \overline{\overline{A \cdot B}} = \overline{\overline{A} + \overline{B}}$$

$$Z = A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$

$$Z = \overline{A} = \overline{A \cdot 1} = \overline{A + 0}$$

Vậy phép tính NAND và NOR là hoàn hảo, vạn năng. Cho nên, trong các mạch điện vi mạch số, các cổng NAND và NOR trở thành các phần tử cơ bản, điển hình.

2) Biểu thức NAND-NAND tối thiểu

Vì trong công tác thực tế ta dùng nhiều cổng NAND, nên việc chuyển đổi biểu thức OR-AND đã tối thiểu hóa thành biểu thức NAND-NAND là công việc vô cùng quan trọng.

Biểu thức NAND-NAND tối thiểu phải là :

- Kí hiệu đảo ít nhất (không kể đến đảo biến, đảo biến coi như có sẵn)
- Số cổng NAND cần có cũng ít nhất.
- Số biến vào ít nhất (số đầu vào của cổng NAND ít nhất)

Đối với mạch điện 2 cấp cổng NAND, dùng phương pháp ĐẢO 2 lần thì có thể chuyển đổi biểu thức OR-AND tối thiểu thành biểu thức NAND-NAND tối thiểu.

Ví dụ 3-3-12 : Hãy chuyển đổi hàm $Z = \overline{A}B + B\overline{C} + C\overline{A}$ thành biểu thức NAND-NAND tối thiểu.

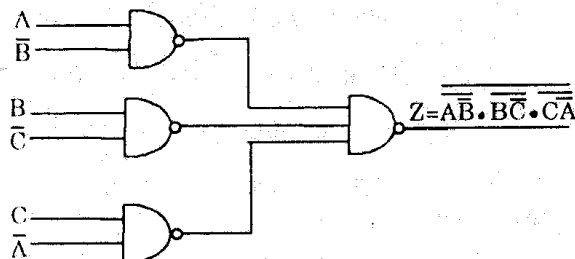
Giải : Áp dụng định lí De Morgan đến cấp số hạng (không đến cấp biến số) :

$$\overline{Z} = \overline{\overline{A}B + B\overline{C} + C\overline{A}} = \overline{\overline{A}B} \cdot \overline{B\overline{C}} \cdot \overline{C\overline{A}}$$

Lấy đảo lần nữa

$$Z = \overline{\overline{Z}} = \overline{\overline{\overline{A}B} \cdot \overline{B\overline{C}} \cdot \overline{C\overline{A}}} = \overline{\overline{\overline{A}B}} \cdot \overline{\overline{B\overline{C}}} \cdot \overline{\overline{C\overline{A}}} = \overline{\overline{\overline{A}B}} \cdot \overline{\overline{B\overline{C}}} \cdot \overline{\overline{C\overline{A}}}$$

Mạch điện dùng cổng NAND thực hiện xem hình 3-3-9



Hình 3-3-9.

3) Biểu thức NORAND tối thiểu

Chúng ta cần biểu thức NORAND tối thiểu khi muốn dùng cổng NORAND để thực hiện hàm logic. Nói chung, cho phép xuất hiện kí hiệu ĐẢO kết hợp với NORAND.

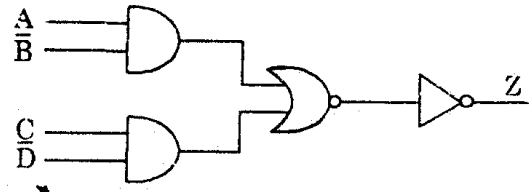
Có hai phương pháp chuyển đổi từ biểu thức OR-AND tối thiểu thành biểu thức NORAND 2 cấp tối thiểu.

a) Lấy ĐẢO hai lần đối với hàm Z

Ví dụ : $Z = \overline{A}\overline{B} + \overline{C}\overline{D}$

$$Z = \overline{\overline{\overline{A}\overline{B} + \overline{C}\overline{D}}}$$

Mạch điện thực hiện Z xem hình 3-3-10



Hình 3-3-10.

b) Tìm biểu thức OR-AND tối thiểu của $\overline{Z}$

Sau đó lấy đảo lần nữa.

Ví dụ $Z = \overline{A}\overline{B} + \overline{A}B$

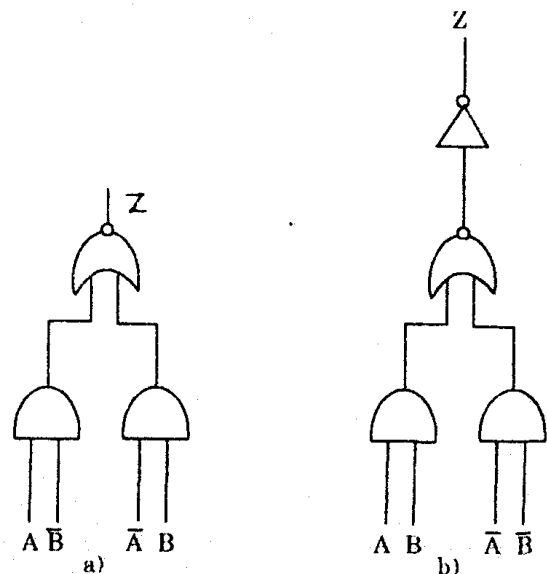
Tìm biểu thức OR-AND tối thiểu của

$$\overline{Z} = \overline{\overline{A}\overline{B} + \overline{A}B}$$

Lấy đảo lần nữa, ta có

$$Z = \overline{\overline{Z}} = \overline{\overline{\overline{A}\overline{B} + \overline{A}B}}$$

Mạch điện thực hiện Z xem hình 3-3-11a (Sơ đồ 3-3-11b là kết quả phương pháp lấy đảo 2 lần nói trên, rõ ràng phức tạp hơn).



Hình 3-3-11.

4) Biểu thức NOR-NOR tối thiểu

Biểu thức NOR-NOR tối thiểu được dùng khi chúng ta muốn thực hiện hàm logic bằng cổng NOR.

Biểu thức NOR-NOR tối thiểu là :

- Số cổng đảo ít nhất.
- Số đầu vào ít nhất.

Cách thực hiện hàm NOR-NOR tối thiểu (2 cấp) :

- Tìm biểu thức OR-AND tối thiểu của $\overline{Z}$
- Áp dụng định lí De Morgan để có biểu thức tối thiểu dạng AND-OR
- Lấy đảo 2 lần nữa để có biểu thức NOR-NOR tối thiểu.

Ví dụ 3-3-1 : Hãy viết hàm $Z = \overline{A}B + \overline{B}C + \overline{C}A$ dưới dạng biểu thức NOR-NOR tối thiểu.

Giải :

- Tìm $\overline{Z}$ dạng OR-AND :

Vẽ bảng Karnaugh của hàm Z và gộp các số hạng nhỏ nhất tương ứng $Z = 0$ (hình 3-3-12)

$$\bar{Z} = \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{C}\bar{A}$$

- Áp dụng định lý De Morgan để có dạng AND-OR :

$$Z = \bar{\bar{Z}} = \overline{\bar{A}\bar{B} + \bar{B}\bar{C} + \bar{C}\bar{A}} = \overline{\bar{A}\bar{B}} \cdot \overline{\bar{B}\bar{C}} \cdot \overline{\bar{C}\bar{A}} \\ = (A + B)(B + C)(C + A)$$

- Lấy đảo 2 lần để có dạng NOR-NOR :

$$Z = \bar{\bar{Z}} = \overline{\overline{(A+B)(B+C)(C+A)}} = \overline{\bar{A} + \bar{B} + \bar{B} + \bar{C} + \bar{C} + \bar{A}}$$

- Mạch điện logic xem hình 3-3-13

A \ BC				
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

Hình 3-3-12.

3.4. SỰ TỐI THIỂU HÓA HÀM LOGIC RÀNG BUỘC

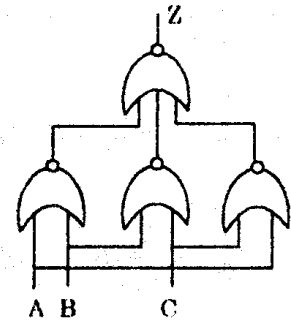
3.4.1. Khái niệm ràng buộc, điều kiện ràng buộc

1) Ràng buộc, phần tử ràng buộc, điều kiện ràng buộc

a) *Ràng buộc* : Ràng buộc là khái niệm quan trọng nói về mối quan hệ quy định lẫn nhau giữa các biến dạng trong một hàm logic.

Ví dụ 3-4-1 : Ngày lễ Quốc tế Phụ nữ 8-3, một đơn vị nọ tổ chức chiếu đài phim, vé chỉ phát cho phụ nữ của đơn vị. Hãy xem xét vấn đề logic đó.

Giải : Căn cứ để có thể liệt kê bảng chức năng 3-4-1 sau đây



Hình 3-3-13.

Bảng 3-4-1

Thuộc đơn vị không	nam hay nữ	có vé không	được vào rạp không	Thuyết minh
Không	nam	Không	Không	Không có trường hợp này Không có trường hợp này Không có trường hợp này
Không	nam	Có	Không	
Không	nữ	Không	Không	
Không	nữ	Có	Không	
Có	nam	Không	Không	
Có	nam	Có	Không	
Có	nữ	Không	Không	
Có	nữ	Có	Có	

Nếu dùng A, B, C biểu thị các biến logic tương ứng 3 cột đầu bảng 3-4-1, các biến lấy giá trị 0/1 tương ứng không/có thuộc đơn vị, nam/nữ, không/có vé, và nếu dùng Z biểu thị hàm logic $Z = 0/1$ tương ứng không/có được vào rạp xem phim, thì ta có bảng chân lý 3-4-2 sau :

Bảng 3-4-2

A	B	C	Z	Thuyết minh
0	0	0	0	
0	0	1	x	Không xảy ra
0	1	0	0	
0	1	1	x	Không xảy ra
1	0	0	0	
1	0	1	x	Không xảy ra
1	1	0	0	
1	1	1	1	

Bảng 3-4-2 cho biết rằng, các biến A, B, C chỉ lấy các giá trị có thể là 000, 010, 100, 110, 111 và không thể lấy các giá trị 001, 011, 101 vì vé xem phim chỉ phát cho phụ nữ của đơn vị. Vậy giữa các biến A,B,C có một quan hệ ràng buộc nhất định, hay là ta gọi chúng là một nhóm biến ràng buộc. Hàm logic ràng buộc là hàm có các biến ràng buộc.

b) *Phần tử ràng buộc* : Các số hạng nhỏ nhất có các tổ hợp giá trị không xảy ra, như trong ví dụ 3-4-1, là $\bar{A}\bar{B}C$, $\bar{A}BC$, $A\bar{B}C$. Những giá trị đó được gọi là số hạng ràng buộc.

Như ta đã biết về số hạng nhỏ nhất, mỗi số hạng nhỏ nhất có một tổ hợp giá trị các biến tương ứng để nó lấy giá trị 1, số hạng ràng buộc luôn bằng 0 vì tổ hợp giá trị các biến tương ứng để nó lấy giá trị 1 thuộc vào giá trị không xảy ra.

c) *Điều kiện ràng buộc* : Biểu thức logic cấu trúc bằng tổng các số hạng ràng buộc được gọi là điều kiện ràng buộc. Vì số hạng ràng buộc luôn bằng 0, nên tổng các số hạng ràng buộc cũng bằng 0, vậy điều kiện ràng buộc bằng 0.

2) Phương pháp biểu thị điều kiện ràng buộc

a) Trong bảng chân lí dùng dấu "x" biểu thị, xem ví dụ bảng 3-4-2 trên đây. Giá trị hàm số tương ứng tổ hợp giá trị biến của số hạng ràng buộc có dấu chéo "x".

b) Trong biểu thức logic dùng đẳng thức điều kiện ràng buộc bằng 0 để biểu thị. Ví dụ, từ bảng 3-4-2 ta có :

$$\bar{A}\bar{B}C + \bar{A}BC + A\bar{B}C = 0 \text{ hay là } \sum (1,3,5) = 0$$

hay dưới dạng OR-AND tối thiểu :

$$\bar{A}C + \bar{B}C = 0$$

c) Trong bảng Karnaugh dùng dấu "x" biểu thị, ví dụ, tương ứng với bảng 3-4-2 là bảng Karnaugh hình 3-4-1

		BC			
		00	01	11	10
A	0	0	x	x	0
	1	0	x	1	0

Hình 3-4-1.

3.4.2. Tối thiểu hóa hàm logic ràng buộc

Mấu chốt của vấn đề là dùng điều kiện ràng buộc như thế nào. Nói chung, nếu tận dụng điều kiện ràng buộc thì có thể nhận được biểu thức tối thiểu hóa.

1) Ứng dụng điều kiện ràng buộc để tối thiểu hóa

a) Phương pháp công thức

Trong phương pháp công thức, tùy yêu cầu, có thể tùy ý cộng thêm hoặc khử bỏ số hạng ràng buộc. Số hạng ràng buộc bằng 0, nên thêm bớt 0 vào biểu thức logic không làm thay đổi giá trị biểu thức đó. Ví dụ, bảng 3-4-2, ta có : $Z = ABC$

$$Z = ABC + \bar{A}C + \bar{B}C = C(AB + \bar{A} + \bar{B}) = C(AB + \overline{AB}) = C$$

b) Phương pháp hình vẽ

Trong phương pháp hình vẽ, tùy yêu cầu, có thể tùy ý khoanh vòng qua số hạng ràng buộc. Vì số hạng ràng buộc bằng 0, nên sự gộp thêm nó không làm thay đổi giá trị hàm số. Ví dụ, hình 3-4-1, có thể khoanh vòng 4 ô giữa, ta có :

$$Z = m_1 + m_3 + m_5 + m_7 = C$$

Phân tích bảng 3-4-1, 3-4-2, chúng ta sẽ rõ ý nghĩa thực tế của việc tối thiểu hóa dùng điều kiện ràng buộc. $Z = ABC$ nghĩa là người gác rạp chiếu phim phải kiểm tra vé, lại phải phân biệt giới tính và nơi công tác của người có vé : Phức tạp quá. $Z = C$ nghĩa là người gác rạp chiếu phim chỉ cần kiểm tra vé : Thật đơn giản. Tuy nhiên, điều kiện ràng buộc phải bảo đảm là vé chỉ phát cho phụ nữ của đơn vị mà thôi. Nếu không, người không được phép cũng vào xem phim. Nói một cách tổng quát, cần bảo đảm điều kiện ràng buộc khi tối thiểu hóa hàm logic ràng buộc. Nếu không, có thể sinh ra sai lầm.

2) Tối thiểu hóa hàm logic có biến loại trừ nhau

Trong một nhóm biến số, nếu chỉ có một biến lấy giá trị 1 thì giá trị các biến khác phải bằng 0. Đó là các loại trừ nhau.

Ví dụ 3-4-2 : Các biến A, B, C của hàm Z là loại trừ nhau.

Hãy kẻ bảng chân lí của Z và dùng phương pháp công thức, phương pháp hình vẽ để tìm biểu thức hàm số tối thiểu dạng ORAND.

Giải :

- Bảng 3-4-4 dưới đây căn cứ vào khái niệm các biến loại trừ nhau

Bảng 3-4-4 : DẤU × BIỂU THỊ TRƯỜNG HỢP KHÔNG XẢY RA.

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	×
1	0	0	1
1	0	1	×
1	1	0	×
1	1	1	×

- Dùng công thức tối thiểu hóa

$$Z = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C}$$

Điều kiện ràng buộc $\bar{A}BC + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC = 0$

$$\begin{aligned} Z &= \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + \bar{A}BC + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC \\ &= (\bar{A}\bar{B}C + \bar{A}B\bar{C}) + (\bar{A}BC + \bar{A}\bar{B}C) + (A\bar{B}\bar{C} + ABC) + ABC \\ &= \bar{A}C + B\bar{C} + (A\bar{B} + ABC) \\ &= \bar{A}C + B\bar{C} + A(\bar{B} + BC) \\ &= \bar{A}C + B\bar{C} + A\bar{B} + AC \\ &= (\bar{A}C + AC) + B\bar{C} + A\bar{B} \\ &= C + B\bar{C} + A\bar{B} \\ &= A + B + C \end{aligned}$$

- Dùng hình vẽ tối thiểu hóa vẽ bằng Karnaugh như hình 3-4-2.

Gộp theo khoanh tròn

$$m_4 + m_5 + m_6 + m_7 = A$$

$$m_2 + m_3 + m_6 + m_7 = B$$

$$m_1 + m_3 + m_5 + m_7 = C$$

Hàm tối thiểu hóa : $Z = A + B + C$

Đối với hàm logic mà các biến loại trừ nhau, bảng chân lí thường có dạng đơn giản đặc biệt, ví dụ, từ bảng 3-4-4 ta có bảng 3-4-5

Bảng 3-4-5

Biến	Hàm Z
A	1
B	1
C	1

Hàm logic có biểu thức dạng tổng các biến :
 $Z = A + B + C$

3) Ví dụ về tối thiểu hóa

Ví dụ 3-4-3 : Hãy tối thiểu hóa hàm
 $Z = AC + \bar{A}\bar{B}C$

điều kiện ràng buộc $\bar{B}\bar{C} = 0$

Giải :

- dùng công thức

$$Z = AC + \bar{A}\bar{B}C = AC + \bar{A}\bar{B}C + \bar{B}\bar{C} = C(A + \bar{A}\bar{B}) + \bar{B}\bar{C} = AC + \bar{B}\bar{C} + \bar{B}\bar{C}$$

$$Z = AC + \bar{B}$$

		BC			
A		00	01	11	10
		0	1	x	1
		1	x	x	x

Hình 3-4-2.

		BC			
A		00	01	11	10
		x	1	0	0
		x	1	1	0

Hình 3-4-3.

- Dùng hình vẽ (hình 3-4-3)
- Gộp khoanh vòng

$$m_0 + m_1 + m_4 + m_5 = \bar{B}$$

$$m_5 + m_7 = AC$$

$$Z = \bar{B} + AC$$

Ví dụ 3-4-4 : Cho bảng chân lí của hàm logic ràng buộc (bảng 3-4-6). Hãy tìm biểu thức tối thiểu hóa của hàm dạng OR-AND và dạng AND-OR.

Giải : Từ bảng chân lí 3-4-6 vẽ bảng Karnaugh hình 3-4-4.

Bảng 3-4-6

A	B	C	D	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	x
1	0	1	1	x
1	1	0	0	x
1	1	0	1	x
1	1	1	0	x
1	1	1	1	x

		CD			
AB		00	01	11	10
		1	0	1	1
01		0	1	1	0
11		x	x	x	x
10		1	1	x	x

Hình 3-4-4.

- Tìm dạng OR-AND :

Khi khoanh vòng $m_{10}, m_{11}, m_{12}, m_{13}, m_{14}, m_{15}$ được tận dụng xử lí gộp, ta có :

$$Z = \bar{B}\bar{D} + \bar{B}C + BD + A \quad (3-4-1)$$

- Tìm dạng AND-OR :

Nếu trên đây gộp các số hạng ràng buộc vào vòng các ô giá trị 1, thì ở đây ta chia số hạng ràng buộc thành hai nhóm :

m_{12} và m_{14} gộp vào các ô giá trị 0, còn m_{10}, m_{11}, m_{12} và m_{15} gộp vào các ô giá trị 1. Ta có :
$$\bar{Z} = \bar{A}\bar{B}\bar{C}D + B\bar{D} \quad (3-4-2)$$

Lấy ĐẢO lần nữa, ta có :

$$\begin{aligned} Z &= \overline{\overline{Z}} = \overline{\overline{A\overline{B}CD} + B\overline{D}} \\ &= \overline{\overline{A\overline{B}CD}} \overline{B\overline{D}} \\ &= (A + B + C + \overline{D})(\overline{B} + D) \end{aligned}$$

Cần thuyết minh thêm điều sau đây : Hàm Z (3-4-1) và hàm đảo $\overline{Z}$ (3-4-2) không đơn giản là đảo của nhau, nếu quên đi điều kiện ràng buộc. Nói cách khác, nếu không có điều kiện ràng buộc thì (3-4-1) và (3-4-2) không thể là các biểu thức đảo của nhau. Xuất xứ của chúng là do trong quá trình xử lý các số hạng ràng buộc, ta gộp tất cả vào vòng các ô giá trị 1 để đi đến (3-4-1), nhưng lại chia chúng thành hai nhóm để đi đến (3-4-2). Muốn lấy đảo để chuyển đổi qua lại hai biểu thức hàm số (3-4-1) và (3-4-2), ta phải tận dụng điều kiện ràng buộc.

TÓM TẮT

Chương 3 giới thiệu 3 phần nội dung chính : các công thức và định lý cơ bản của đại số logic, phương pháp biểu thị và tối thiểu hóa hàm logic.

Đại số logic là phương pháp quan trọng nghiên cứu mạch số, dùng đại số logic có thể trừu tượng hóa các quan hệ logic của một mạch điện thành biểu thức đại số logic, hơn nữa, có thể dùng các phép toán logic để giải quyết những vấn đề phân tích và thiết kế mạch logic.

Sau khi đã nghiên cứu các khái niệm và công thức cơ bản của đại số logic, chúng ta đã học tập 4 phương pháp biểu thị hàm logic, đó là :

1 - Bảng chân lý

Bảng chân lý dùng bảng liệt kê để biểu thị quan hệ giữa giá trị hàm số và tổ hợp giá trị các biến số của nó. Ưu điểm là trực quan, rõ ràng, tiện để trừu tượng hóa những vấn đề logic thực tế thành vấn đề đại số logic. Nhược điểm là sự rối rắm tăng nhanh theo số biến của hàm.

2 - Biểu thức

Biểu thức hàm logic liên hệ hàm với biến thông qua các phép toán logic VÀ, HOẶC, ĐẢO v.v... Cả với những trường hợp quan hệ logic phức tạp và biến logic nhiều thì biểu thức là phương pháp biểu thị hàm logic đơn giản, gọn ghẽ hơn cả, tiện để thực hiện các phép toán logic và tối thiểu hóa bằng công thức.

3 - Sơ đồ logic

Đây là phương pháp biểu thị hàm logic tương đối tiếp cận thực tế công trình. Vì kí hiệu phân tử logic trong sơ đồ thông thường biểu thị một phần tử mạch điện cụ thể, nên đồng thời đó là sơ đồ mạch logic. Trong thực tế, khi tìm hiểu chức năng logic của hệ thống số hoặc một hệ điều khiển số, ta dựa vào sơ đồ logic, vì sơ đồ logic biến chức năng logic của một mạch điện thực tế rất phức tạp thành sơ đồ các quan hệ logic rõ ràng và có thứ tự. Khi thiết kế để sản xuất thiết bị số, đầu tiên phải thiết kế logic, vẽ sơ đồ logic, rồi mới chuyển sang mạch điện thực tế.

4 - Bảng Karnaugh

Bảng Karnaugh biểu thị hàm logic bằng sơ đồ các ô số hạng nhỏ nhất, dùng sự kế nhau về vị trí hình học các ô để biểu thị trực quan tính chất kế nhau về logic của các số hạng nhỏ nhất của hàm. Bảng Karnaugh là công cụ quan trọng để tối thiểu hóa hàm logic.

4 phương pháp biểu thị hàm logic nói trên là có thể chuyển đổi lẫn nhau. Tùy theo yêu cầu thực tế cần giải quyết, ta chọn một phương pháp tốt nhất để biểu thị một hàm logic cụ thể.

Chúng ta tập trung tìm hiểu 2 phương pháp tối thiểu hóa hàm logic, đó là :

1. Dùng công thức

Dùng các công thức và định lý của đại số logic, tiến hành các phép toán logic để đi tới biểu thức tối thiểu hóa. Ưu điểm là không có hạn chế nào. Nhược điểm là cần đến kinh nghiệm và kỹ xảo khi tối thiểu hóa các biểu thức phức tạp.

2. Dùng hình vẽ

Dùng bảng Karnaugh để tối thiểu hóa. Ưu điểm là trực quan, đơn giản, dễ hiểu, ít nhầm lẫn. Nhược điểm là hạn chế số biến của hàm dưới 6.

Trong hàm logic thực tế, thường có những quan hệ ràng buộc. Nếu tận dụng điều kiện ràng buộc để tối thiểu hóa, thường có được hàm logic cực kì đơn giản. Chúng ta cần hiểu chính xác các khái niệm ràng buộc, số hạng ràng buộc, điều kiện ràng buộc và nắm vững phương pháp biểu thị điều kiện ràng buộc, phương pháp xử lý điều kiện ràng buộc để tối thiểu hóa.

Cuối cùng cần nói thêm rằng, khi thiết kế thực tế, để làm giảm số vi mạch, thường kết hợp các loại mạch cổng trong một sơ đồ mạch. Khi đó, biểu thức hàm logic tối thiểu là hỗn hợp và chỉ tối ưu khi xem xét việc sử dụng các cổng logic được chọn.

BÀI TẬP

3-1. Ba phép toán logic cơ bản trong đại số logic là gì ?

3-2. Hàm logic và biến logic tại sao chỉ lấy 2 giá trị 0 và 1. Có thể xảy ra trường hợp nào khác ?

3-3. Trong các biểu thức hàm logic dưới đây, $Z = 1$ với tổ hợp giá trị nào của các biến A, B, C.

$$(1) Z = AB + BC + \bar{A}C$$

$$(2) Z = \bar{A}\bar{B} + \bar{B}\bar{C} + A\bar{C}$$

$$(3) Z = \bar{A}\bar{B} + \bar{A}\bar{B}\bar{C} + \bar{A}B + AB\bar{C}$$

$$(4) Z = \overline{AB + B\bar{C}}(A + B)$$

3-4. Chứng minh các đẳng thức sau :

$$(1) \overline{A + BC + D} = \bar{A} \cdot (\bar{B} + \bar{C}) \cdot \bar{D}$$

$$(2) \overline{AB + \bar{A}\bar{B} + \bar{C}} = (A \oplus B) \cdot C$$

$$(3) A + \overline{A(B + C)} = A + \overline{B} \overline{C}$$

$$(4) \overline{A} \overline{B} + \overline{A} B + A \overline{B} + AB = 1$$

3-5. Chứng minh các đẳng thức sau :

$$(1) AB + BCD + \overline{A}C + \overline{B}C = AB + C$$

$$(2) \overline{A} \overline{B} + BD + DCE + D\overline{A} = \overline{A} \overline{B} + D$$

$$(3) AB(C + D) + D + \overline{D}(A + B)(\overline{B} + \overline{C}) = A + \overline{B} \overline{C} + D$$

$$(4) ABCD + \overline{A} \overline{B} \overline{C} \overline{D} = \overline{A \overline{B} + B \overline{C} + C \overline{D} + D \overline{A}}$$

$$(5) \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} = \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}$$

$$(6) \overline{A \oplus B} \overline{B \oplus C} \overline{C \oplus D} = \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{D} + \overline{D} \overline{A}$$

$$(7) \overline{A} \overline{B} \overline{C} \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} + ABC = (\overline{A} + \overline{B} + \overline{C}) \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} + \overline{A} \overline{B} \overline{C}$$

$$(8) \overline{A} \overline{B} + \overline{A} B + BC = \overline{A} \overline{B} + AC + \overline{A} B$$

$$(9) ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + \overline{A} \overline{B} C = A \oplus B \oplus C$$

$$(10) A \oplus B \oplus C = ABC + (A + B + C) \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}$$

3-6. Chứng minh các đẳng thức sau :

$$(1) \overline{A \oplus B} = \overline{A} \oplus B = A \oplus \overline{B}$$

$$(2) A \oplus B = \overline{A} \oplus \overline{B}$$

$$(3) \overline{A \oplus B \oplus C} = \overline{A} \oplus \overline{B} \oplus \overline{C}$$

$$(4) A(A \oplus B) = \overline{A} \overline{B}$$

$$(5) AB(A \oplus B \oplus C) = ABC$$

3-7. Bảng chân lí là gì ? Bạn có thể từ biểu thức logic đã cho để kê ra bảng chân lí được không ?

3-8. Hãy liệt kê bảng chân lí của các hàm dưới đây. Thuyết minh quan hệ giữa F_1 và F_2

$$(1) \begin{cases} F_1 = \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} \\ F_2 = \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} \end{cases}$$

$$(2) \begin{cases} F_1 = ABC + \overline{A} \overline{B} \overline{C} \\ F_2 = \overline{A \overline{B} + B \overline{C} + C \overline{A}} \end{cases}$$

$$(3) \begin{cases} F_1 = A \oplus B \oplus C \\ F_2 = ABC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + \overline{A} \overline{B} C \end{cases}$$

$$(4) \begin{cases} F_1 = A \overline{C} D + \overline{A} \overline{B} + BC \\ F_2 = \overline{A} \overline{B} C + \overline{A} \overline{B} \overline{D} + \overline{B} \overline{C} \overline{D} \end{cases}$$

3-9. Dùng bảng chân lí nghiệm lại các đẳng thức ở đề bài tập 3-4.

3-10. Nói phương pháp tìm biểu thức hàm số từ bảng chân lí. Bạn có thể trực tiếp viết ra biểu thức hàm logic dạng ORAND và ANDOR từ bảng chân lí không ?

3-11. Cho bảng chân lí của các hàm logic $F_1 \div F_5$ như dưới đây. Hãy viết biểu thức hàm logic dạng ORAND chuẩn tắc.

A	B	C	F_1	F_2	F_3	F_4	F_5
0	0	0	0	0	0	0	1
0	0	1	1	0	1	1	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	1	1
1	0	0	1	0	1	0	0
1	0	1	0	1	0	0	0
1	1	0	0	1	0	0	1
1	1	1	1	1	0	1	0

3-12. Hãy viết biểu thức hàm logic $F_1 \div F_5$ trong bài tập 3-11 ở dạng AND-OR chuẩn tắc.

3-13. Số hạng nhỏ nhất là gì ? Tính chất của nó ? Phương pháp kí hiệu nó ?

3-14. Hãy triển khai các hàm logic sau đây thành biểu thức số hạng nhỏ nhất.

$$(1) Z = AB + BC + CA$$

$$(2) Z = S + \bar{R}Q$$

$$(3) Z = J\bar{Q} + \bar{K}Q$$

$$(4) Z = \overline{AB + AD + \bar{B}C}$$

$$(5) Z = \overline{\bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}}$$

3-15. Nói về phương pháp kí hiệu số hạng nhỏ nhất. Hãy dùng $Z = \sum m_i$ biểu thị các hàm số trong bài tập 3-14.

3-16. Thừa số lớn nhất là gì ? Tính chất và cách kí hiệu.

3-17. Hãy viết biểu thức các thừa số lớn nhất của các hàm số trong bài tập 3-14.

3-18. Bảng Karnaugh là gì ? Quy luật sắp xếp biến số trên bảng Karnaugh như thế nào ? Bạn có thể viết nhanh ra kí hiệu trên các ô của bảng Karnaugh không ?

3-19. Bạn có thành thạo vẽ ra bảng Karnaugh 3, 4 biến không ?

3-20. Hãy nói các bước cơ bản vẽ bảng Karnaugh của hàm logic.

3-21. Vẽ bảng Karnaugh của các hàm trong bài tập 3-3.

3-22. Dùng bảng Karnaugh chứng minh các đẳng thức ở bài tập 3-4.

3-23. Dùng bảng Karnaugh chứng minh các đẳng thức 1 ÷ 5 ở bài tập 3-5.

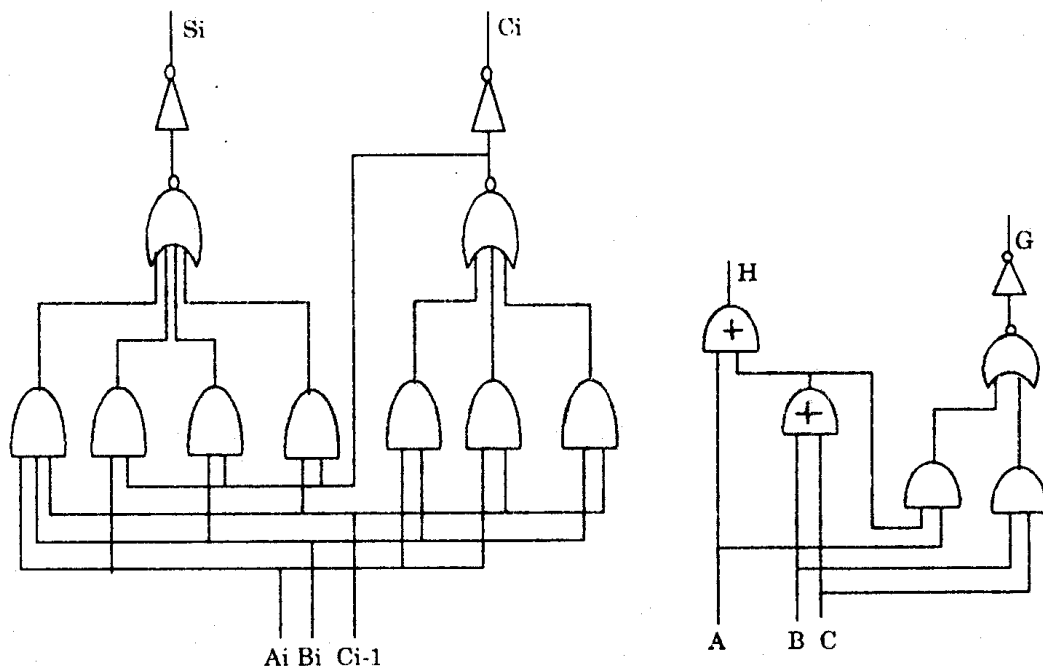
3-24. Sơ đồ logic là gì ? Đặc điểm của nó.

3-25. Bạn có thể vẽ sơ đồ logic từ biểu thức hàm số đã cho không ?

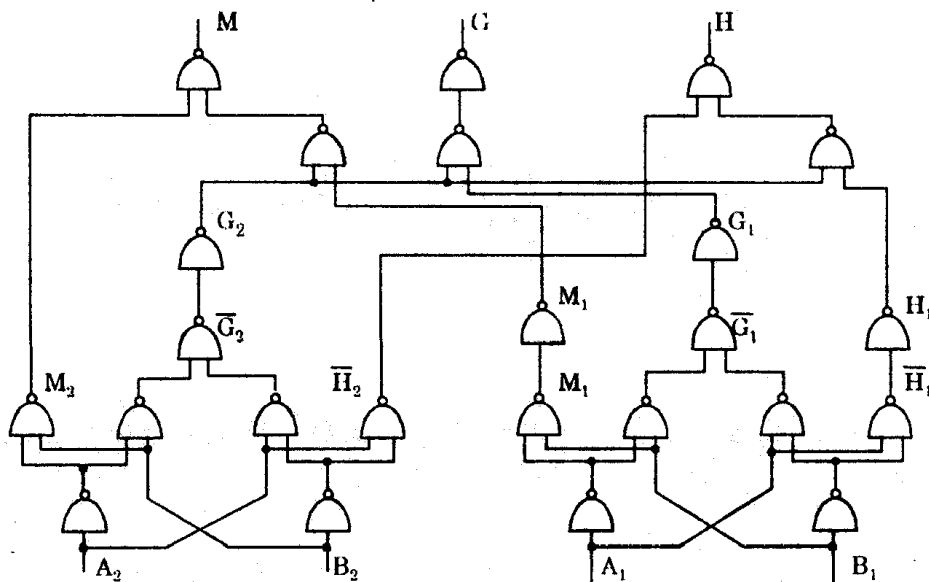
3-26. Hãy vẽ sơ đồ logic của các hàm số cho ở bài tập 3-3.

3-27. Hãy vẽ sơ đồ logic của các hàm số cho ở bài tập 3-14.

3-28. Hãy viết biểu thức hàm đầu ra của sơ đồ logic sau đây.



3-29. Hãy viết biểu thức hàm đầu ra của sơ đồ logic sau đây.



3-30. Biểu thức OR-AND tối thiểu là gì ? Việc tối thiểu hóa hàm logic có ý nghĩa thực tế gì ?

3-31. Phương pháp tối thiểu hóa bằng công thức là gì ? Ưu điểm của nó ?

3-32. Hãy dùng phương pháp công thức để tối thiểu hóa các hàm logic dưới đây thành dạng OR-AND tối thiểu.

$$(1) A(\bar{A} + B) + B(B + C) + B$$

$$(2) (\bar{A} + \bar{B} + \bar{C})(B + \bar{B} + C)(C + \bar{B} + \bar{C})$$

- (3) $AB + \overline{A}\overline{B} + \overline{A}B + A\overline{B}$
- (4) $(A + \overline{A}B + ABC)(A + B + C)$
- (5) $(\overline{A}\overline{B} + \overline{A}B)(AB + \overline{A}\overline{B})$
- (6) $ABC + \overline{A}\overline{B} + \overline{A}B\overline{C}$
- (7) $(\overline{A}B + \overline{A}\overline{B} + \overline{A}B)(A + B + D + \overline{A}\overline{B}\overline{D})$
- (8) $(\overline{A}\overline{B} + D)(A + \overline{B})D$
- (9) $\overline{A}\overline{C} + \overline{A}\overline{B} + BC + \overline{A}\overline{C}\overline{D}$
- (10) $\overline{A}\overline{B} + C + \overline{A}\overline{C}D + \overline{B}\overline{C}D$

3-33. Hãy dùng phương pháp công thức để tối thiểu hóa các hàm logic dưới đây thành dạng OR-AND tối thiểu.

- (1) $AB + \overline{A}C + \overline{B}C + \overline{C}D + \overline{D}$
- (2) $A(\overline{A}C + BD) + B(C+DE) + \overline{B}\overline{C}$
- (3) $(\overline{A} + \overline{B} + \overline{C})(B + \overline{B}C + \overline{C})(D + \overline{D}E + \overline{E})$
- (4) $A + \overline{B} + \overline{C}D + \overline{A}D \cdot \overline{B}$
- (5) $\overline{A}\overline{B} + BD + DCE + D\overline{A}$
- (6) $AD + \overline{B}C\overline{D} + (\overline{A} + \overline{B})C$
- (7) $\overline{A} \cdot \overline{B} + AC + BC + \overline{B}\overline{C}\overline{D} + \overline{B}CE + \overline{B}CF$
- (8) $\overline{A} \cdot \overline{B} + AC + \overline{C}D + \overline{B}\overline{C}\overline{D} + \overline{B}CE + \overline{B}C\overline{G} + \overline{B}CF$

3-34. Hãy dùng phương pháp công thức để tối thiểu hóa các hàm logic dưới đây thành dạng OR-AND tối thiểu.

- (1) $\overline{AB + \overline{A}\overline{B}}$
- (2) $\overline{A \oplus B \cdot B \oplus C}$
- (3) $\overline{BC + \overline{A}}$
- (4) $\overline{\overline{A}\overline{B} + \overline{A}C + \overline{B}C}$
- (5) $\overline{BC + AB + \overline{A}\overline{C}}$
- (6) $\overline{\overline{A}\overline{C} + BD + \overline{A}BC}$
- (7) $\overline{\overline{A}\overline{B}D + \overline{A}\overline{C} + \overline{B}\overline{C}\overline{D} + \overline{B}D + \overline{B}\overline{D}}$
- (8) $\overline{CD + \overline{C}\overline{D} \cdot \overline{A}C + \overline{D}}$
- (9) $\overline{\overline{A}\overline{B}\overline{C} \cdot \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{A}}$
- (10) $(A + B)CD + ACD + AB(C + \overline{D})$

3-35. Dùng phương pháp công thức chứng minh các đẳng thức sau

- (1) $ABC + \overline{A}\overline{B}\overline{C} = \overline{\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{A}}$
- (2) $AB + \overline{A}\overline{B} = (A + B)(\overline{A} + \overline{B})$
- (3) $\overline{A + C + \overline{A}D + \overline{B}C} = \overline{(A + D)BC \cdot A + (\overline{B} + C)AD \cdot C}$
- (4) $A \oplus B \oplus C = (\overline{A} + \overline{B} + \overline{C})(\overline{A} + B + C)(A + \overline{B} + C)(A + B + \overline{C})$
- (5) $A \oplus B \oplus C \oplus D = A \oplus \overline{B} \oplus C \oplus \overline{D}$

3-36. Hãy tìm hàm đảo của các hàm logic sau đây (dùng định lý De Morgan, đưa hàm đảo về dạng OR-AND tối thiểu).

- (1) $(A + \overline{B})C + \overline{D}$
- (2) $(\overline{A}\overline{B} + \overline{B}\overline{D})(AC + BD)$
- (3) $A.B + \overline{C} + \overline{A}D$
- (4) $AB + \overline{B}\overline{D} + \overline{B}C + \overline{C}D$
- (5) $D[\overline{C} + (AD + B)E]$
- (6) $A \oplus B \oplus C$
- (7) $(A \oplus B)C + \overline{B} \oplus \overline{C}.D$
- (8) $\overline{A + B + CD + \overline{C} + \overline{D} + AB}$

3-37. Dùng định lý triển khai để tối thiểu hóa các hàm sau đây (về dạng OR-AND tối thiểu)

- (1) $F_1 = \overline{(A + C)(C + D) + \overline{A}\overline{B}\overline{D}}$
- (2) $F_2 = AC.\overline{B}\overline{D} + CD.\overline{A}\overline{B}$
- (3) $F_3 = \overline{\overline{A}\overline{B} + ABD.(B + \overline{C}D)}$
- (4) $F_4 = \overline{AB\overline{C} + A\overline{B}C + \overline{A}BC + \overline{A}\overline{B}\overline{C}}$

3-38. Dùng định lý triển khai để tối thiểu hóa các hàm sau đây (về dạng OR-AND tối thiểu)

- (1) $F_1 = \overline{\overline{A}\overline{B}C + ABD + A\overline{B}\overline{D} + \overline{A}\overline{C}D}$
- (2) $F_2 = \overline{ABC + \overline{A}\overline{C}(B + D).CD}$
- (3) $F_3 = \overline{AB + BC + \overline{A}\overline{B}.(\overline{A}B + A\overline{B} + \overline{B}C)}$
- (4) $F_4 = \overline{A(A + C)(B + C)(\overline{A} + \overline{C} + D)(\overline{A} + B + D)}$
- (5) $F_5 = \overline{ABC + BD(\overline{A} + C) + (B + D)AC}$
- (6) $F_6 = \overline{AC + \overline{B}\overline{C} + \overline{A}D + \overline{A}\overline{B}\overline{D} + \overline{A}BE + \overline{A}\overline{B}FG + ABH}$

3-39. Quy tắc gộp các số hạng nhỏ nhất trong bảng Karnaugh là gì ? Có thể gộp các số hạng nhỏ nhất liên kế với số các số hạng là 3, 5, 7, 9, 15 hay không ? Tại sao ?

3-40. Hãy viết ra dạng OR-AND tối thiểu của các hàm số biểu thị dưới đây.

A \ BC				
	00	01	11	10
0	1			1
1	1		1	1

(a)

A \ BC				
	00	01	11	10
0	1	1	1	1
1		1	1	

(b)

A \ BC				
	00	01	11	10
0				
1	1	1	1	

(c)

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	1		
11				
10	1		1	1

(d)

AB \ CD	00	01	11	10
00	1			1
01	1	1	1	1
11	1			1
10	1			1

(e)

AB \ CD	00	01	11	10
00				1
01			1	1
11		1	1	1
10	1	1	1	1

(f)

AB \ CD	00	01	11	10
00	1	1		1
01		1	1	1
11	1	1	1	
10	1		1	1

(g)

AB \ CD	00	01	11	10
00		1	1	1
01	1	1		1
11	1		1	1
10	1	1	1	

(h)

AB \ CD	00	01	11	10
00			1	1
01		1	1	1
11	1	1	1	
10	1	1		

(i)

AB \ CD	00	01	11	10
00	1	1	1	1
01	1			1
11	1			1
10	1	1	1	1

(j)

AB \ CD	00	01	11	10
00		1	1	
01	1	1	1	1
11	1	1	1	1
10		1	1	

(k)

AB \ CD	00	01	11	10
00	1			1
01		1	1	
11		1	1	
10	1			1

(l)

3-41. Dùng phương pháp hình vẽ tối thiểu hóa các hàm sau đây về dạng OR-AND tối thiểu

$$(1) F(A, B, C) = \sum_m(0, 1, 2, 5)$$

$$(2) F(A, B, C) = \sum_m(0, 2, 4, 6, 7)$$

$$(3) F(A, B, C) = \sum_m(0, 1, 2, 3, 4, 5, 6)$$

$$(4) F(A, B, C) = \sum_m(0, 1, 2, 3, 6, 7)$$

$$(5) F(A, B, C, D) = \sum_m(0, 1, 8, 9, 10)$$

$$(6) F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 9, 10, 12, 13, 14, 15)$$

$$(7) F(A, B, C) = \sum_m(0, 4, 6, 8, 10, 12, 14)$$

$$(8) F(A, B, C, D) = \sum_m(1, 3, 8, 9, 10, 11, 14, 15)$$

$$(9) F(A, B, C, D) = \sum_m(3, 5, 8, 9, 11, 13, 14, 15)$$

$$(10) F(A, B, C, D) = \sum_m(0, 2, 3, 4, 8, 10, 11)$$

$$(11) F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 9, 10, 11, 12, 13, 14, 15)$$

3-42. Dùng phương pháp hình vẽ tối thiểu hóa các hàm số dưới đây về dạng OR-AND tối thiểu.

$$(1) F = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BCD + \bar{A}B\bar{C}\bar{D}$$

$$(2) F = \bar{A}\bar{C}D + \bar{A}B\bar{D} + ABD + A\bar{C}\bar{D}$$

$$(3) F = \bar{A}\bar{B} + \bar{B}\bar{C}\bar{D} + ABD + \bar{A}B\bar{C}D$$

$$(4) F = \bar{A}\bar{B}C + AD + B\bar{D} + C\bar{D} + A\bar{C} + \bar{A}\bar{D}$$

$$(5) F = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B + \bar{A}\bar{B}\bar{D} + \bar{B}\bar{C} + BCD$$

$$(6) F = \bar{A}\bar{B}D + \bar{A}B\bar{C} + BCD + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D}$$

3-43. Dùng phương pháp hình vẽ tối thiểu hóa các hàm số dưới đây về dạng OR-AND tối thiểu.

$$(1) F(A, B, C, D) = \sum_m(0, 1, 4, 6, 8, 9, 10, 12, 13, 14, 15)$$

$$(2) F(A, B, C, D) = \sum_m(0, 2, 3, 4, 5, 6, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$(3) F(A, B, C, D) = \sum_m(2, 4, 5, 6, 7, 11, 12, 14, 15)$$

$$(4) F(A, B, C, D, E) = \sum_m(0, 3, 4, 6, 7, 8, 11, 15, 16, 17, 20, 22, 25, 27, 29, 30, 31)$$

3-44. Khái niệm ràng buộc, số hạng ràng buộc, điều kiện ràng buộc là gì.

3-45. Trong phương pháp tối thiểu hóa (công thức hoặc hình vẽ), tại sao có thể tùy ý thêm bớt các số hạng ràng buộc theo yêu cầu ?

3-46. Dùng phương pháp hình vẽ để tối thiểu hóa về dạng OR-AND tối thiểu các hàm sau đây với điều kiện ràng buộc $AB + AC = 0$

$$1. F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 5, 6, 8, 9)$$

$$2. F(A, B, C, D) = \sum_m(0, 2, 4, 5, 7, 8)$$

$$3. F(A, B, C, D) = \sum_m(0, 1, 3, 5, 8, 9)$$

$$4. F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 5, 6)$$

3-47. Dùng phương pháp hình vẽ tối thiểu hóa về dạng OR-AND tối thiểu các hàm sau đây với điều kiện ràng buộc $\sum_d = 0$

$$1. F(A, B, C, D) = \sum_m(0, 1, 2, 3, 6, 8) + \sum_d(10, 11, 12, 13, 14, 15)$$

$$2. F(A, B, C, D) = \sum_m(3, 6, 8, 9, 11, 12) + \sum_d(0, 1, 2, 13, 14, 15)$$

$$3. F(A, B, C, D) = \sum_m(0, 1, 4, 9, 12, 13) + \sum_d(2, 3, 6, 10, 11, 14)$$

$$4. F(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 7, 15) + \sum_d(8, 9, 10, 11, 12, 13)$$

$$5. F(A, B, C, D) = \sum_m(0, 2, 4, 5, 7, 13) + \sum_d(8, 9, 10, 11, 14, 15)$$

$$6. F(A, B, C, D) = \sum_m(2, 4, 6, 7, 12, 15) + \sum_d(0, 1, 3, 8, 9, 11)$$

$$7. F(A, B, C, D) = \sum_m(1, 2, 4, 12, 14) + \sum_d(5, 6, 7, 8, 9, 10)$$

$$8. F(A, B, C, D) = \sum_m(0, 2, 3, 4, 5, 6, 11, 12) + \sum_d(8, 9, 10, 13, 14, 15)$$

3-48. Các hàm logic dạng OR-AND dưới đây có phải đã là tối thiểu chưa. Nếu chưa, hãy tối thiểu hóa chúng.

$$1. F_1 = \bar{A}\bar{B} + \bar{A}C + \bar{A}B + \bar{B}\bar{C}$$

$$2. F_2 = \bar{A}B + \bar{B}C + \bar{B}\bar{C} + A\bar{C}$$

$$3. F_3 = ABD + \bar{A}B\bar{D} + A\bar{C}\bar{D} + \bar{A}\bar{C}D + \bar{B}\bar{C}$$

$$4. F_4 = \bar{A}\bar{B} + \bar{C}\bar{D} + ABD + \bar{A}BC$$

Chương 4

MẠCH LOGIC TỔ HỢP

4.1. ĐẶC ĐIỂM CƠ BẢN VÀ PHƯƠNG PHÁP THIẾT KẾ CỦA MẠCH LOGIC TỔ HỢP

4.1.1. Phương pháp biểu thị và phân tích đặc điểm cơ bản và chức năng logic của mạch logic tổ hợp

Căn cứ vào đặc điểm và chức năng logic, chúng ta phân loại mạch số thành hai loại chính : mạch tổ hợp và mạch dây (mạch dây được trình bày trong chương sau)

1) Đặc điểm cơ bản của mạch tổ hợp

Trong mạch số, mạch tổ hợp là mạch mà trị số ổn định của tín hiệu đầu ra ở thời điểm bất kì chỉ phụ thuộc vào tổ hợp các giá trị tín hiệu đầu vào ở thời điểm đó. Trong mạch tổ hợp, trạng thái mạch điện trước thời điểm xét, tức trước khi có tác động của tín hiệu đầu vào, không ảnh hưởng đến tín hiệu đầu ra. Đặc điểm cấu trúc mạch tổ hợp là được cấu trúc nên từ các cổng logic. Vậy các mạch điện cổng ở chương 2 và các mạch logic đã gặp ở chương 3 đều là mạch tổ hợp.

2) Phương pháp biểu thị chức năng logic

Các phương pháp thường dùng để biểu thị chức năng logic của mạch tổ hợp là hàm số logic, bảng chân lí, sơ đồ logic, bảng Karnaugh, cũng có khi biểu thị bằng đồ thị thời gian dạng sóng.

Đối với vi mạch cỡ nhỏ (SSI) thường biểu thị bằng hàm logic. Đối với vi mạch cỡ vừa thường biểu thị bằng bảng chân lí, hay là bảng chức năng. Bảng chức năng dùng hình thức bảng kê, với mức logic cao (H) và mức logic thấp (L), để mô tả quan hệ logic giữa tín hiệu đầu ra với tín hiệu đầu vào của mạch điện xét. Chỉ cần thay giá trị logic cho trạng thái trong bảng chức năng, thì ta có bảng chân lí tương ứng.

Như hình 4-1-1 cho biết, thường có nhiều tín hiệu đầu vào và nhiều tín hiệu đầu ra. Một cách tổng quát, hàm logic của tín hiệu đầu ra có thể viết dưới dạng :

$$z_1 = f_1(x_1, x_2, \dots, x_n)$$

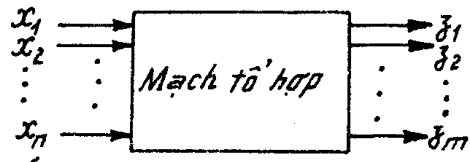
$$z_2 = f_2(x_1, x_2, \dots, x_n)$$

...

$$z_m = f_m(x_1, x_2, \dots, x_n)$$

Cũng có thể viết dưới dạng đại lượng vectơ như sau :

$$Z = F(X)$$



Hình 4-1-1 :

Sơ đồ khối mạch tổ hợp.

3) Phương pháp phân tích chức năng logic

Chương 2 cũng đã đề cập. Bây giờ giới thiệu các bước phân tích, bắt đầu từ sơ đồ mạch logic đã cho, để cuối cùng tìm ra hàm logic hoặc bảng chân lí :

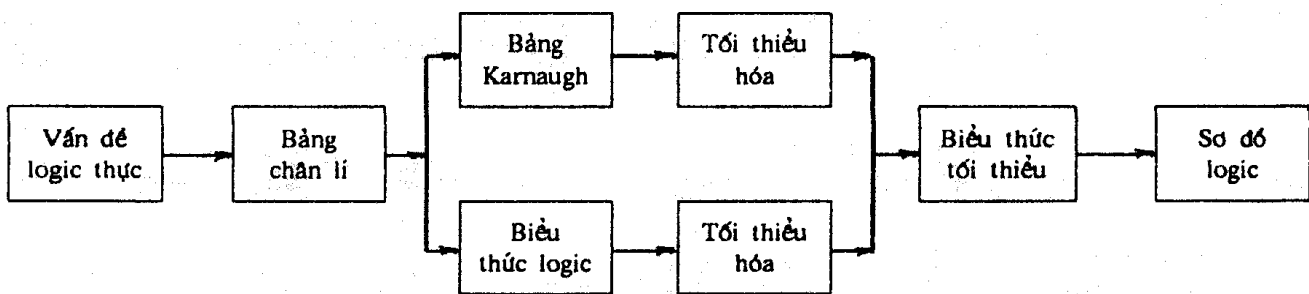
a) *Viết biểu thức* : tuân tự từ đầu vào đến đầu ra (hay cũng có thể ngược lại) viết ra biểu thức hàm logic của tín hiệu đầu ra.

b) *Rút gọn* : khi cần thiết thì rút gọn đến tối thiểu biểu thức trên đây bằng phương pháp đại số hay phương pháp hình vẽ.

c) *Kẻ bảng chân lí* : khi cần thiết thì tìm ra bảng chân lí bằng cách tiến hành tính toán các giá trị hàm logic tín hiệu đầu ra tương ứng với tổ hợp có thể của các giá trị tín hiệu đầu vào.

4.1.2. Phương pháp thiết kế logic mạch tổ hợp

Phương pháp thiết kế logic là các bước cơ bản tìm ra sơ đồ mạch điện logic từ yêu cầu nhiệm vụ logic đã cho.



Hình 4-1-2. Các bước thiết kế mạch logic tổ hợp.

Hình 4-1-2 là quá trình thiết kế nói chung của mạch tổ hợp, trong đó bao gồm 4 bước chính :

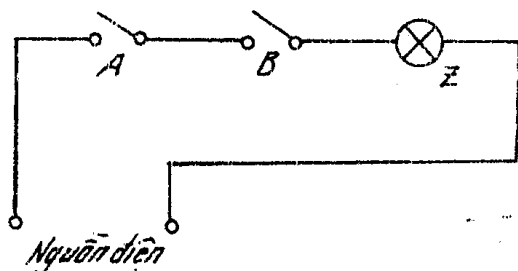
1) Phân tích yêu cầu

Yêu cầu nhiệm vụ thiết kế của vấn đề logic thực có thể là một đoạn văn, cũng có thể là một bài toán logic cụ thể. Nhiệm vụ phân tích là xác định cái nào là biến số đầu vào, cái nào là hàm số đầu ra và mối quan hệ logic giữa chúng với nhau. Muốn phân tích đúng thì phải tìm hiểu xem xét một cách sâu sắc yêu cầu thiết kế. Việc đó là một việc khó nhưng quan trọng trong quá trình thiết kế.

2) Kê bảng chân lí

Nói chung, đầu tiên, chúng ta liệt kê thành bảng về quan hệ tương ứng nhau giữa trạng thái tín hiệu đầu vào với trạng thái hàm số đầu ra. Đó là bảng kê yêu cầu chức năng logic, gọi tắt là bảng chức năng. Việc này có vẻ dễ và trực quan. Tiếp theo, ta thay giá trị logic cho trạng thái, tức là dùng các số 0, số 1 biểu thị các trạng thái tương ứng của đầu vào và đầu ra. Kết quả ta có bảng các giá trị thực logic, gọi tắt là bảng chân lí. Đây chính là hình thức đại số của yêu cầu thiết kế.

Cần lưu ý rằng từ một bảng chức năng có thể được bảng chân lí khác nhau nếu thay giá trị logic khác nhau (tức là quan hệ logic giữa đầu ra với đầu vào cũng phụ thuộc việc thay giá trị). Ví dụ, sơ đồ mạch nguyên lí hình 4-1-3 dùng 2 chuyển mạch A, B mắc nối tiếp điều khiển bóng đèn Z.



Hình 4-1-3. Mạch điện hai chuyển mạch nối tiếp

Bảng 4-1-1 : BẢNG CHỨC NĂNG

Chuyển mạch A	Chuyển mạch B	bóng đèn Z
ngắt	ngắt	tắt
ngắt	nối	tắt
nối	ngắt	tắt
nối	nối	sáng

Bảng chức năng 4-1-1 có được từ xem xét trực tiếp các khả năng có thể của mạch điện hình 4-1-3. Nếu thay thế giá trị logic theo 4 cách khác nhau thì từ các bảng chân lí 4-1-2a, b, c, d ta được các biểu thức logic khác nhau.

Bảng 4-1-2 : BẢNG CHÂN LÍ TRONG 4 TÌNH HUỐNG THAY GIÁ TRỊ KHÁC NHAU

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

- a) 0 biểu thị ngắt và tắt
1 biểu thị nối và sáng $Z = A.B$

A	B	Z
1	1	1
1	0	1
0	1	1
0	0	0

- b) 0 biểu thị nối và sáng
1 biểu thị ngắt và tắt $Z = A + B$

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

- c) 0 biểu thị ngắt và sáng
1 biểu thị nối và tắt $Z = A.B$

A	B	Z
1	1	0
1	0	0
0	1	0
0	0	1

- d) 0 biểu thị nối và tắt
1 biểu thị ngắt và sáng $Z = A + B$

Từ bảng 4-1-2, ta thấy rằng chúng ta sẽ có mối quan hệ logic khác nhau nếu thay giá trị theo cách khác nhau. Chúng ta phải căn cứ vào giá trị thay thế trạng thái để xác định ý nghĩa cụ thể của 0 và 1 (tức là ý nghĩa thực tế của bảng chân lí)

Khi liệt kê bảng chức năng hoặc bảng chân lí, có thể không liệt kê các tổ hợp trạng thái tín hiệu đầu vào nào không thể có hay bị cấm. Những tổ hợp này cũng có thể được liệt kê, nhưng tại đầu ra, ở trạng thái tương ứng ta ghi một dấu chéo "×", thường sử dụng các trạng thái đánh dấu chéo để tối thiểu hóa hàm logic.

3) Tiến hành tối thiểu hóa

Nếu số biến số tương đối ít thì có thể dùng phương pháp hình vẽ. Nếu số biến số tương đối nhiều, khi đó không tiện dùng phương pháp hình vẽ, thì dùng phương pháp đại số.

4) Vẽ sơ đồ logic

Kết quả việc tối thiểu hóa là biểu thức logic OR - AND. Căn cứ việc chọn lựa loại cổng logic cụ thể, cần biến đổi biểu thức logic đó thành dạng phù hợp. Ví dụ, nếu chọn dùng cổng NAND thì phải có biểu thức dạng NAND, nếu chọn dùng cổng NOR thì phải có biểu thức dạng NOR, nếu chọn dùng cổng NORAND thì phải có biểu thức dạng NORAND.

Cần lưu ý rằng, những bước thiết kế trên đây không phải là bắt buộc áp dụng máy móc, mà là nên được vận dụng linh hoạt theo tình huống cụ thể của thiết kế thực tế.

Trong hoạt động thực tiễn của loài người, các bài toán, và tương ứng các mạch điện của mạch logic tổ hợp là nhiều không kể hết. Các mạch tổ hợp hiện nay thường gặp trong hệ thống số là bộ mã hóa, bộ giải mã, bộ chọn kênh, bộ cộng, bộ kiểm tra chẵn lẻ (parity checker), ROM, v.v..

Dưới đây lần lượt giới thiệu một số mạch tổ hợp về cấu trúc mạch, nguyên lí công tác và đặc điểm của chúng, kết hợp soi sáng phương pháp thiết kế phân tích mạch tổ hợp.

4.2. BỘ MÃ HÓA

4.2.1. Khái niệm mã hóa

Nói một cách khái quát, mã hóa là dùng văn tự, kí hiệu hay mã để biểu thị một đối tượng xác định. Có thể thấy biết bao ví dụ về mã hóa trong đời sống như đặt tên cho trẻ sơ sinh, mỗi vận động viên có một số thay thế trong thi đấu. Tên trẻ là văn tự, vận động viên đánh số theo hệ đếm thập phân. Văn tự và hệ đếm thập phân không tiện dùng cho mạch số. Mã hóa nhị phân là quá trình dùng mã nhị phân để biểu thị đối tượng xét đến (đối tượng này là tín hiệu). Mã nhị phân chỉ có hai chữ số 0 và 1, dễ dàng biểu thị bằng trạng thái mạch điện, nên được dùng rộng rãi trong mạch số. Biểu thị số lượng nhiều thì tăng số bit (Binary digit) trong cách viết số dựa theo vị trí. Mã nhị phân 1 bit có 2 trạng thái (0, 1) tương

ứng 2 tín hiệu. Mã nhị phân 2 bit có 4 trạng thái (00, 01, 10, 11) tương ứng 4 tín hiệu. Tổng quát mà nói, mã nhị phân n bit có 2^n trạng thái, có thể biểu thị 2^n tín hiệu. Vậy, để tiến hành mã hóa N tín hiệu cần sử dụng n bit, theo công thức $2^n \geq N$.

Bộ mã hóa là mạch điện thực hiện thao tác mã hóa. Căn cứ vào yêu cầu và đặc điểm khác nhau của tín hiệu được mã hóa, chúng ta có các bộ mã hóa khác nhau, như bộ mã hóa nhị phân, bộ mã hóa nhị - thập phân, bộ mã hóa ưu tiên v.v...

4.2.2. Bộ mã hóa nhị phân

Bộ mã hóa nhị phân là mạch điện dùng n bit để mã hóa $N = 2^n$ tín hiệu. Chúng ta xét ví dụ dưới đây để thuyết minh nguyên lý công tác và quá trình thiết kế bộ mã hóa nhị phân

Ví dụ 4-2-1

Hãy thiết kế bộ mã hóa thực hiện mã hóa 8 tín hiệu $Y_0, Y_1, \dots, Y_7$ theo mã nhị phân.

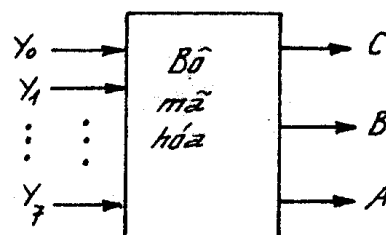
Bài giải :

1. Phân tích yêu cầu.

Đối tượng được mã hóa là 8 tín hiệu đầu vào, tức là $Y_0, Y_1, \dots, Y_7$. Căn cứ vào công thức $N = 2^n = 8$ ta thấy đầu ra là mã nhị phân n = 3 bit, dùng A, B, C biểu thị. Xem hình 4-2-1.

2. Kê bảng chân lý

Việc mã hóa được tiến hành chỉ với 1 tín hiệu đầu vào ở một thời điểm. Ở đầu vào không cho phép có đồng thời từ 2 tín hiệu trở lên là logic 1, tức là $Y_0, Y_1, \dots, Y_7$ không cùng nhau. Vậy quan hệ logic giữa đầu ra với đầu vào có thể biểu thị bằng bảng chân lý hay bảng mã hóa.



Hình 4-2-1.

Sơ đồ khối yêu cầu thiết kế

Bảng 4.2.1

	C	B	A
Y_0	0	0	0
Y_1	0	0	1
Y_2	0	1	0
Y_3	0	1	1
Y_4	1	0	0
Y_5	1	0	1
Y_6	1	1	0
Y_7	1	1	1

a) Phương án 1

	C	B	A
Y_0	0	0	0
Y_1	0	0	1
Y_2	0	1	1
Y_3	0	1	0
Y_4	1	1	0
Y_5	1	1	1
Y_6	1	0	1
Y_7	1	0	0

b) Phương án 2

Dùng mã nhị phân 3 bit biểu thị 8 tín hiệu đầu vào có thể có nhiều phương án khác nhau, Bảng 4.2.1 giới thiệu 2 phương án. Phương án 1 theo số đếm nhị phân. Phương án 2 là mã chu kì 3 bit.

3. Tối thiểu hóa

$Y_0 + Y_7$ là không đồng thời. Chỉ cần lấy các biến nào làm cho hàm số đầu ra bằng 1 cộng lại thì ta có biểu thức tối thiểu hóa dạng OR-AND. Từ bảng 4.2.1.a (Phương án 1) ta có biểu thức hàm số đầu ra :

$$\begin{aligned} C &= Y_4 + Y_5 + Y_6 + Y_7 \\ B &= Y_2 + Y_3 + Y_6 + Y_7 \\ A &= Y_1 + Y_3 + Y_5 + Y_7 \end{aligned}$$

Từ bảng 4.2.1.b (Phương án 2) ta có biểu thức hàm số đầu ra :

$$\begin{aligned} C &= Y_4 + Y_5 + Y_6 + Y_7 \\ B &= Y_2 + Y_3 + Y_4 + Y_5 \\ A &= Y_1 + Y_2 + Y_5 + Y_6 \end{aligned}$$

4. Vẽ sơ đồ logic

Chọn dùng cổng NAND. Vậy cần biến đổi dạng AND-OR thành dạng NAND. Cụ thể như sau.

Phương án 1

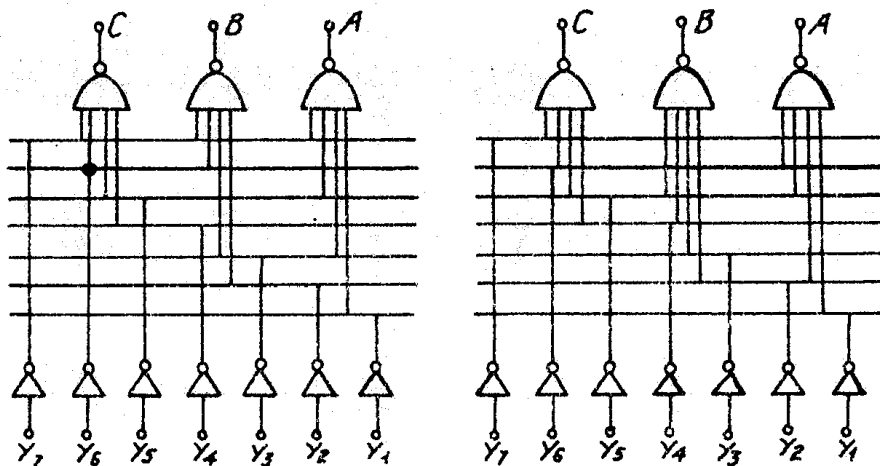
$$\begin{aligned} C &= \overline{\overline{Y_4 + Y_5 + Y_6 + Y_7}} = \overline{\overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\ B &= \overline{\overline{Y_2 + Y_3 + Y_6 + Y_7}} = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\ A &= \overline{\overline{Y_1 + Y_3 + Y_5 + Y_7}} = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7}} \end{aligned}$$

Phương án 2 :

$$\begin{aligned} C &= \overline{\overline{Y_4 + Y_5 + Y_6 + Y_7}} = \overline{\overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}} \\ B &= \overline{\overline{Y_2 + Y_3 + Y_4 + Y_5}} = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_4} \cdot \overline{Y_5}} \\ A &= \overline{\overline{Y_1 + Y_2 + Y_5 + Y_6}} = \overline{\overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_5} \cdot \overline{Y_6}} \end{aligned}$$

Hình 4-2-2.

Bộ mã hóa nhị phân 3 bit



a) Mạch phương án 1

b) Mạch phương án 2

Cần lưu ý rằng, trong sơ đồ logic hình 4.2.2, sự mã hóa của Y_0 được ngầm định : Khi $Y_1 \div Y_7$ đều bằng 0, trạng thái đầu ra của mạch (CBA = 000) là mã của Y_0 .

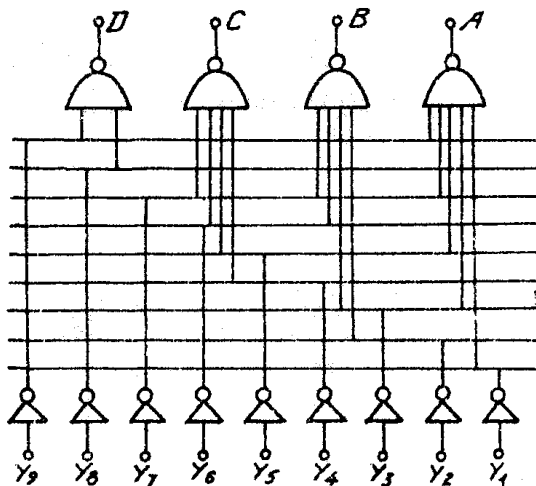
Trong bài toán phân tích, từ sơ đồ logic bộ mã hóa đã cho, ta phân tích mối quan hệ logic giữa đầu vào và đầu ra, tuân tự cho tín hiệu đầu vào đến bộ mã hóa, rồi căn cứ vào mức logic (0 hoặc 1) của các đầu ra mạch điện, tìm ra mã tương ứng, liệt kê thành bảng mã hóa.

4.2.3. Bộ mã hóa nhị - thập phân

Bộ mã hóa nhị - thập phân là mạch điện chuyển mã hệ thập phân bao gồm 10 chữ số 0, 1, 2, 3, 4, 5, 6, 7, 8, 9 thành mã hệ nhị phân.

Đầu vào là 10 chữ số, đầu ra là nhóm mã số nhị phân, gọi là mã nhị - thập phân (BCD - Binary - Coded - Decimal). Căn cứ vào công thức $2^n \geq N = 10$, ta có $n = 4$. Mã nhị phân 4 bit có 16 trạng thái (từ mã). Chỉ cần chọn 10 từ mã tùy ý trong số đó là đủ để biểu thị 10 tín hiệu đầu vào. Vậy có rất nhiều phương án. Một số mã nhị - thập phân thường dùng xem giới thiệu ở 4.2.5. Cùng với lý do như đã biết ở ví dụ 4.2.1, 10 tín hiệu đầu vào tồn tại độc lập nhau.

Nguyên lý công tác và quá trình thiết kế của bộ mã hóa nhị - thập phân tương tự như bộ mã hóa nhị phân xét ở ví dụ 4.2.1. Dưới đây lấy mã 8421 làm ví dụ để thuyết minh. Bảng 4.2.2 là bảng mã hóa BCD 8421 rất thường dùng.



Hình 4-2-3.

Sơ đồ logic bộ mã hóa (dùng mã 8421).

Bảng 4-2-2 : BẢNG MÃ HÓA BCD 8421

Số thập phân	D	C	B	A
0(Y_0)	0	0	0	0
1(Y_1)	0	0	0	1
2(Y_2)	0	0	1	0
3(Y_3)	0	0	1	1
4(Y_4)	0	1	0	0
5(Y_5)	0	1	0	1
6(Y_6)	0	1	1	0
7(Y_7)	0	1	1	1
8(Y_8)	1	0	0	0
9(Y_9)	1	0	0	1

$$D = Y_8 + Y_9 = \overline{Y_8} \cdot \overline{Y_9}$$

$$C = Y_4 + Y_5 + Y_6 + Y_7$$

$$C = \overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}$$

$$B = Y_2 + Y_3 + Y_6 + Y_7 = \overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_6} \cdot \overline{Y_7}$$

$$A = Y_1 + Y_3 + Y_5 + Y_7 + Y_9 = \overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7} \cdot \overline{Y_9}$$

4.2.4. Bộ mã hóa ưu tiên

Trong các bộ mã hóa xét trên đây, tín hiệu đầu vào tồn tại độc lập, (không có tình huống có 2 tín hiệu trở lên đồng thời tác động). Bộ mã hóa ưu tiên thì khác, có thể có nhiều tín hiệu đồng thời đưa đến, nhưng mạch điện chỉ tiến hành mã hóa tín hiệu đầu vào nào có cấp ưu tiên cao nhất ở thời điểm xét. Việc xác định cấp ưu tiên cho mỗi tín hiệu đầu vào là công việc của người thiết kế mạch, tất nhiên xuất phát từ yêu cầu thực tiễn. Bây giờ chúng ta sẽ xem xét nguyên lý công tác và quá trình thiết kế của bộ mã hóa ưu tiên qua ví dụ có 10 đầu vào, 4 đầu ra.

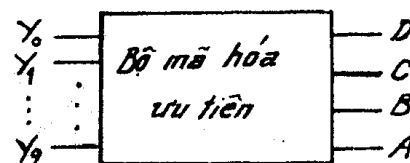
Ví dụ 4-2-2 :

Hãy thiết kế một mạch điện tổ hợp để mã hóa nhị phân đối với 10 tín hiệu đầu vào $Y_0, Y_1, \dots, Y_9$ sao cho mức độ ưu tiên từ cao nhất giảm dần theo chiều $Y_9, Y_8, \dots, Y_0$. Nếu có nhiều tín hiệu đồng thời xuất hiện ở đầu vào thì chỉ tín hiệu nào có mức ưu tiên cao nhất trong số đó mới được mã hóa. Giả thiết cả tín hiệu đầu vào, lẫn tín hiệu đầu ra đều tích cực ở mức thấp.

Bài giải

1. Phân tích yêu cầu

Căn cứ công thức $2^n \geq N = 10$, Vậy ta dùng mã nhị phân $n = 4$ bit.



Hình 4-2-4.

Sơ đồ khối bộ mã hóa ưu tiên.

Bảng 4-2-3 : BẢNG CHỨC NĂNG

Y_9	Y_8	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0	D	C	B	A
H	H	H	H	H	H	H	H	H	L	H	H	H	H
H	H	H	H	H	H	H	H	L	X	H	H	H	L
H	H	H	H	H	H	H	L	X	X	H	H	L	H
H	H	H	H	H	H	L	X	X	X	H	H	L	L
H	H	H	H	H	L	X	X	X	X	H	L	H	H
H	H	H	H	L	X	X	X	X	X	H	L	H	L
H	H	H	L	X	X	X	X	X	X	H	L	L	H
H	H	L	X	X	X	X	X	X	X	H	L	L	L
H	L	X	X	X	X	X	X	X	X	L	H	H	H
L	X	X	X	X	X	X	X	X	X	L	H	H	L

Bảng 4-2-4 : BẢNG MÃ HÓA ƯU TIÊN

Y ₉	Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀	D	C	B	A
1	1	1	1	1	1	1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1	0	X	1	1	1	0
1	1	1	1	1	1	1	0	X	X	1	1	0	1
1	1	1	1	1	1	0	X	X	X	1	1	0	0
1	1	1	1	1	0	X	X	X	X	1	0	1	1
1	1	1	1	0	X	X	X	X	X	1	0	1	0
1	1	1	0	X	X	X	X	X	X	1	0	0	1
1	1	0	X	X	X	X	X	X	X	1	0	0	0
1	0	X	X	X	X	X	X	X	X	0	1	1	1
0	X	X	X	X	X	X	X	X	X	0	1	1	0

Theo đề bài, sự mã hóa thực hiện theo mức độ ưu tiên Y₉ đến Y₀, khi các tín hiệu cùng tác động thì các tín hiệu có mức ưu tiên thấp không tác dụng, nghĩa là bất kể mức logic của nó thế nào đều không ảnh hưởng đến đầu ra.

2. Kê bảng chân lí - Bảng mã hóa ưu tiên

Bảng chức năng 4.2.3 phản ánh yêu cầu thiết kế, mã hóa theo cấp ưu tiên, những biến số tương ứng mức ưu tiên thấp không tác dụng gì đến đầu ra có đánh dấu chéo "×". Mã nhị phân 4 bit đầu ra có rất nhiều phương án, trong bảng 4.2.4 là phương án mã 8421 với mức logic âm.

3. Tối thiểu hóa

Vì có quá nhiều biến số, nên dùng phương pháp đại số để tối thiểu hóa. Chúng ta sẽ dùng cổng NORAND trong sơ đồ mạch. Đầu tiên ta tìm biểu thức tối thiểu hóa của hàm logic đầu ra dưới dạng OR-AND của hàm đảo, rồi lấy đảo để được dạng NORAND. Khi viết hàm logic từ bảng mã hóa 4.2.4, một cách hình thức, ta không cần để ý những vị trí có dấu "×". Kết quả ta được các hàm logic đầu ra dưới dạng NORAND như sau :

$$\bar{D} = \bar{Y}_9 + Y_9 \cdot \bar{Y}_8 = \bar{Y}_9 + \bar{Y}_8$$

$$D = \bar{\bar{Y}_9 + \bar{Y}_8}$$

$$\begin{aligned} \bar{C} &= Y_9 Y_8 \bar{Y}_7 + Y_9 Y_8 Y_7 \bar{Y}_6 + Y_9 Y_8 Y_7 Y_6 \bar{Y}_5 + Y_9 Y_8 Y_7 Y_6 Y_5 \bar{Y}_4 = \\ &= Y_9 Y_8 \bar{Y}_7 + Y_9 Y_8 \bar{Y}_6 + Y_9 Y_8 \bar{Y}_5 + Y_9 Y_8 \bar{Y}_4 \end{aligned}$$

$$C = \overline{Y_9 Y_8 \bar{Y}_7 + Y_9 Y_8 \bar{Y}_6 + Y_9 Y_8 \bar{Y}_5 + Y_9 Y_8 \bar{Y}_4}$$

$$\begin{aligned} \bar{B} &= Y_8 Y_8 \bar{Y}_7 + Y_9 Y_8 Y_7 \bar{Y}_6 + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 \bar{Y}_3 \\ &\quad + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 Y_3 \bar{Y}_2 \end{aligned}$$

$$= Y_9 Y_8 \bar{Y}_7 + Y_9 Y_8 \bar{Y}_6 + Y_9 Y_8 Y_5 Y_4 \bar{Y}_3 + Y_9 Y_8 Y_5 Y_4 \bar{Y}_2$$

$$B = \overline{Y_9 Y_8 \bar{Y}_7 + Y_9 Y_8 \bar{Y}_6 + Y_9 Y_8 Y_5 Y_4 \bar{Y}_3 + Y_9 Y_8 Y_5 Y_4 \bar{Y}_2}$$

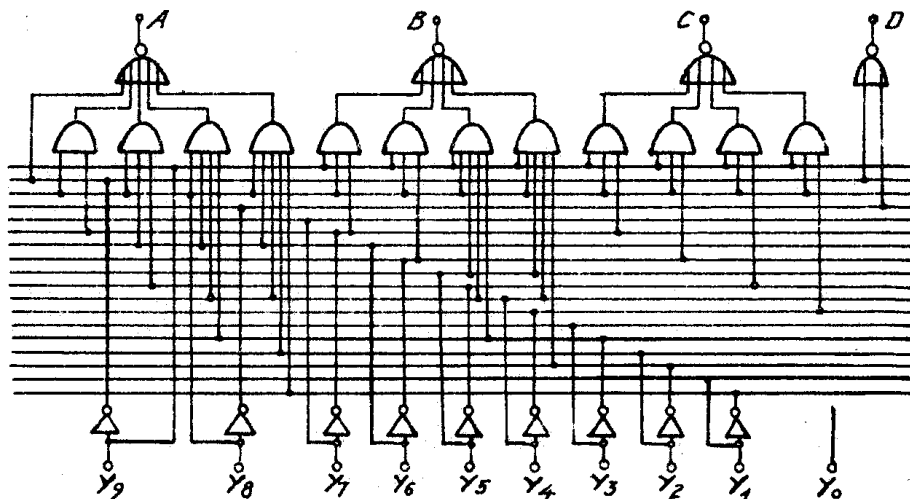
$$\bar{A} = \bar{Y}_9 + Y_9 Y_8 \bar{Y}_7 + Y_9 Y_8 Y_7 Y_6 \bar{Y}_5 + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 \bar{Y}_3 + Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 \bar{Y}_1$$

$$A = \bar{Y}_9 + Y_8 \bar{Y}_7 + Y_8 Y_6 \bar{Y}_5 + Y_8 Y_6 Y_4 \bar{Y}_3 + Y_8 Y_6 Y_4 Y_2 \bar{Y}_1$$

4. Vẽ sơ đồ logic

Hình 4-2-5 là sơ đồ logic thực hiện các hàm đầu ra D, C, B, A dưới dạng cổng NORAND.

Chúng ta có thể nghiệm chứng rằng sơ đồ hình 4-2-5 thỏa mãn yêu cầu thiết kế bằng cách phân tích logic, tìm ra quan hệ logic giữa đầu ra với đầu vào của mạch logic hình 4-2-5.

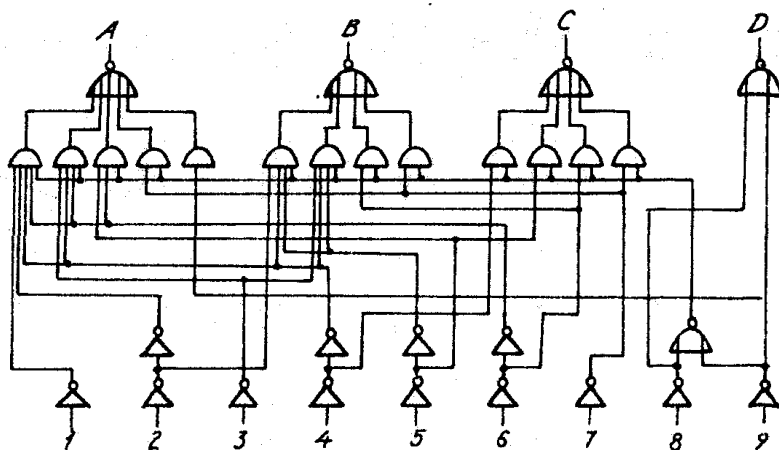


Hình 4-2-5. Bộ mã hóa ưu tiên.

Chẳng hạn, nếu tất cả đầu vào đều tích cực (mức logic 0) thì DCBA = 0110, đây là mã tương ứng với đầu vào Y_9 (có mức ưu tiên cao nhất, cao hơn $Y_8 + Y_0$). Nếu tất cả đầu vào không có tín hiệu (mức logic 1) thì DCBA = 1111, đây là mã (ngầm định) tương ứng với đầu vào Y_0 .

4.2.5. Vi mạch cỡ vừa (MSI) bộ mã hóa ưu tiên

Hình 4-2-6 là vi mạch cỡ vừa bộ mã hóa ưu tiên. Tuy rằng hình 4-2-5 và hình 4-2-6 có đôi chỗ khác nhau, nhưng chúng đều có một chức năng logic duy nhất. Đầu vào, đầu ra đều tích cực mức thấp. Trong hình 4-2-6, để đơn giản, các tín hiệu đầu vào được kí hiệu 0, 1, 2, ..., 9 (thay cho $Y_0, Y_1, Y_2, \dots, Y_9$). Căn cứ vào sơ đồ logic hình 4-2-6, ta viết ra biểu thức hàm đầu ra như sau :



Hình 4-2-6. Bộ mã hóa ưu tiên (MSI).

$$D = \overline{9} + \overline{8}$$

$$C = \overline{9} + \overline{87} + \overline{9} + \overline{86} + \overline{9} + \overline{85} + \overline{9} + \overline{84} = \overline{9.87} + \overline{9.86} + \overline{9.85} + \overline{9.84}$$

$$B = \overline{9} + \overline{87} + \overline{9} + \overline{86} + \overline{9} + \overline{85.43} + \overline{9} + \overline{85.42} \\ = \overline{9.87} + \overline{9.86} + \overline{9.85.43} + \overline{9.85.42}$$

$$A = \overline{9} + \overline{9} + \overline{87} + \overline{9} + \overline{86.5} + \overline{9} + \overline{86.43} + \overline{9} + \overline{86.42.2} \\ = \overline{9} + \overline{9.87} + \overline{9.86.5} + \overline{9.86.43} + \overline{9.86.42.1} \\ = \overline{9} + \overline{8.7} + \overline{8.6.5} + \overline{8.6.43} + \overline{8.6.42.1}$$

4.2.6. Một số mã thông dụng

1) Mã nhị - thập phân thông dụng

Xem bảng 4-2-5

Bảng 4-2-5 : MÃ NHỊ - THẬP PHÂN THÔNG DỤNG

Loại Số thập phân	8421	Dư 3	2421(A)	2421(B)	5211	Vòng dư 3	Dịch phải
0	0000	0011	0000	0000	0000	0010	00000
1	0001	0100	0001	0001	0001	0110	10000
2	0010	0101	0010	0010	0100	0111	11000
3	0011	0110	0011	0011	0101	0101	11100
4	0100	0111	0100	0100	0111	0100	11110
5	0101	1000	0101	1011	1000	1100	11111
6	0110	1001	0110	1100	1001	1101	01111
7	0111	1010	0111	1101	1100	1111	00111
8	1000	1011	1110	1110	1101	1110	00011
9	1001	1100	1111	1111	1111	1010	00001
Trọng số	8421		2421	2421	5211		

Cần lưu ý rằng, trong bảng 4.2.5, tuy mỗi vị trí (bit) chỉ có hai trạng thái 0 và 1, nhưng không nhất thiết phải có quan hệ về giá trị chuyển vị của số nhị phân (như 8421), mà nói chung thì 4 bit làm thành một từ mã để trở thành một kí hiệu hàm ý xác định nào đó. Cũng có thể nói chính xác hơn, Bảng 4.2.5 giới thiệu các loại mã 4 bit hai trạng thái.

a) Mã 8421

Trong từ mã 8421, mỗi bit 1 đại biểu cho một trị số cố định. Nếu cộng tất cả trị số của các bit đại biểu trong từ mã, thì ta được trị số tương ứng của số thập phân mà từ mã đó đại biểu. Trong mã 8421 thì trọng số của mỗi bit là cố định, nên nó thuộc loại mã có trọng số.

b) *Mã dư 3*

Mã dư 3 được tạo thành từ mã nhị phân bằng cách cộng thêm 0011 (giá trị số 3 thập phân) vào từ mã nhị phân tương ứng.

c) *Mã 2421*

Hai loại mã 2421 (A và B) đều là mã có trọng số, nhưng sự tuần tự các bit của các từ mã khác số nhị phân (trọng số không đơn trị)

d) *Mã 5211*

Mã 5211 có tính chất tương tự mã 2421, đó là mã có trọng số không đơn trị.

e) *Mã vòng dư 3 (mã Gray dư 3)*

Mã vòng (mã Gray) sẽ được giới thiệu ở bảng 4.2.6. Mã vòng dư 3 không bắt đầu từ 0000 như mã vòng, mà lệch đi 3 hàng. (Từ mã 0010 là mã hóa số 3 của mã vòng, lại là mã hóa số 0 của mã dư 3. Từ mã 0110 là mã hóa số 4 của mã vòng, lại là mã hóa số 1 của mã dư 3. v.v..) Mã vòng dư 3 không phải là mã có trọng số.

g) *Mã dịch phải*

Mã dịch phải có đặc điểm là hai từ mã kế cận bất kì chỉ khác nhau 1 bit (trên bảng 4-2-5, ta thấy sự dịch sang phải của các bit) mã dịch phải không tận dụng tất cả các trạng thái của mã nhị phân 5 bit. Đây là nhược điểm loại mã này (phải thêm 1 bit so với các loại mã khác)

2) *Mã Gray*

Mã Gray còn gọi là mã vòng, bảng 4-2-6 giới thiệu bảng mã Gray 4 bit.

Bảng 4-2-6 : MÃ GRAY 4 BIT

Số thập phân	Mã Gray	Số thập phân	Mã Gray
0	0 0 0 0	8	1 1 0 0
1	0 0 0 1	9	1 1 0 1
2	0 0 1 1	10	1 1 1 1
3	0 0 1 0	11	1 1 1 0
4	0 1 1 0	12	1 0 1 0
5	0 1 1 1	13	1 0 1 1
6	0 1 0 1	14	1 0 0 1
7	0 1 0 0	15	1 0 0 0

Ta có thể thấy rõ đặc điểm mã Gray từ bảng 4-2-6 : sự biến đổi giá trị bit ở một vị trí xác định trong từ mã có tính chất tuần hoàn với chu kì cố định từ từ-mã này sang từ-mã khác. Chu kì của bit thứ nhất là 0110, chu kì của bit thứ hai là 00111100, chu kì của bit thứ ba là 000011111110000 v.v. ..

Mã Gray không có trọng số. Ưu điểm chính của mã Gray là chỉ có 1 bit khác nhau trong 2 từ mã kế cận. Nhược điểm là thiếu trực quan.

3) Mã ISO (International standardization Organization)

Cơ quan tiêu chuẩn hóa quốc tế ISO đưa ra mã nhị phân 8 bit, chủ yếu dùng để truyền tin. Mã này có 10 chữ số (0 ÷ 9), 26 chữ cái Anh, và 20 dấu, kí hiệu, tất cả là 56 kí tự. Xem bảng 4.2.7. Trong bảng, các bit được biểu thị bằng b_7 , b_6 , ..., b_1 . Bit thứ 8 là bit bù để biến từ mã bất kì thành từ mã có số bit 1 là số chẵn, mục đích phát hiện lỗi truyền tin.

Bảng 4-2-7 : MÃ ISO

$b_7b_6b_5$ Kí tự $b_4b_3b_2b_1$	000	001	010	011	100	101	110	111
0000	NUL		SP	0		P		
0001				1	A	Q		
0010				2	B	R		
0011				3	C	S		
0100			\$	4	D	T		
0101			%	5	E	U		
0110				6	F	V		
0111				7	G	W		
1000	BS		(	8	H	X		
1001	HT	EM	)	9	I	Y		
1010	LF		*	:	J	Z		
1011			+		K			
1100			,		L			
1101	CR		-	=	M			
1110			.		N			4
1111			/		O			DEL

Đặc điểm các kí tự trong bảng 4-2-7 như sau : các chữ số đều có chung 3 bit $b_7b_6b_5 = 011$, các chữ cái có chung 2 bit $b_7b_6 = 10$; Các chữ số được chuyển thành mã ISO theo kiểu mã nhị phân của $b_4b_3b_2b_1$; thứ tự các chữ cái A ÷ Z (từ 1 đến 26) cũng là mã nhị phân của $b_5b_4b_3b_2b_1$.

4) Mã ASCII (American National Standard Code for Information Interchange)

Bảng 4-2-8 : MÃ ASCII

b7b6b5 Kí tự b4b3b2b1	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	\	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	,	7	G	W	g	w
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	{
1100	FF	FS	.	<	L	\	l	?
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	.	>	N	↑	n	~
1111	SI	US	/	?	O	↓	o	DEL

Mã ASCII, viết tắt của các từ có nghĩa là mã tiêu chuẩn quốc gia. Mã để trao đổi tin tức. Xem bảng 4.2.8. Trong đó, mã các chữ số và chữ cái giống như mã ISO trên đây. Mã ASCII thường dùng cho thiết bị thông tin và máy tính. ASCII là mã 8 bit nhị phân, với 7 bit $b_1 \div b_7$ biểu thị các tin tức và bit thứ 8 là bit parity (kiểm tra chẵn lẻ dùng để phát hiện lỗi truyền tin). Bảng 4.2.9 giải thích các kí hiệu chữ

Bảng 4-2-9 : Ý NGHĨA CÁC KÍ HIỆU CHỮ CỦA MÃ ASCII.

Kí hiệu	Ý nghĩa	Kí hiệu	Ý nghĩa
NUL	Số không, không, vô hiệu	BS	Lùi một khoảng kí tự
SOH	Bắt đầu của tiêu đề	HT	Kẻ bảng hướng ngang
STX	Bắt đầu của hành văn	LF	Chuyển dòng
ETX	Kết thúc của hành văn	VT	Kẻ bảng hướng dọc
EOT	Kết thúc truyền tin	FF	Điều khiển chạy giấy
ENQ	Hỏi	CR	Quay về đầu dòng
ACK	Thừa nhận	SO	Dịch ra (Shift out)
BEL	Chuông	SI	Dịch vào (Shift in)
DLE	Chuyển mã (Datalink escape)	EM	Hết giấy
DC1	Điều khiển thiết bị 1	SUB	Trừ
DC2	Điều khiển thiết bị 2	ESC	Chuyển mã
DC3	Điều khiển thiết bị 3	FS	Dấu phân cách (File separator)
DC4	Điều khiển thiết bị 4	GS	Dấu phân cách gói (Group separator)
NAK	Phủ định	RS	Dấu phân cách ghi (Record Separator)
SYN	Đồng bộ	US	Dấu phân cách đơn vị (Unit separator)
ETB	Kết thúc truyền gói tin	SP	Khoảng trống kí tự
CAN	Hủy bỏ	DEL	Hủy bỏ

4.3. BỘ GIẢI MÃ

Khi mã hóa, mỗi từ mã nhị phân đều được gán một hàm ý xác định, tức là mỗi từ mã biểu thị một tin tức hoặc một đối tượng xác định. Giải mã là quá trình phiên dịch hàm ý đã gán cho từ mã. Mạch điện thực hiện việc giải mã được gọi là bộ giải mã. Vậy bộ giải mã phiên dịch từ mã thành tín hiệu đầu ra, biểu thị tin tức vốn có. Tùy theo yêu cầu sử dụng tin tức được giải mã, tín hiệu đầu ra có thể là xung hay mức điện áp. Có nhiều loại bộ giải mã, nhưng chúng đều có nguyên lý công tác và phương pháp thiết kế tương tự nhau. Dưới đây ta sẽ thuyết minh cụ thể qua vài ví dụ.

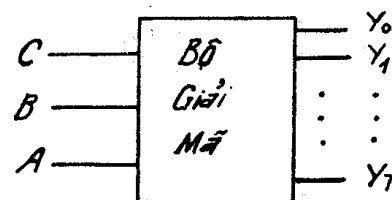
4.3.1. Bộ giải mã nhị phân

Bộ giải mã nhị phân phiên dịch các từ mã nhị phân thành tín hiệu đầu ra.

Ví dụ 4.3.1

Hãy thiết kế bộ giải mã nhị phân 3 bit.

Bài giải :



Hình 4-3-1. Sơ đồ mạch yêu cầu.

Bảng 4-3-1 : BẢNG CHÂN LÍ CỦA BỘ GIẢI MÃ

C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

1. Phân tích yêu cầu. Đầu vào là nhóm từ mã nhị phân 3 bit. Đầu ra là 8 tín hiệu tương ứng các từ mã.

2. Kê bảng chân lí. Xem bảng 4-3-1. Cần lưu ý rằng $Y_0 \div Y_7$ là 8 tín hiệu độc lập nhau tương ứng với 8 từ mã (Mỗi Y_i là một hàm của các biến vào, bảng chân lí của nó là một cột tương ứng bên phải với 3 cột biến số bên trái. Tuy nhiên để tiện lợi, chúng ta gộp 8 bảng chân lí vào làm một)

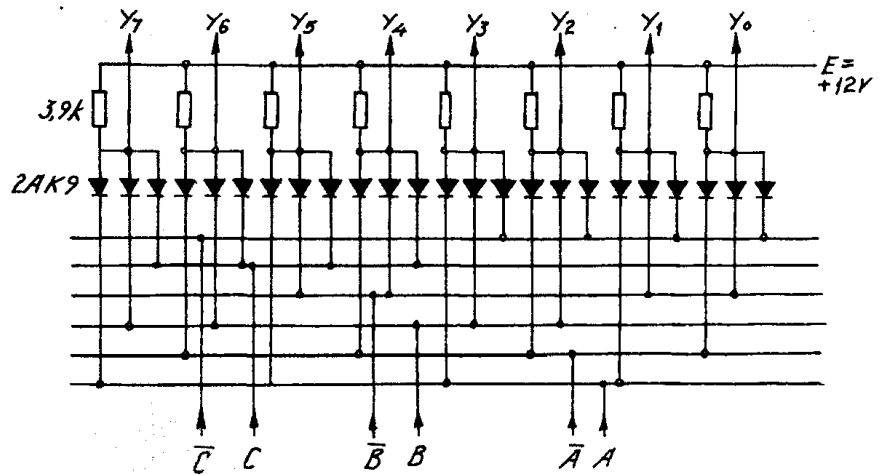
3. Tối thiểu hóa. Căn cứ vào bảng 4-3-1, ta có :

$$\begin{aligned}
 Y_0 &= \overline{C}\overline{B}\overline{A} & Y_1 &= \overline{C}\overline{B}A & Y_2 &= \overline{C}B\overline{A} & Y_3 &= \overline{C}BA \\
 Y_4 &= C\overline{B}\overline{A} & Y_5 &= C\overline{B}A & Y_6 &= CB\overline{A} & Y_7 &= CBA
 \end{aligned}$$

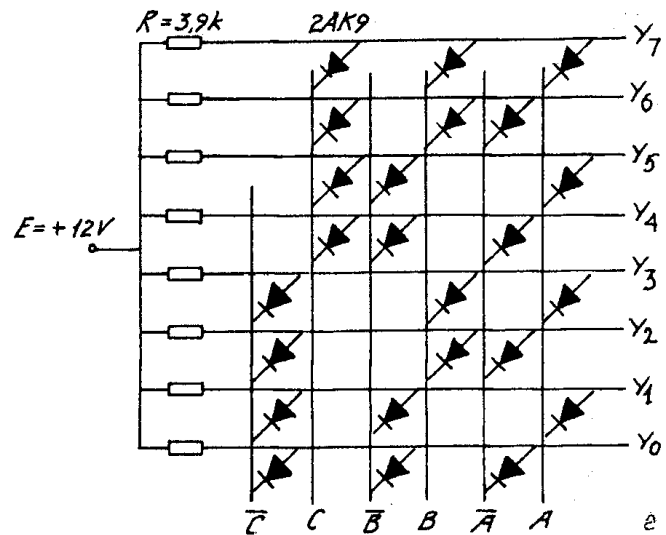
4. Vẽ sơ đồ logic

Các hàm logic trên đây có thể dùng cổng AND điốt thực hiện (hình 4-3-2, hình 4-3-3), hay cũng có thể dùng cổng NAND (TTL) thực hiện (hình 4-3-4)

Hình 4-3-2.
Bộ giải mã cổng AND
dùng điốt.

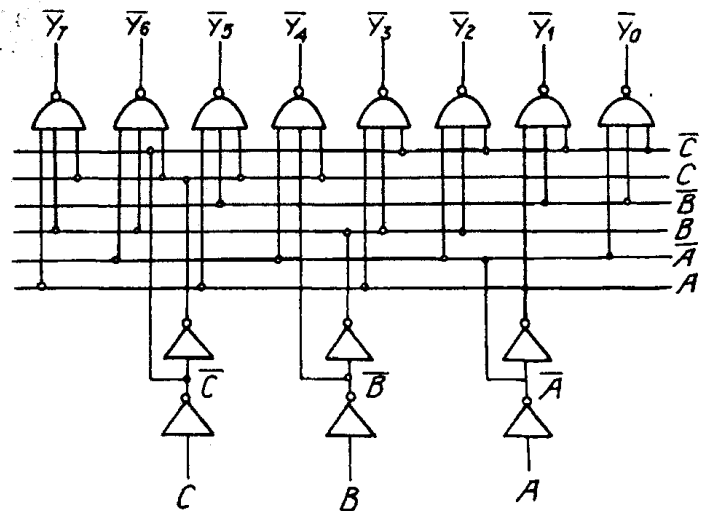


Trong bộ giải mã nhị phân, nếu từ mã đầu vào có n bit thì sẽ có 2^n tín hiệu đầu ra tương ứng với mỗi từ mã. Bộ giải mã này có khi còn được gọi là bộ giải mã biến số, vì toàn bộ các từ mã của biến số đầu vào đều được giải mã.



Hình 4-3-3. Vẽ lại sơ đồ hình 4.3.2.

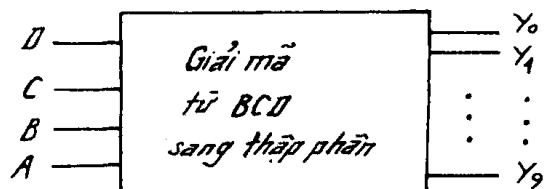
Hình 4-3-4.
Bộ giải mã
dùng NAND (TTL).



4.3.2. Bộ giải mã (BCD) - thập phân

Bộ giải mã thực hiện chuyển đổi từ mã BCD thành 10 tín hiệu đầu ra tương ứng 10 chữ số của hệ thập phân (hình 4-3-5)

Xem bảng chức năng 4-3-2, trong đó H là mức cao, L là mức thấp, tín hiệu ra tích cực ở mức logic thấp.



Hình 4-3-5. Sơ đồ khối mạch yêu cầu.

Bảng 4-3-2 : BẢNG CHỨC NĂNG CỦA BỘ GIẢI MÃ TỪ MÃ BCD SANG MÃ THẬP PHÂN

D	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈	Y ₉
L	L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	H	H	L	H	H	H	H	H	H
L	H	L	L	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	H	H	L	H	H	H	H
L	H	H	L	H	H	H	H	H	L	H	H	H	H
L	H	H	H	H	H	H	H	H	H	L	H	H	H
H	L	L	L	H	H	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	H

Bảng 4-3-3 là bảng chân lí dùng logic dương. Trong đó, phía trái là mã BCD 8421 đầu vào ; bên phải là đầu ra giải mã, tích cực ở logic 0. 6 từ mã (6 trạng thái) từ 1010 đến 1111 không được dùng. Chúng không xuất hiện trong tình huống bình thường của bộ giải mã. Các trạng thái này được đánh dấu chéo " x" trong bảng 4-3-3 và trong các bảng Karnaugh (Hình 4-3-6)

Tối thiểu hóa hàm logic đầu ra Y_i bằng phương pháp hình vẽ : bảng Karnaugh. Cụ thể, ta tìm hàm đảo $\bar{Y}_i$ (tương ứng lấy giá trị 0), sau đó lại lấy đảo của hàm đảo đó, ta sẽ được hàm Y_i cần tìm.

Bảng 4-3-3 : BẢNG CHÂN LÍ CỦA BỘ GIẢI MÃ TỪ BCD SANG THẬP PHÂN

D	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈	Y ₉
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	x	x	x	x	x	x	x	x	x	x
1	0	1	1	x	x	x	x	x	x	x	x	x	x
1	1	0	0	x	x	x	x	x	x	x	x	x	x
1	1	0	1	x	x	x	x	x	x	x	x	x	x
1	1	1	0	x	x	x	x	x	x	x	x	x	x
1	1	1	1	x	x	x	x	x	x	x	x	x	x

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	x	x	x	x
10	1	0	x	x

(a)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	x	x	x	x
10	0	1	x	x

(b)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	0	1
11	x	x	x	x
10	1	1	x	x

(c)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	1	1	0
11	x	x	x	x
10	1	1	x	x

(d)

DC \ BA	00	01	11	10
00	1	1	1	1
01	1	0	1	1
11	x	x	x	x
10	1	1	x	x

(e)

DC \ BA	00	01	11	10
00	1	1	1	1
01	0	1	1	1
11	x	x	x	x
10	1	1	x	x

(f)

DC \ BA	00	01	11	10
00	1	1	0	1
01	1	1	1	1
11	x	x	x	x
10	1	1	x	x

(g)

DC \ BA	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	x	x	x	x
10	1	1	x	x

(h)

DC \ BA	00	01	11	10
00	1	0	1	1
01	1	1	1	1
11	x	x	x	x
10	1	1	x	x

(i)

DC \ BA	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	x	x	x	x
10	1	1	x	x

(j)

Hình 4-3-6.

Bảng Karnaugh của hàm $Y_9 \div Y_0$.

Hàm logic tối thiểu dạng NAND của chúng là :

(a) $\bar{Y}_9 = DA$

(b) $\bar{Y}_8 = D\bar{A}$

$Y_9 = \overline{D\bar{A}}$

$Y_8 = \overline{D\bar{A}}$

(c) $\bar{Y}_7 = CBA$

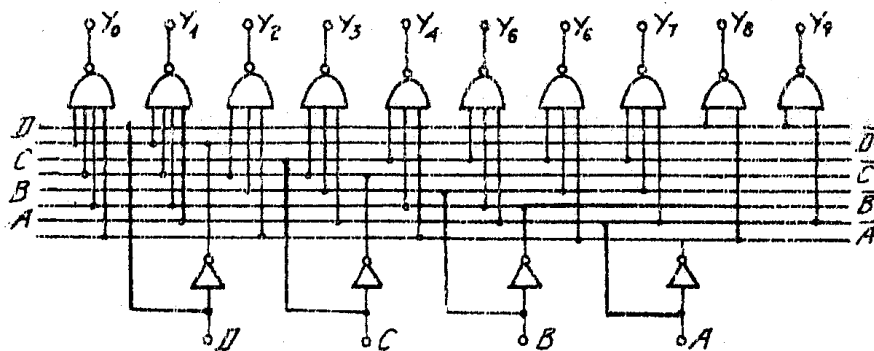
(d) $\bar{Y}_6 = C\bar{B}\bar{A}$

$Y_7 = \overline{CBA}$

$Y_6 = \overline{C\bar{B}\bar{A}}$

$$\begin{aligned}
 (e) \quad \bar{Y}_5 &= C\bar{B}A & (f) \quad \bar{Y}_4 &= C\bar{B}\bar{A} \\
 Y_5 &= \overline{C\bar{B}A} & Y_4 &= \overline{C\bar{B}\bar{A}} \\
 (g) \quad \bar{Y}_3 &= \bar{C}BA & (h) \quad \bar{Y}_2 &= \bar{C}B\bar{A} \\
 Y_3 &= \overline{\bar{C}BA} & Y_2 &= \overline{\bar{C}B\bar{A}} \\
 (i) \quad \bar{Y}_1 &= \bar{D}\bar{C}\bar{B}A & (j) \quad \bar{Y}_0 &= \bar{D}\bar{C}\bar{B}\bar{A} \\
 Y_1 &= \overline{\bar{D}\bar{C}\bar{B}A} & Y_0 &= \overline{\bar{D}\bar{C}\bar{B}\bar{A}}
 \end{aligned}$$

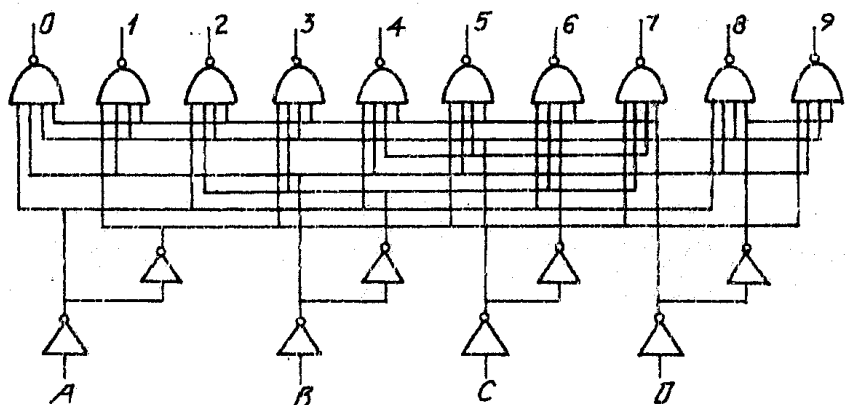
Sơ đồ logic hình 4-3-7 bao gồm 10 cổng NAND và 4 cổng đảo



Hình 4-3-7. Bộ giải mã từ BCD sang thập phân.

Hình 4-3-8 là vi mạch MSI (đơn phiên) thực hiện giải mã từ BCD sang thập phân. IC này có 8 cổng đảo và 10 cổng NAND 4 đầu vào. Sự giải mã của IC là triệt để, hàm logic đầu ra xác định đơn trị. (Cần để ý rằng đối với mạch hình 4-3-7, do sử dụng các giá trị dấu chéo "X" của hàm logic trong tối thiểu hóa để xây dựng sơ đồ mạch, nên nếu đầu vào xuất hiện từ mã không được dùng, thì đầu ra có thể hướng ứng sai).

Hình 4-3-8.
Vi mạch MSI
giải mã BCD
sang thập phân.



Nhận xét sơ đồ hình 4-3-8, ta thấy : các công dao làm thành mạch đếm và dao đảm phụ tải tiêu chuẩn đối với các tín hiệu vào A,B,C,D. (Sơ đồ hình 4-3-7 biểu thị phụ tải nặng, không đều đối với nguồn tín hiệu vào)

4.3.3. Bộ giải mã của hiển thị kí tự

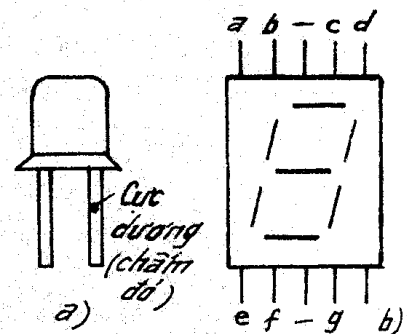
Trong hệ thống số, thường cần giải mã các kí tự đã mã hóa nhị phân thành các tín hiệu có thể hiển thị dưới dạng quen thuộc của con người. Vì phương thức làm việc của các linh kiện hiển thị khác nhau là khác nhau, nên trước hết ta hãy thuyết minh ngắn gọn về một số linh kiện hiển thị kí tự thông dụng.

1) Hai loại hiển thị số

a) Linh kiện hiển thị bán dẫn

Nguyên lý :

Một số vật liệu bán dẫn đặc biệt như hợp chất GaAsP, khi làm thành chuyển tiếp PN, nếu có điện áp thuận đặt vào, thì có thể bức xạ quang, tức là biến điện năng thành quang năng. Sử dụng các chuyển tiếp PN bức xạ quang có thể chế tạo các linh kiện như diốt phát quang LED, đèn hiển thị 7 thanh hay đèn hiển thị ma trận điểm. Ví dụ : hình 4-3-9, mạch kích sáng



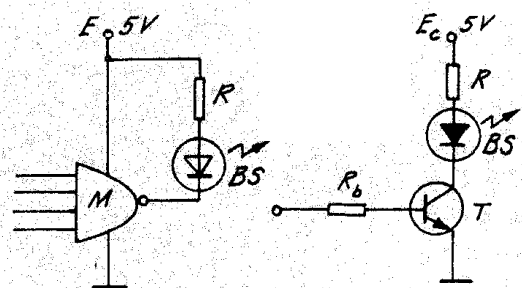
Hình 4-3-9. Hiển thị bán dẫn :
a) LED ; b) đèn 7 thanh.

Hình 4-3-10 giới thiệu mạch điện dùng để kích sáng thực hiện bằng cổng NAND (TTL) hay bằng tranzito. Trong hình, BS là LED (hay 1 thanh trong đèn 7 thanh). Cổng M thông hay T bão hòa sẽ làm BS sáng. R là điện trở hạn dòng. Điện áp công tác của BS cỡ $1,5 \div 3V$, dòng điện công tác của BS cỡ trên dưới 10mA. Điều chỉnh R có thể làm thay đổi độ sáng của BS.

Đặc điểm cơ bản :

Quang phổ phát xạ của hiển thị bán dẫn phù hợp với cảm thụ thị giác, điện áp công tác thấp ($1,5 \div 3V$), thể tích nhỏ, tuổi thọ cao (hơn ngàn giờ làm việc), tốc độ hưởng ứng cao ($1 \div 100ns$), có nhiều màu.

Bảng 4-3-4. Giới thiệu tham số hiển thị số 7 thanh.



Hình 4-3-10. Mạch kích sáng.

Bảng 4-3-4 : THAM SỐ ĐẶC TÍNH ĐÈN 7 THANH

Kí hiệu	Độ sáng (FL)	Điện áp công tác thuận (V)	Dòng điện dòng ngược (μA)	Điện áp ngược đánh thủng (V)	Dòng điện cực đại (mA)
BS201A	> 15 (7 thanh)	$1,5 \div 3$	<50	> 5	150 (7 thanh)
ES202A	> 15 (7 thanh)	$1,5 \div 3$	<50	> 5	150 (7 thanh)

b) Đèn hiện số 7 thanh chân không

Nguyên lí :

Hình 4-3-11 giới thiệu đèn hiển thị số chân không. Katốt phát xạ nhiệt điện tử, điện trường của cực lưới gia tốc điện tử để chúng đủ động năng đập vào anốt.

Trên bề mặt anốt có phủ lớp huỳnh quang oxyt kẽm sẽ phát xạ quang màu lục. Các anốt có cấu trúc hiển số 7 thanh. Chuyển mạch K điều khiển sự cấp điện áp cho anốt ; anốt nào được cấp điện áp thì sẽ phát sáng.

Mạch kích sáng :

Xem hình 4-3-12. R là điện trở hạn dòng, giá trị của R xác định theo dòng colectơ cực đại I_{CM} của tranzito T. Khi cổng NANDM (TTL) đưa ra mức cao làm T bão hòa, thì

$$I_c \approx \frac{E_a}{R} < I_{CM}$$

Thay đổi R sẽ điều chỉnh độ sáng hiển thị. R_b cũng là điện trở hạn dòng. R_b xác định theo giá trị giới hạn I_{LM} của cổng NAND (TTL). Khi M ngắt, T bão hòa thì $I_B = (V_{OH} - V_{BE}) \times \frac{1}{R_b} < I_{LM}$.

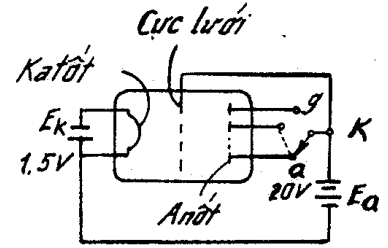
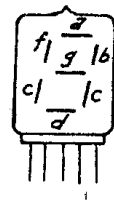
Đặc điểm cơ bản :

Về ưu điểm : điện áp công tác tương đối thấp, dòng điện nhỏ, hiển thị phù hợp thị giác, ổn định và tin cậy, tầm hiển thị khá lớn, tuổi thọ cao.

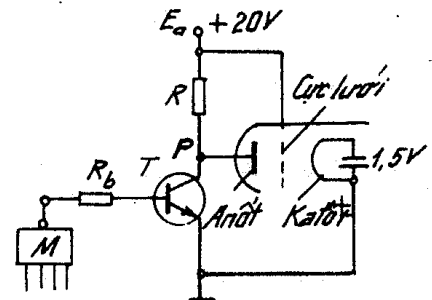
Về nhược điểm : cần nguồn điện công suất đáng kể cung cấp cho sợi đốt, không thuận tiện cho lắp ráp. Bảng 4-3- 5 giới thiệu chỉ tiêu chủ yếu của một số đèn hiện số 7 thanh chân không thông dụng :

Bảng 4-3-5 : CHỈ TIÊU CHỦ YẾU ĐÈN HIỆN SỐ 7 THANH CHÂN KHÔNG

Kí hiệu	Điện áp anốt (V)	Dòng điện anốt (mA)	Điện áp lưới (V)	Dòng điện lưới (mA)	Điện áp sợi đốt (V) =	Dòng điện sợi đốt (mA)
YS9-1	20	≤ 2	20	< 2	1,2	28
YS13-3	20	$< 1,5$	20	< 3	1,2	28
YS18-3	20	< 2	20	< 2	1,2	50
YS27-3	20	$\leq 2,5$	20	2,5	1,2	80



Hình 4-3-11. Đèn hiện số 7 thanh chân không.



Hình 4-3-12. Mạch kích sáng Đèn hiển thị số chân không.

2) Bộ giải mã hiển thị

Chúng ta sẽ thuyết minh nguyên lý công tác và quá trình thiết kế của bộ giải mã hiển thị qua ví dụ bộ giải mã kích cho hiển thị 7 thanh LED.

Ví dụ 4-3-2 : hãy thiết kế bộ giải mã hiển thị kích cho hiển thị 7 thanh LED với tín hiệu đầu vào là mã BCD 8421.

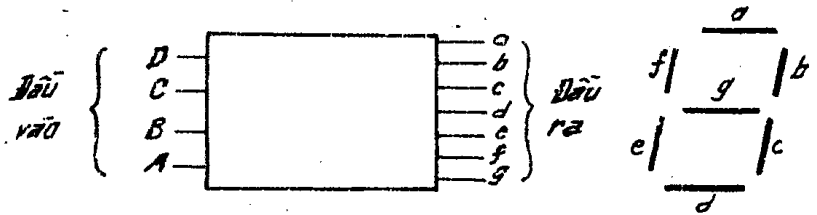
Bài giải :

Phân tích yêu cầu thiết kế :

Xem sơ đồ khối hình 4-3-13.

Các đầu vào D, C, B, A là mã BCD 8421, trong đó 6 trạng thái 1010 ÷ 1111 không được sử dụng, đánh dấu chéo "X" để xử lý tối thiểu hóa. Tín hiệu đầu ra a, b, ..., g là để kích

sáng LED tương ứng của hiển thị 7 thanh. Căn cứ mạch kích sáng hình 4-3-10, tín hiệu đầu ra bộ giải mã phải tích cực ở mức thấp (LED sáng khi tín hiệu kích mức thấp). Kê bảng chân lý :



Hình 4-3-13. Bộ giải mã 7 thanh.

Bảng 4-3-6 : BẢNG CHỨC NĂNG BỘ GIẢI MÃ

D	C	B	A	a	b	c	d	e	f	g	Số được hiển thị
L	L	L	L	L	L	L	L	L	L	H	0
L	L	L	H	H	L	L	H	H	H	H	1
L	L	H	L	L	L	H	L	L	H	L	2
L	L	H	H	L	L	L	L	H	H	L	3
L	H	L	L	H	L	L	H	H	L	L	4
L	H	L	H	L	H	L	L	H	L	L	5
L	H	H	L	L	H	L	L	L	L	L	6
L	H	H	H	L	L	L	H	H	H	H	7
H	L	L	L	L	L	L	L	L	L	L	8
H	L	L	H	L	L	L	L	H	L	L	9

Bảng 4-3-7 : BẢNG CHÂN LÝ BỘ GIẢI MÃ

D	C	B	A	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0

Bảng chức năng 4-3-6 được liệt kê từ kết quả phân tích yêu cầu thiết kế.

Các từ mã đầu vào của mã BCD8421 quyết định số được hiển thị. Nhưng do cấu trúc không gian của các LED a, b, ..., g (hình 4-3-13) mà các giá trị tín hiệu đầu ra bộ giải mã được xác định sao cho :

- mức thấp L : LED sáng
- mức cao H : LED tắt
- các LED sáng hình thành số được hiển thị.

Bảng 4-3-7 là bảng chân lí tương ứng bảng 4-3-6.

Tối thiểu hóa

Dùng phương pháp hình vẽ. Chúng ta chọn dùng cổng NORAND trong sơ đồ. Do đó, đầu tiên ta tối thiểu hóa hàm đảo bằng dạng ORAND đối với các giá trị 0 của hàm đầu ra, sau đó lấy đảo thì được dạng NORAND đối với các giá trị 1 của hàm đầu ra.

Xem các bảng Karnaugh hình 4-3-14.

Ví dụ : xét LED thanh a.

Tối thiểu hóa dạng chuẩn tắc tuyến đối với các 0 trong bảng Karnaugh có giá trị 0 để xác định hàm đảo :

$$\bar{a} = D + B + CA + \bar{C}\bar{A} \quad (\text{dạng ORAND})$$

$$\text{Lấy đảo : } a = \bar{\bar{a}} = \overline{D + B + CA + \bar{C}\bar{A}} \quad (\text{dạng NORAND})$$

DC \ BA		00	01	11	10
		0	1	0	0
00	0	1	0	0	
01	1	0	0	0	
11	x	x	x	x	
10	0	0	x	x	

(a)

DC \ BA		00	01	11	10
		0	0	0	0
00	0	0	0	0	0
01	0	1	0	1	
11	x	x	x	x	
10	0	0	x	x	

(b)

DC \ BA		00	01	11	10
		0	0	0	1
00	0	0	0	0	1
01	0	0	0	0	0
11	x	x	x	x	x
10	0	0	x	x	x

(c)

DC \ BA		00	01	11	10
		0	1	0	0
00	0	1	0	0	
01	1	0	1	0	
11	x	x	x	x	
10	0	0	x	x	

(d)

DC \ BA		00	01	11	10
		0	1	1	0
00	0	1	1	0	
01	1	1	1	0	
11	x	x	x	x	
10	0	1	x	x	

(e)

DC \ BA		00	01	11	10
		0	1	1	1
00	0	1	1	1	
01	0	0	1	0	
11	x	x	x	x	
10	0	0	x	x	

(f)

DC \ BA		00	01	11	10
		1	1	0	0
00	1	1	0	0	
01	0	0	1	0	
11	x	x	x	x	
10	0	0	x	x	

(g)

Hình 4-3-14.

Bảng Karnaugh và hàm logic đầu ra của các LED hiển thị a, b, c, d, e, f, g.

$$(b) \bar{b} = \bar{C} + BA + \bar{B}\bar{A}$$

$$b = \overline{\bar{C} + BA + \bar{B}\bar{A}}$$

$$(c) \bar{c} = C + \bar{B} + A$$

$$c = \overline{C + \bar{B} + A}$$

$$(d) \bar{d} = D + \bar{C}B + \bar{B}\bar{A} + \bar{C}\bar{A} + C\bar{B}A$$

$$d = \overline{D + \bar{C}B + \bar{B}\bar{A} + \bar{C}\bar{A} + C\bar{B}A}$$

$$(e) \bar{e} = \bar{C}\bar{A} + \bar{B}\bar{A}$$

$$e = \overline{\bar{C}\bar{A} + \bar{B}\bar{A}}$$

$$(f) \bar{f} = D + \bar{C}\bar{B} + C\bar{A} + \bar{B}\bar{A}$$

$$f = \overline{D + \bar{C}\bar{B} + C\bar{A} + \bar{B}\bar{A}}$$

$$(g) \bar{g} = D + \bar{C}\bar{B} + \bar{C}B + \bar{B}\bar{A}$$

$$g = \overline{D + \bar{C}\bar{B} + \bar{C}B + \bar{B}\bar{A}}$$

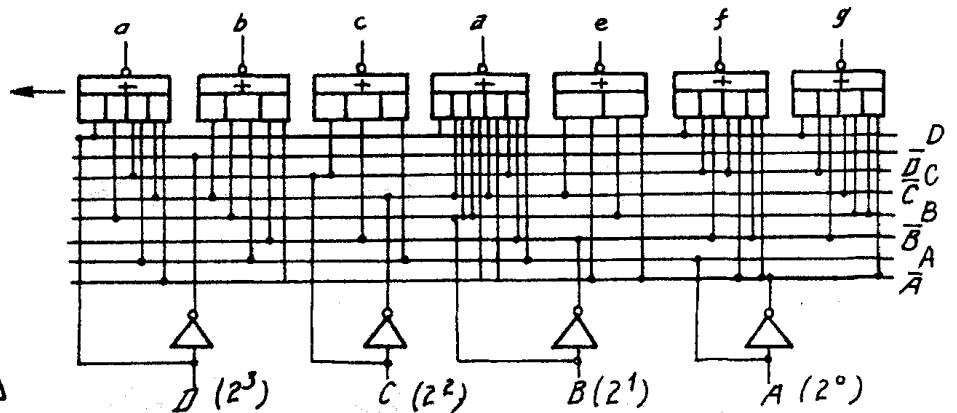
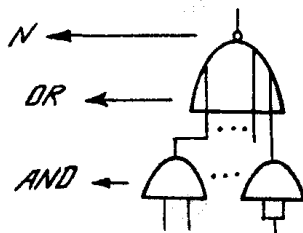
Vẽ sơ đồ logic :

Sơ đồ logic hình 4-3-15 xuất phát từ các hàm logic tối thiểu hóa bằng bảng Karnaugh hình 4-3-14. Trong hình 4-3-15, tín hiệu ra tích cực ở mức thấp. Ví dụ,

DCBA = 1000, số được hiển thị là 8 với các LED abcdefg = 0000000 sáng.

DCBA = 0101, số được hiển thị là 5 với các LED acdfg sáng và be tắt.

Một dạng kí hiệu mạch của cổng NORAND (Vẽ cổng NORAND, xem phần 3-3-4-3)



Hình 4-3-15. Bộ giải mã kích hiển thị LED 7 thanh.

4.4. BỘ SO SÁNH

Trong các hệ thống số, đặc biệt là trong máy tính, thường thực hiện việc so sánh hai số, để biết số nào lớn hơn, hay chúng bằng nhau. Hai số cần so sánh có thể là các số nhị phân, cũng có thể là các kí tự đã mã hóa nhị phân. Bộ so sánh có thể công tác theo kiểu nối tiếp hay kiểu song song. Ở chương này, ta sẽ xem xét nguyên lí công tác và quá trình thiết kế bộ so sánh song song qua ví dụ bộ so sánh số nhị phân 4 bit $A = a_3a_2a_1a_0$ và $B = b_3b_2b_1b_0$.

4.4.1. Bộ so sánh bằng nhau

Bộ so sánh bằng nhau là mạch điện thực hiện chức năng logic xét hai số có bằng nhau hay không bằng nhau.

1) Bộ so sánh bằng nhau 1 bit

Xét hai bit a_i và b_i , gọi g_i là kết quả so sánh bằng nhau giữa a_i và b_i , với $g_i = 1$ biểu thị $a_i = b_i$, $g_i = 0$ biểu thị $a_i \neq b_i$. Vậy ta có bảng chân lí 4-4-1.

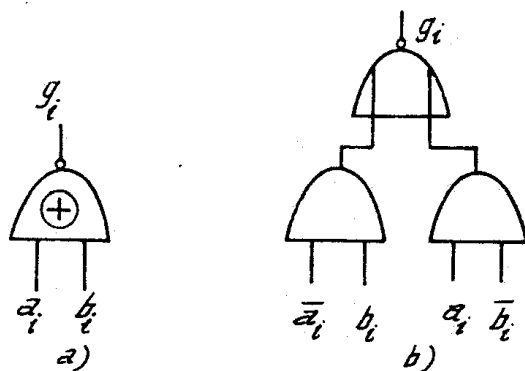
Bảng 4-4-1 : BẢNG CHÂN LÍ CỦA BỘ SO SÁNH 1 BIT

a_i	b_i	g_i	Thuyết minh
0	0	1	bằng nhau
0	1	0	khác nhau
1	0	0	khác nhau
1	1	1	bằng nhau

Từ bảng 4-4-1, ta có

$$g_i = \bar{a}_i \bar{b}_i + a_i b_i = \overline{\bar{a}_i b_i + a_i \bar{b}_i} = \overline{a_i \oplus b_i}$$

Có thể dùng nhiều sơ đồ thực hiện hàm logic trên, hình 4-4-1a là cổng hàm tương đương, hình 4-4-1b là cổng NORAND đều thực hiện chức năng so sánh bằng nhau.



Hình 4-4-1. Bộ so sánh 1 bit.

2) Bộ so sánh bằng nhau 4 bit

So sánh số nhị phân 4 bit $A = a_3 a_2 a_1 a_0$ với $B = b_3 b_2 b_1 b_0$, ta thấy rằng $A = B$ nếu $a_3 = b_3$, $a_2 = b_2$, $a_1 = b_1$, $a_0 = b_0$. Vậy nếu gọi g_i là các bộ so sánh 1 bit, chúng ta xây dựng được bảng chân lí 4-4-2.

Từ bảng 4-4-2, ta có

$$G = g_3 \cdot g_2 \cdot g_1 \cdot g_0$$

với

$$g_3 = \overline{a_3 \oplus b_3}$$

$$g_2 = \overline{a_2 \oplus b_2}$$

$$g_1 = \overline{a_1 \oplus b_1}$$

$$g_0 = \overline{a_0 \oplus b_0}$$

Bảng 4-4-2 : BẢNG CHÂN LÍ BỘ SO SÁNH BẰNG NHAU 4 BIT

g_3	g_2	g_1	g_0	G
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

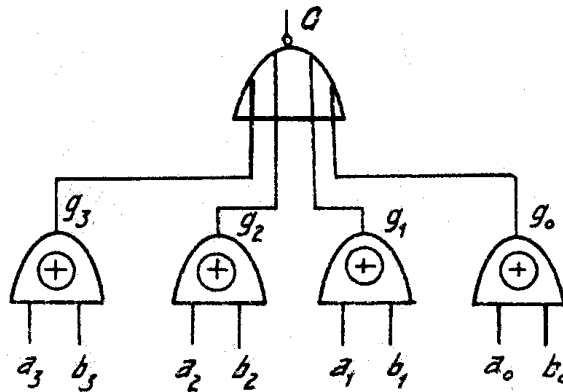
Vậy ta có :

$$G = g_3 \cdot g_2 \cdot g_1 \cdot g_0$$

$$G = \overline{a_3 \oplus b_3} \cdot \overline{a_2 \oplus b_2} \cdot \overline{a_1 \oplus b_1} \cdot \overline{a_0 \oplus b_0}$$

$$G = (a_3 \oplus b_3) + (a_2 \oplus b_2) + (a_1 \oplus b_1) + (a_0 \oplus b_0)$$

Hình 4-4-2.
Sơ đồ logic
bộ so sánh
bằng nhau 4 bit.



4.4.2. Bộ so sánh

Bộ so sánh là mạch điện thực hiện chức năng logic xác định số nào lớn hơn trong hai số được so sánh.

1) Bộ so sánh 1 bit

Xét hai bit a_i và b_i , kết quả so sánh $l_i = 1$ biểu thị $a_i > b_i$, $m_i = 1$ biểu thị $a_i < b_i$. Ta có bảng chân lí 4-4-3.

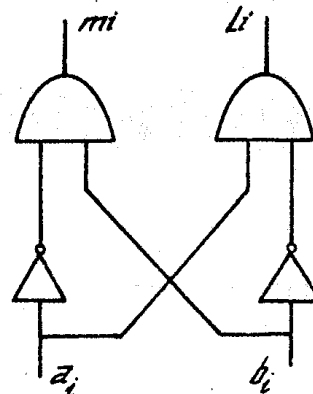
Bảng 4-4-3 : BẢNG CHÂN LÍ CỦA BỘ SO SÁNH 1 BIT

a_i	b_i	l_i	m_i	thuyết minh
0	0	0	0	$a_i = b_i$
0	1	0	1	$a_i < b_i$
1	0	1	0	$a_i > b_i$
1	1	0	0	$a_i = b_i$

Từ bảng 4-4-3, ta có :

$$l_i = a_i \bar{b}_i \quad m_i = \bar{a}_i b_i$$

Căn cứ vào hàm logic trên đây, ta xây dựng sơ đồ logic hình 4-4-3.



Hình 4-4-3.
Bộ so sánh 1 bit.

2) Bộ so sánh 4 bit

a) Phương pháp so sánh hai số nhị phân nhiều bit

Quá trình so sánh hai số nhị phân nhiều bit phải bắt đầu từ bit có trọng số cao nhất, chỉ khi nào bit có trọng số cao nhất bằng nhau thì mới tiếp tục so sánh đến bit có trọng số thấp hơn liên kế. Ý nghĩa trọng số khiến việc so sánh quyết định bởi số có trọng số lớn. (Ví dụ quen thuộc : so sánh 901 và 899, so sánh số hàng trăm $9 > 8$, kết luận luôn $901 > 899$, không để ý đến số hàng chục và hàng đơn vị của chúng)

b) Bộ so sánh 4 bit

So sánh hai số nhị phân $A = a_3a_2a_1a_0$ và $B = b_3b_2b_1b_0$

Kết quả so sánh $G = 1$ nếu $A = B$; $g_i = 1$ nếu $a_i = b_i$

$L = 1$ nếu $A > B$; $l_i = 1$ nếu $a_i > b_i$

$M = 1$ nếu $A < B$; $m_i = 1$ nếu $a_i < b_i$

Bảng 4-4-4 : BẢNG CHÂN LÍ CỦA L

g_3	g_2	g_1	g_0	l_3	l_2	l_1	l_0	L	Thuyết minh
x	x	x	x	1	x	x	x	1	A > B
1	x	x	x	x	1	x	x	1	
1	1	x	x	x	x	1	x	1	
1	1	1	x	x	x	x	1	1	

Bảng 4-4-5 : BẢNG CHÂN LÍ CỦA M

g_3	g_2	g_1	g_0	m_3	m_2	m_1	m_0	M	Thuyết minh
x	x	x	x	1	x	x	x	1	A < B
1	x	x	x	x	1	x	x	1	
1	1	x	x	x	x	1	x	1	
1	1	1	x	x	x	x	1	1	

Khi liệt kê bảng 4-4-4 và bảng 4-4-5, cần lưu ý các quan hệ phủ định nhau của các biến logic và một số giá trị của biến logic không ảnh hưởng gì đến hàm logic. Ví dụ : Xét bảng 4-4-4.

Hàng thứ nhất, $l_3 = 1$ chứng tỏ $a_3 > b_3$, $g_3 \neq 1$ ($l_3 = 1$ phủ định $g_3 = 1$). Vì a_3, b_3 có trọng số lớn nhất, nên $A > B$, $L = 1$ không phụ thuộc gì vào $g_2, g_1, g_0, l_2, l_1, l_0$, nên tương ứng với các dấu chéo "X".

Hàng thứ hai, $g_3 = 1$ chứng tỏ $a_3 = b_3$, $l_3 \neq 1$. $l_2 = 1$ chứng tỏ $a_2 > b_2$, vì chúng có trọng số thứ hai, nên $A > B$, $L = 1$ không phụ thuộc gì vào g_2, g_1, g_0, l_1, l_0 , tương ứng với các dấu chéo "X".

Hàng thứ ba, $g_3 = g_2 = 1$ chứng tỏ $a_3 = b_3$, $a_2 = b_2$, $l_3 \neq 1$, $l_2 \neq 1$, $l_1 = 1$) chứng tỏ $a_1 > b_1$, do đó $A > B$, $L = 1$, không phụ thuộc vào g_1 , g_0 , l_0 tương ứng với các dấu chéo "X".

Hàng thứ tư, $g_3 = g_2 = g_1 = 1$ ($a_3 = b_3$, $a_2 = b_2$, $a_1 = b_1$, $l_3 \neq 1$, $l_2 \neq 1$, $l_1 \neq 1$) $l_0 = 1$ chứng tỏ $a_0 > b_0$, do đó $A > B$, $L = 1$, $g_0 \neq 1$. Tương ứng các giá trị $\neq 1$ đều đánh dấu chéo "X".

Bảng 4-4-5 cũng được tìm hiểu và kê ra một cách tương tự.

Từ bảng 4-4-4 ta có : $L = l_3 + g_3 \cdot l_2 + g_3 g_2 l_1 + g_3 g_2 g_1 l_0$

Từ bảng 4-4-5 ta có : $M = m_3 + g_3 m_2 + g_3 g_2 m_1 + g_3 g_2 g_1 m_0$

Sơ đồ logic hàm L , M thực hiện bằng cổng AND và OR trên hình 4-4-4

g_3, g_2, g_1 là tín hiệu đầu ra

Bộ so sánh bằng nhau 1 bit

$$g_3 = \overline{a_3 \oplus b_3}$$

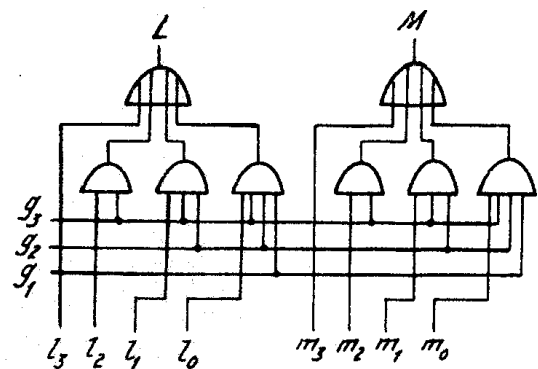
$$g_2 = \overline{a_2 \oplus b_2}$$

$$g_1 = \overline{a_1 \oplus b_1}$$

l_3, l_2, l_1, l_0 và m_3, m_2, m_1, m_0 là các bộ so sánh 1 bit

$$l_3 = a_3 \bar{b}_3 ; l_2 = a_2 \bar{b}_2 ; l_1 = a_1 \bar{b}_1 ; l_0 = a_0 \bar{b}_0$$

$$m_3 = \bar{a}_3 b_3 ; m_2 = \bar{a}_2 b_2 ; m_1 = \bar{a}_1 b_1 ; m_0 = \bar{a}_0 b_0$$



Hình 4-4-4. Bộ so sánh 4 bit.

4.4.3. ICMSI bộ so sánh 4 bit

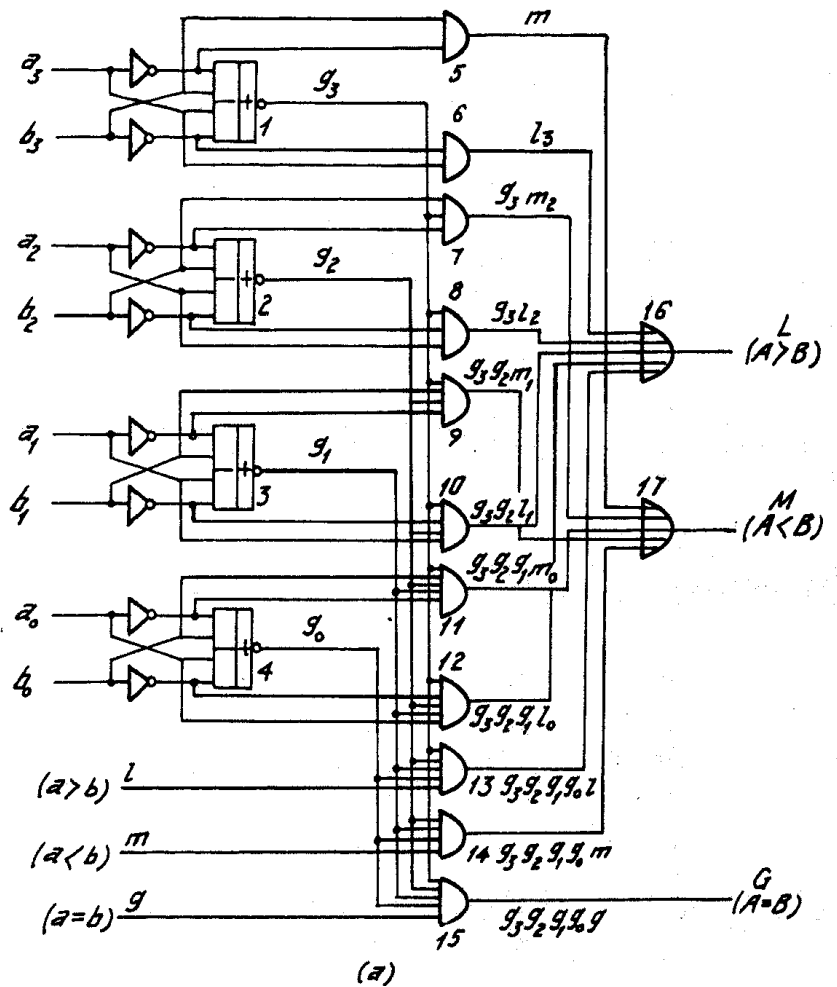
Hình 4-4-5 là vi mạch MSI bộ so sánh 4 bit

Nhận xét sơ đồ hình 4-4-5, ta thấy rằng MSI này có sơ đồ mạch phù hợp với các sơ đồ bộ so sánh đã trình bày trên, nó có thêm 3 cổng AND và 3 đầu vào điều khiển $a > b$, $a < b$, $a = b$.

Các biểu thức hàm logic đầu ra L , M , G hoàn toàn không khác gì với các biểu thức đã dẫn ở trên. Bảng chân lí của bộ so sánh 4 bit hình 4-4-5 là bảng 4-4-6. Cho $l = m = 0$, $g = 1$, từ sơ đồ logic hình 4-4-5, theo từng cấp từ đầu ra, ta có thể viết các hàm đầu ra như sau

$$\begin{aligned} L &= l_3 + g_3 l_2 + g_3 g_2 l_1 + g_3 g_2 g_1 l_0 + g_3 g_2 g_1 l \\ &= l_3 + g_3 l_2 + g_3 g_2 l_1 + g_3 g_2 g_1 l_0 + 0 \\ &= a_3 \bar{b}_3 + \overline{a_3 \oplus b_3} a_2 \bar{b}_2 + \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} a_1 \bar{b}_1 \\ &\quad + \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \overline{a_1 \oplus b_1} a_0 b_0 \end{aligned}$$

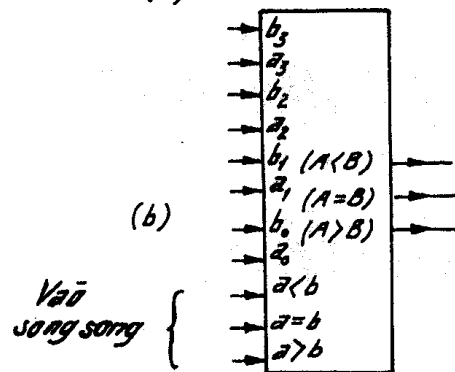
$$M = m_3 + g_3 m_2 + g_3 g_2 m_1 + g_3 g_2 g_1 m_0 + g_3 g_2 g_1 g_0 m$$



Hình 4-4-5. Bộ so sánh 4 bit (MSI)

a) Sơ đồ mạch điện ;

b) Kí hiệu.



$$= m_3 + g_3 m_2 + g_3 g_2 m_1 + g_3 g_2 g_1 m_0 + 0$$

$$= \bar{a}_3 b_3 + \overline{a_3 \oplus b_3} \bar{a}_2 b_2 + \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \bar{a}_1$$

$$+ \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \overline{a_1 \oplus b_1} \bar{a}_0 b_0$$

$$G = g_3 g_2 g_1 g_0$$

$$= g_3 g_2 g_1 g_0$$

$$= \overline{a_3 \oplus b_3} \overline{a_2 \oplus b_2} \overline{a_1 \oplus b_1} \overline{a_0 \oplus b_0}$$

Bảng 4-4-6 : BẢNG CHÂN LÍ BỘ SO SÁNH 4 BIT

Dấu vào so sánh				Dấu vào điều khiển			Dấu ra		
a3b3	a2b2	a1b1	a0b0	l a > b	m a < b	g a = b	L A > B	M A < B	G A = B
a3 > b3	X	X	X	X	X	X	1	0	0
a3 < b3	X	X	X	X	X	X	0	1	0
a3 = b3	a2 > b2	X	X	X	X	X	1	0	0
a3 = b3	a2 < b2	X	X	X	X	X	0	1	0
a3 = b3	a2 = b2	a1 > b1	X	X	X	X	1	0	0
a3 = b3	a2 = b2	a1 < b1	X	X	X	X	0	1	0
a3 = b3	a2 = b2	a1 = b1	a0 > b0	X	X	X	1	0	0
a3 = b3	a2 = b2	a1 = b1	a0 < b0	X	X	X	0	1	0
a3 = b3	a2 = b2	a1 = b1	a0 = b0	1	0	0	1	0	0
a3 = b3	a2 = b2	a1 = b1	a0 = b0	0	1	0	0	1	0
a3 = b3	a2 = b2	a1 = b1	a0 = b0	0	0	1	0	0	1

4.5. BỘ CỘNG

Thực hiện các phép tính là nhiệm vụ cơ bản của máy tính số. Trong máy tính, các phép cộng trừ nhân chia đều quy về phép tính cộng theo một cách nào đó, vậy phép cộng là phép tính cơ bản nhất của máy tính.

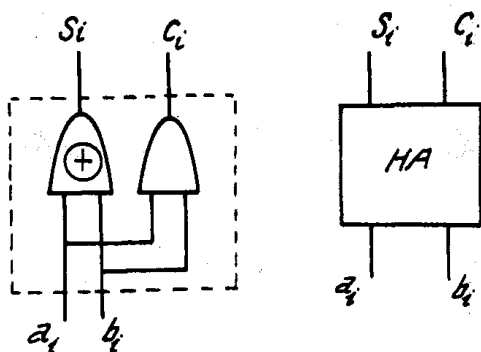
4.5.1. Bộ cộng nửa

Bộ cộng nửa là mạch điện thực hiện phép cộng nửa, tức là phép cộng 2 số 1 bit. Bảng 4-5-1 là bảng chân lí của phép cộng nửa, S_i là tổng, a_i và b_i là các số hạng được cộng, c_i là số nhớ sang bit trọng số lớn hơn. Bảng chân lí 4-5-1 chỉ thực hiện phép tính đối với bản thân hai số a_i , b_i mà không kể đến số nhớ chuyển vị từ bit có trọng số bé hơn. Vậy mới có tên là cộng nửa. Từ bảng 4-5-1 ta có :

$$S_i = \bar{a}_i b_i + a_i \bar{b}_i = a_i \oplus b_i$$

$$c_i = a_i b_i$$

Hình 4-5-1 là sơ đồ logic và kí hiệu bộ cộng nửa



Hình 4-5-1. Bộ cộng nửa.

Bảng 4-5-1 : BẢNG CHÂN LÍ BỘ CỘNG NỬA

a _i	b _i	S _i	C _i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

4.5.2. Bộ cộng đủ

Bộ cộng nửa không đáp ứng yêu cầu thực tế cộng hai số nhiều bit. Ví dụ cộng hai số $A = a_3a_2a_1a_0 = 1011$ và $B = b_3b_2b_1b_0 = 1110$

bit 3	bit 2	bit 1	bit 0	
1	0	1	1	A
1	1	1	0	B
1	1	1	0	số nhớ chuyển lên
1	1	0	0	1

Qua ví dụ, ta thấy : việc cộng các bit 3, bit 2, bit 1 đều kèm theo số nhớ, nghĩa là có 3 số hạng tham gia, gồm 2 bit được cộng và số nhớ chuyển lên từ phép cộng bit trọng số bé liền kề. Phép cộng có nhớ được gọi là cộng đủ, mạch điện thực hiện tương ứng được gọi là bộ cộng đủ. (Full Adder)

Bảng 4-5-2 là bảng chân lí của bộ cộng đủ, trong đó a_i , b_i là hai bit được cộng, c_{i-1} là số nhớ chuyển lên từ bit $i-1$ (bé liền kề) s_i là tổng và c_i là số nhớ (phải chuyển lên phép cộng đủ của bit $i + 1$).

Tiến hành tối thiểu hóa bằng bảng Karnaugh, xem hình 4-5-2

Bảng 4-5-2 : BẢNG CHÂN LÍ CỦA BỘ CỘNG ĐỦ

a_i	b_i	c_{i-1}	s_i	c_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Hình 4-5-2.

Bảng Karnaugh của hàm logic đầu ra s_i , c_i .

$a_i \backslash b_i c_{i-1}$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

a) S_i

$a_i \backslash b_i c_{i-1}$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

b) C_i

Từ hình 4-5-2a, ta có :

$$\begin{aligned}
 s_i &= \bar{a}_i \bar{b}_i c_{i-1} + \bar{a}_i b_i \bar{c}_{i-1} + a_i \bar{b}_i \bar{c}_{i-1} + a_i b_i c_{i-1} \\
 &= \bar{a}_i (\bar{b}_i c_{i-1} + b_i \bar{c}_{i-1}) + a_i (\bar{b}_i \bar{c}_{i-1} + b_i c_{i-1}) \\
 &= \bar{a}_i (b_i \oplus c_{i-1}) + a_i \overline{(b_i \oplus c_{i-1})} \\
 &= a_i \oplus b_i \oplus c_{i-1}
 \end{aligned}$$

Từ hình 4-5-2b, ta có :

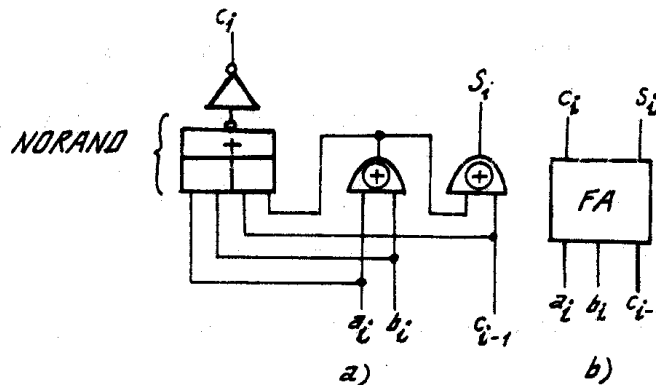
$$\begin{aligned} c_i &= \bar{a}_i b_i c_{i-1} + a_i \bar{b}_i c_{i-1} + a_i b_i \\ &= (\bar{a}_i b_i + a_i \bar{b}_i) c_{i-1} + a_i b_i \\ &= (a_i \oplus b_i) c_{i-1} + a_i b_i \end{aligned}$$

Hàm logic của c_i không ở dạng tối giản mà có $a_i \oplus b_i$ giống như trong hàm s_i , nhờ vậy sơ đồ chung lại đơn giản. Xem hình 4-5-3

Hình 4-5-3.

Bộ cộng đủ :

- a) Sơ đồ logic ;
- b) Kí hiệu.

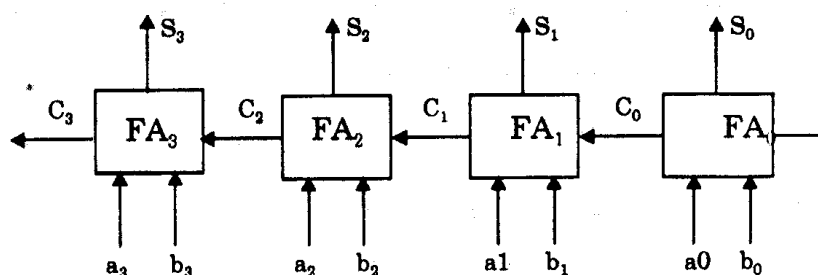


4.5.3. Bộ cộng có nhớ nối tiếp

Sau khi đã giới thiệu bộ cộng đủ 1 bit, bây giờ chúng ta xem xét bộ cộng số nhị phân nhiều bit. Có rất nhiều mạch điện khác nhau thực hiện việc này. Ta hãy xem xét cụ thể bộ cộng hai số nhị phân 4 bit, trong đó số liệu được cộng các bit đưa vào song song, số nhớ chuyển nối tiếp từ bit thấp nhất lên.

Hình 4-5-4 giới thiệu bộ cộng 4 bit được cấu trúc bằng 4 bộ cộng đủ 1 bit. Vì phải đợi số nhớ từ FA bit thấp hơn đưa lên, nên phép FA của bit cao thực hiện sau phép FA của bit thấp. Số nhớ chuyển nối tiếp từ FA bit thấp lên, từng bước một theo số bit.

Ưu điểm của bộ cộng các bit song song có nhớ nối tiếp là : mạch điện đơn giản. Nhược điểm của nó là : tốc độ thấp. Để nâng cao tốc độ phép cộng, ta phải tìm cách rút ngắn thời gian thực hiện FA của bit cao, trong đó có cách số nhớ chuyển sớm tới FA của bit cao.



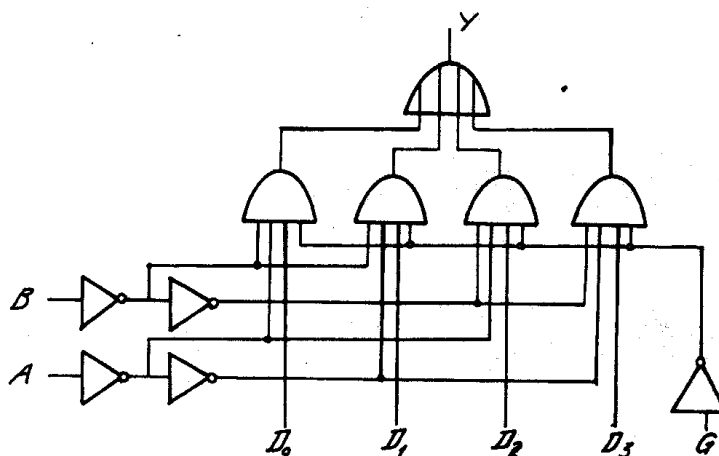
Hình 4-5-4. Bộ cộng 4 bit.

4.6. BỘ CHỌN KÊNH

Bộ chọn kênh còn gọi là bộ dẫn kênh (MUX), cũng gọi là bộ chọn dữ liệu (DATA SELECTOR). Bộ chọn kênh thực hiện dưới dạng một mạng các cổng NORAND (hay ORAND). Ứng dụng của nó rất rộng. Chức năng logic cơ bản của bộ chọn kênh là dưới sự điều khiển của tín hiệu chọn (n đầu vào điều khiển) thực hiện sự chọn ra một kênh (trong số 2^n kênh đầu vào) để thông tín hiệu kênh được chọn đến đầu ra (1 đầu ra).

Hình 4-6-1 giới thiệu bộ chọn kênh có 4 đầu vào để chọn.

Trong hình, B và A là $n = 2$ đầu vào điều khiển, D_3, D_2, D_1, D_0 là $2^n = 4$, đầu vào dữ liệu được chọn, Y là đầu ra, còn G là đầu chọn chip (cho phép bộ chọn kênh làm việc).



Hình 4-6-1. Bộ chọn kênh (MUX).

Từ sơ đồ logic hình 4-6-1 ta viết hàm logic đầu ra :

$$\begin{aligned} Y &= \bar{G} \bar{B} \bar{A} D_0 + \bar{G} \bar{B} A D_1 + \bar{G} B \bar{A} D_2 + \bar{G} B A D_3 \\ &= \bar{G} (\bar{B} \bar{A} D_0 + \bar{B} A D_1 + B \bar{A} D_2 + B A D_3) \end{aligned} \quad (4-6-1)$$

Khi $G = 1$ thì $Y = 0$, tức là bộ chọn kênh bị cấm, nó không làm việc

Khi $G = 0$ thì $Y = \bar{B} \bar{A} D_0 + \bar{B} A D_1 + B \bar{A} D_2 + B A D_3 \quad (4-6-2)$

Kênh nào được chọn, phụ thuộc tín hiệu chọn (đầu vào điều khiển).

Nếu $BA = 00$ thì $Y = D_0$, nếu $BA = 01$ thì $Y = D_1$, nếu $BA = 10$ thì $Y = D_2$, Nếu $BA = 11$ thì $Y = D_3$. Bảng 4-6-1 là bảng chức năng của bộ chọn kênh.

Bảng 4-6-1 : BẢNG CHỨC NĂNG BỘ CHỌN KÊNH

B	A	D_0	D_1	D_2	D_3	G	H
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Có thể viết rút gọn bảng 4-6-1 thành dạng đơn giản như bảng 4-6-2

Bảng 4-6-2 : BẢNG CHỨC NĂNG RÚT GỌN CỦA BỘ CHỌN KÊNH

B	A	G	Y
X	X	H	L
L	L	L	D ₀
L	H	L	D ₁
H	L	L	D ₂
H	H	L	D ₃

4.7. ROM (bộ nhớ chỉ đọc - Read Only Memory)

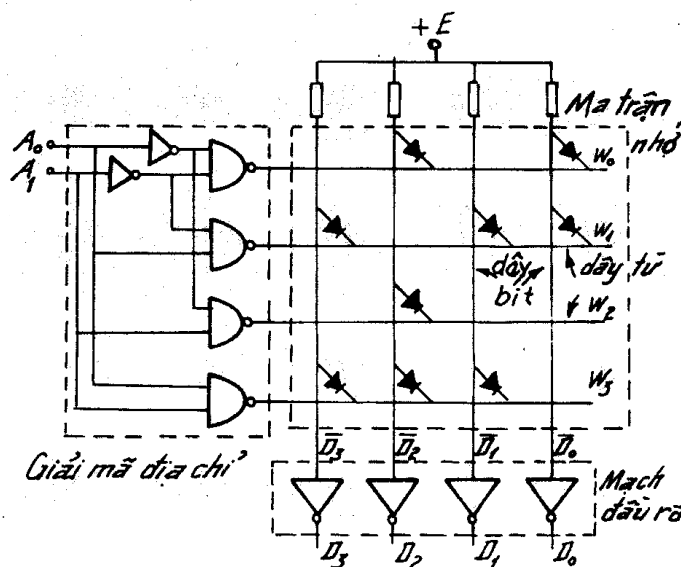
ROM còn gọi là bộ nhớ cố định. Vì dữ liệu lưu giữ trong ROM không dễ gì thay đổi, dữ liệu nói chung không thay đổi, chỉ đọc ra. Phần tử nhớ trong ROM rất đơn giản, do đó IC ROM có độ tích hợp cao. Có nhiều chủng loại ROM. Căn cứ vào phần tử nhớ trong ROM, thì có 3 loại : ROM diốt, ROM tranzito lưỡng cực và ROM tranzito trường (MOS). Căn cứ cách viết dữ liệu vào ROM, cũng có 3 loại : ROM cố định (ROM mặt nạ - Maskable ROM), PROM và EPROM. ROM cố định khi chế tạo thì nhà máy nạp sẵn dữ liệu thông qua công đoạn mặt nạ, nội dung đó không thể thay đổi trong quá trình sử dụng. PROM (ROM có thể nạp chương trình - Programable ROM) thì người sử dụng có thể nạp chương trình vào (bằng một thiết bị đặc biệt), nhưng dữ liệu chỉ được viết vào PROM một lần mà thôi, sau đó không thể thay đổi. Nội dung lưu giữ trong EPROM (erasable ROM) thì có thể thay đổi (viết mới) bằng một thiết bị đặc biệt. Nhưng do quá trình viết mới phức tạp, nên thông thường chỉ tiến hành đọc.

4.7.1. Bộ nhớ cố định chỉ đọc (ROM)

ROM cố định có 3 phần mạch : bộ giải mã địa chỉ, ma trận phần tử nhớ, và mạch điện đầu ra. Hình 4-7-1 giới thiệu mạch điện đơn giản nhất là ROM diốt.

Hình 4-7-1.

ROM diốt.



Dùng phương pháp phân tích logic, ta viết được :

Hàm logic tín hiệu trên các dây từ :

$$W_3 = \overline{A_1 A_0} \quad W_2 = \overline{A_1 \overline{A_0}} \quad W_1 = \overline{\overline{A_1} A_0} \quad W_0 = \overline{\overline{A_1} \overline{A_0}}$$

Hàm logic tín hiệu đầu ra :

$$D_3 = \overline{W_3 W_1} = \overline{\overline{A_1 A_0} \cdot \overline{\overline{A_1} A_0}} = A_1 A_0 + \overline{A_1} A_0 = A_0$$

$$D_2 = \overline{W_3 W_2 W_0} = \overline{\overline{A_1 A_0} \cdot \overline{A_1 \overline{A_0}} \cdot \overline{\overline{A_1} \overline{A_0}}} = A_1 A_0 + A_1 \overline{A_0} + \overline{A_1} \overline{A_0} \\ = A_1 + \overline{A_0}$$

$$D_1 = \overline{W_3 W_1} = A_0$$

$$D_0 = \overline{W_1 W_0} = \overline{\overline{A_1 A_0} \cdot \overline{\overline{A_1} \overline{A_0}}} = \overline{A_1} A_0 + \overline{A_1} \overline{A_0} = \overline{A_1}$$

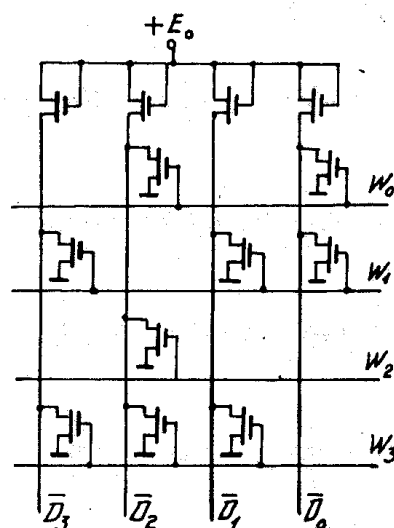
Bảng 4-7-1 : BẢNG CHÂN LÍ CỦA ROM ĐIỐT

A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	1	0	1
0	1	1	0	1	1
1	0	0	1	0	0
1	1	1	1	1	0

Từ bảng chân lí, ta thấy sơ đồ hình 4-7-1 thực chất là một bộ chuyển mã từ mã $A_1 A_0$ sang mã $D_3 D_2 D_1 D_0$. Quá trình diễn ra như sau : bộ giải mã địa chỉ tiến hành giải mã $A_1 A_0$, ma trận 4 cổng AND điốt (đầu ra của AND điốt là dây bit, đầu vào của AND điốt là dây từ qua điốt nối dây bit tương ứng) và bộ đảo (mạch điện đầu ra) thực hiện việc mã hóa đối với tín hiệu đầu ra bộ giải mã. Cuối cùng ta có mã $D_3 D_2 D_1 D_0$.

Trong mạch điện hình 4-7-1, các từ mã của tín hiệu đầu vào và đầu ra có quan hệ đơn trị. Vì vậy, người ta thường xem từ mã đầu vào $A_1 A_0$ là địa chỉ của từ mã $D_3 D_2 D_1 D_0$ được lưu giữ trong ROM, còn bản thân $D_3 D_2 D_1 D_0$ được xem là nội dung dữ liệu được lưu giữ ở địa chỉ tương ứng $A_1 A_0$. Trong ma trận phần tử nhớ, đường ngang để chọn từ gọi tắt là dây từ, đường dọc để chọn bit gọi tắt là dây bit. Chỗ giao nhau giữa dây từ và dây bit được gọi là phần tử nhớ. Tại phần tử nhớ, nếu có điốt thì dữ liệu lưu giữ là 1, nếu không có điốt thì dữ liệu lưu giữ là 0. Nội dung dữ liệu lưu giữ trong ma trận nhớ không thể thay đổi sau khi hoàn thành chế tạo ra ROM, tức là chỉ đọc mà không viết được...

Hình 4-7-2 là ma trận phần tử nhớ dùng tranzito trường MOS (có nội dung nhớ như mạch hình 4-7-1). Tại phần tử nhớ (nơi giao nhau giữa dây từ và dây



Hình 4-7-2. Ma trận nhớ của ROM NMOS.

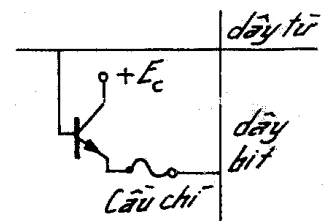
bit) nếu có tranzito MOS thì nội dung lưu giữ là 1, nếu không có thì là 0). Nguyên lý công tác mạch hình 4-7-2 giống như mạch hình 4-7-1. Chỉ lưu ý tín hiệu dây từ tích cực ở mức cao. (Cũng có thể dùng tranzito lưỡng cực để cấu trúc ma trận nhớ của ROM).

Khi chế tạo ma trận nhớ của ROM, cần chú ý nội dung cần lưu giữ mà thiết kế mặt nạ. Điều này chỉ có lợi khi số lượng sản xuất lớn (vì chế tác mặt nạ và các công đoạn liên quan tới thời gian, giá thành cao). Trong trường hợp số lượng sản xuất không lớn, dùng PROM kinh tế hơn.

4.7.2. Bộ nhớ chỉ đọc có thể ghi trình tự (PROM)

Khi xuất xưởng, PROM có các phần tử nhớ đều là 1, người sử dụng cần chú ý nội dung cần lưu trữ mà tùy ý chọn phần tử nhớ nào không thay đổi (1), phần tử nhớ nào phải thay đổi (0) để thực hiện thao tác viết vào bộ nhớ. Nhưng chỉ một lần viết mà thôi.

Hình 4-7-3 giới thiệu một phần tử nhớ PROM, gồm có một tranzito lưỡng cực và một cầu chì (hợp kim Ni Cr...). Khi xuất xưởng, cầu chì của các phần tử nhớ đều thông. Người sử dụng muốn ghi bit 1 vào phần tử nhớ nào thì giữ nguyên cầu chì, muốn ghi bit 0 vào phần tử nhớ nào thì làm cầu chì đứt bằng dòng điện đủ lớn theo quy định. Cầu chì của phần tử nhớ đứt rồi thì không có cách gì nối lại như cũ được, tức là không thay đổi nội dung được nữa.

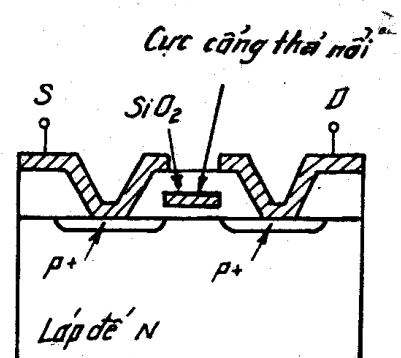


Hình 4-7-3.
Phần tử nhớ PROM.

Ngoài hình thức cầu chì, người ta còn chế tạo PROM dùng diốt Schottky thay thế phương án cầu chì trên. Khi xuất xưởng, tất cả các diốt Schottky đều ngắt (ở trạng thái phân cực ngược), tương ứng bit 0. Để tạo ra bit 1, người sử dụng phải đặt điện áp ngược đủ lớn để diốt Schottky đánh thủng tạo thành chập cực thông mạch vĩnh viễn.

4.7.3. Bộ nhớ chỉ đọc có thể viết lại (EPROM)

Thực tiễn luôn có nhu cầu sửa chữa, đổi mới một số dữ liệu nào đó trong ROM, do vậy người ta không thỏa mãn với ROM cố định và PROM. EPROM giải quyết và đáp ứng nhu cầu trên nên có ứng dụng rộng rãi. Hiện nay EPROM sử dụng phần tử nhớ trên cơ sở tranzito FAMOS (Floating - gate Avalanche - injection Metal Oxide Semiconductor - Bán dẫn oxýt kim loại phun - cực cổng thác lũ thả nổi). Hình 4-7-4 trình bày kết cấu tranzito FAMOS. Nền cơ bản là tranzito MOS cực cổng thác lũ thả nổi. Cực cổng hoàn toàn bị SiO_2 cách li, nên ở trạng thái "bồng bênh", và có tên cực cổng thả nổi. Cực này vốn không mang điện, nên không có kênh dẫn giữa cực nguồn S và cực máng D, tranzito FAMOS ở trạng thái ngắt. Nhưng nếu đặt điện



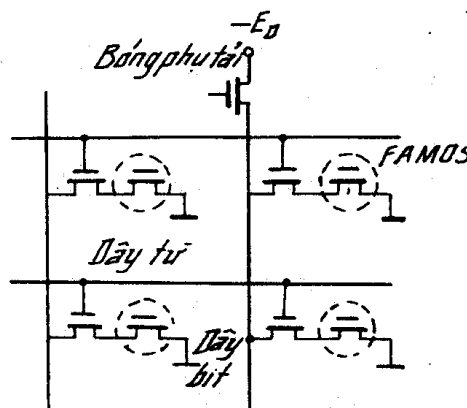
Hình 4-7-4.
Kết cấu tranzito FAMOS.

áp tương đối lớn ($-30V$ chẳng hạn) giữa D và S, làm cho chuyển tiếp PN giữa cực máng D và đế bị đánh thủng thác lũ, điện tử trong vùng nghèo kiệt nhờ điện trường mạnh gia tốc lớn bay từ vùng P^+ ra ngoài. Do tốc độ cao, có một phần điện tử xuyên qua lớp oxyt tương đối mỏng để tới cực cổng thả nổi, chúng được tồn trữ ở đó. Quá trình này gọi là phun thác lũ. Khi không còn điện áp đặt giữa D và S, vì điện tích ở cực cổng không có lối thoát đi, nên bảo tồn lâu dài tại cực cổng. (Ở $100^\circ C$, một năm suy giảm chưa tới 1%). Điều chỉnh biên độ và thời gian của điện áp giữa DS, thì có thể điều khiển lượng điện tử phun vào. Khi cực cổng đã có đủ nhiều điện tử (điện tích âm) thì có thể tạo ra kênh dẫn giữa D và S làm cho tranzito FAMOS trở thành thông. Nếu dùng tia cực tím hoặc tia X chiếu vào tranzito FAMOS làm trung hòa điện tích ở cực cổng, kênh dẫn biến mất, tranzito FAMOS trở lại trạng thái ngắt. Để tiện tiến hành việc khử bỏ kênh dẫn, khi bao gói, người ta để một cửa sổ thạch anh cho việc chiếu xạ khi cần.

Hình 4-7-5 giới thiệu EPROM cấu trúc từ tranzito trường, mỗi phần tử nhớ gồm một tranzito MOS nối tiếp với một tranzito FAMOS. Dây từ điều khiển cực cổng. Khi xuất xưởng, tất cả FAMOS đều ở trạng thái hở mạch. Người sử dụng căn cứ vào dữ liệu cần lưu giữ, đưa xung điện áp âm vào dây bit đã chọn, lại điều khiển dây từ cho MOS theo địa chỉ thông dẫn. FAMOS ở dây bit đã chọn sẽ đánh thủng thác lũ, phun điện tử vào cực cổng của nó.

Khi đọc ra, dây từ chọn hàng phần tử nhớ, FAMOS nào đã có điện tử phun vào cực cổng của nó sẽ dẫn điện, dây bit tương ứng sẽ có mức cao ; FAMOS nào không có điện tử phun vào cực cổng thì hở mạch, dây bit tương ứng sẽ có mức thấp.

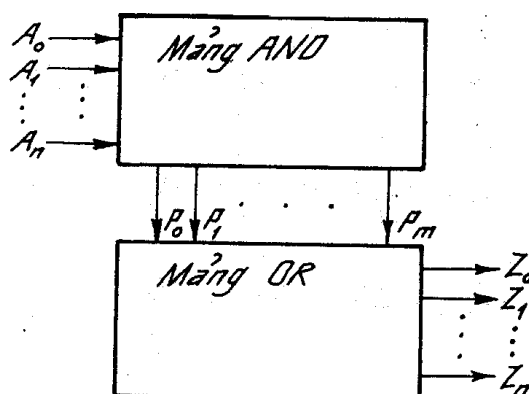
Cần lưu ý rằng tranzito FAMOS có thể có những hình thức cấu trúc khác với cấu trúc được giới thiệu trên đây.



Hình 4-7-5. Ma trận nhớ EPROM.

4.8 MẢNG LOGIC LẬP TRÌNH (PLA)

Hình 4-8-1 giới thiệu PLA cấu trúc từ một mảng cổng AND và một mảng cổng OR. Mảng cổng AND thực hiện phép nhân logic các biến số trong các tín hiệu đầu vào $A_0 \div A_n$. Tín hiệu đầu ra $P_0 \div P_m$ là tích (Hội) của các biến số đầu vào. Mảng cổng OR thực hiện phép cộng logic các tích $P_0 \div P_m$. Tín hiệu đầu ra của mảng OR (cũng là của PLA) là tổng (Tuyến) của các tích đó. Tóm lại, ở đầu ra PLA ta có hàm logic dưới dạng chuẩn tắc tuyến. Người sử dụng PLA tùy ý thiết kế tổng của những



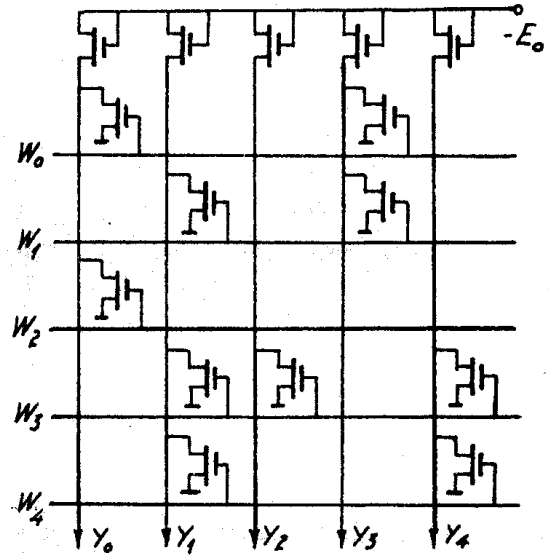
Hình 4-8-1. Sơ đồ khối cấu trúc của PLA.

tích nào, tích của những biến nào. Vậy cấu trúc hình 4-8-1 được gọi là mảng logic lập trình PLA.

Mọi người đều biết rằng một hàm logic bất kì để có thể biểu thị dưới dạng chuẩn tắc tuyến (ORAND). Vậy dùng PLA thực hiện hàm logic dạng chuẩn tắc tuyến là vô cùng thuận tiện. Vì chúng ta đưa biến logic đến đầu vào PLA, thiết kế các tích bằng mảng AND, sau đó thiết kế các tổng của các tích bằng mảng OR thì đầu ra PLA là hàm logic chuẩn tắc tuyến cần có.

Qua ví dụ tương đối đơn giản dưới đây, chúng ta sẽ thấy cụ thể nguyên lí công tác của PLA.

Hình 4-8-2 trình bày mảng có 5 cổng NAND PMOS. $W_0 + W_4$ là biến số đầu vào. $Y_0 + Y_4$ là hàm số đầu ra. Đặc điểm công tác của tranzito trường PMOS là : thông dẫn khi điện áp mức thấp ở cực cổng, hở ngắt khi điện áp mức cao ở cực cổng. Vậy ta có bảng chức năng kê ở bảng 4-8-1.

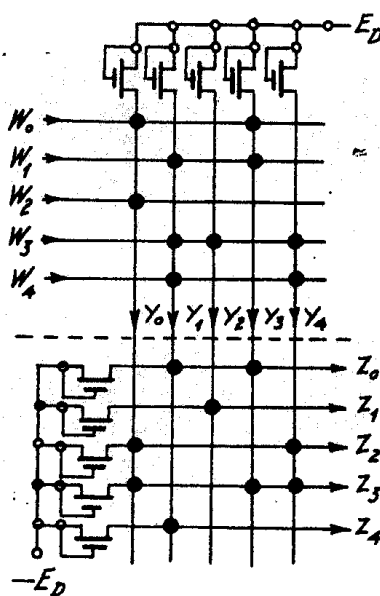


Hình 4-8-2. Mảng cổng NAND PMOS.

Áp dụng logic dương (mức cao H biểu thị 1, mức thấp L biểu thị 0), ta có thể viết ra các hàm Y_i từ Bảng 4-8-1 :

$$\begin{cases} Y_0 = \overline{W_0 W_2} \\ Y_1 = \overline{W_1 W_3 W_4} \\ Y_2 = \overline{W_3} \\ Y_3 = \overline{W_0 W_1} \\ Y_4 = \overline{W_3 W_4} \end{cases} \quad (4-8-1)$$

Bảng 4-8-1 : BẢNG CHỨC NĂNG



W_0	W_2	Y_0
L	L	H
L	H	H
H	L	H
H	H	L

W_1	W_3	W_4	Y_1
L	L	L	H
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

W_3	Y_2
L	H
H	L

W_0	W_1	Y_3
L	L	H
L	H	H
H	L	H
H	H	L

W_3	W_4	Y_4
L	L	H
L	H	H
H	L	H
H	H	L

Hình 4-8-3. PLA 2 cấp mảng cổng NAND.

PLA hình 4-8-3 gồm 2 mảng cổng NAND PMOS. Để đơn giản hình vẽ, nét chấm đậm biểu thị tranzito PMOS tại chỗ giao nhau. Từ hình 4-8-3 ta có

$$\begin{cases} Z_0 = \overline{Y_1 Y_3} \\ Z_1 = \overline{Y_2} \\ Z_2 = \overline{Y_0 Y_4} \\ Z_3 = \overline{Y_0 Y_3 Y_4} \\ Z_4 = \overline{Y_1} \end{cases} \quad (4-8-2)$$

Thay biểu thức (4-8-1) vào (4-8-2), áp dụng định lý Demoorgan ta có :

$$\begin{cases} Z_0 = W_1 W_3 W_4 + W_0 W_1 \\ Z_1 = W_3 \\ Z_2 = W_0 W_2 + W_3 W_4 \\ Z_3 = W_0 W_2 + W_0 W_1 + W_3 W_4 \\ Z_4 = W_1 W_3 W_4 \end{cases} \quad (4-8-3)$$

Tuy rằng hình 4-8-3 cấu trúc bằng hai mảng cổng NAND, nhưng kết quả của cách đấu nối thể hiện ở hàm đầu ra (4-8-3) chứng tỏ rằng sơ đồ hình 4-8-3 tương đương hình 4-8-1. Dùng sơ đồ cấu trúc hình 4-8-3, đưa tín hiệu đầu vào đến đầu vào mảng trên (W_i), căn cứ tích các biến đầu vào mà thiết kế vị trí tranzito MOS, rồi căn cứ tổng các tích mà thiết kế vị trí tranzito MOS trong mảng dưới ; hiển nhiên đối với toàn bộ sơ đồ hình 4-8-3 (hai mảng) thì ở đầu ra ta có hàm logic dạng chuẩn tắc tuyến theo yêu cầu thiết kế.

Trong PLA được IC hóa, không chỉ có các mảng OR - AND trên đây, mà còn có các bộ đảo cho tín hiệu đầu vào, và các cổng 3 trạng thái đệm ở đầu ra. Vậy trên 1 chip, ta có thể cấu trúc bất cứ mạng tổ hợp nào. Nếu thêm vào chip đó một số Flip Flop (sẽ giới thiệu sau) thì ta có thể cấu trúc được các mạch số nói chung (bao gồm mạch dãy). Cũng như ROM được sản xuất ra thành các loại ROM cố định, PROM, EPROM, PLA cũng được sản xuất ra thành các loại PLA cố định, PLA có thể nạp chương trình và PLA có thể viết mới.

Chúng ta có thể dễ ý thấy rằng kết cấu mạch điện mảng cổng trong PLA giống nhau với ma trận nhớ trong ROM. Chúng khác nhau phương thức công tác. Đầu vào PLA là các biến logic, có thể nhiều biến đồng thời tác động. Đầu vào ma trận nhớ trong ROM là tín hiệu giải mã địa chỉ, một lần chỉ tác động vào một dây từ. Giả sử cần thực hiện cùng một hàm logic phức tạp nào đó, thì phần tử nhớ của PLA ít hơn nhiều so với số phần tử nhớ của ROM tương đương. Vì vậy ứng dụng và sản xuất IC PLA ngày càng rộng rãi.

4.9. NGUY HIỂM CHẠY ĐUA TRONG CÁC MẠCH TỔ HỢP

Nguy hiểm chạy đua là hiện tượng trong mạch tổ hợp xuất ra tín hiệu giả, vốn là những xung nhiễu quá độ khi tín hiệu đầu vào chuyển đổi trạng thái. Nếu phụ tải của mạch xét nhảy cảm đối với xung nhiễu như Flip Flop chẳng hạn, thì cần tìm cách trừ bỏ nguy hiểm chạy đua.

4.9.1. Nguyên nhân sinh ra hiện tượng nguy hiểm chạy đua

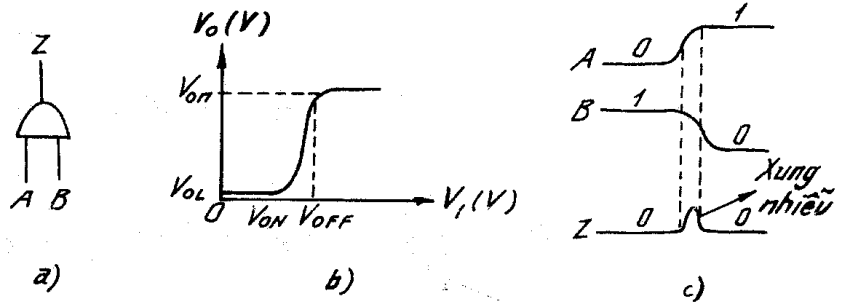
Trong mạch số, một cổng bất kì mà có hai tín hiệu đầu vào đồng thời chuyển đổi trạng thái theo hướng ngược nhau (ví dụ, từ 01 sang 10) thì có thể sinh ra xung nhiễu ở đầu ra. Ta minh họa điều này bằng cổng AND (TTL) hình 4-9-1.

Vì chức năng của cổng AND, $Z = A.B$. Nếu $AB = 01$, hay $AB = 10$ thì đáng lẽ Z phải luôn luôn là 0.

Hình 4-9-1.

Nguy hiểm chạy đua của cổng AND :

- cổng AND (TTL) ;
- Đặc tính truyền đạt điện áp của cổng AND ;
- Xung nhiễu sinh ra do nguy hiểm chạy đua.

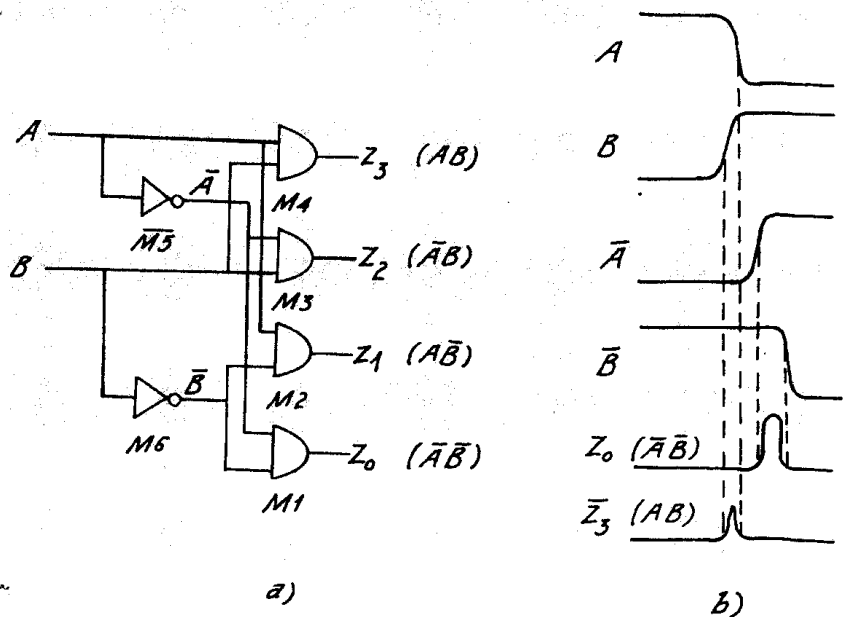


Trong quá trình chuyển đổi từ 01 sang 10 có thể sinh ra xung nhiễu vì :

1- Tín hiệu A, B không thể đột biến, sự chuyển đổi trạng thái đều trải qua thời gian quá độ.

2- Sự chuyển đổi trạng thái của tín hiệu A và B xảy ra có sớm muộn so với nhau (quãng đường truyền tín hiệu khác nhau, trễ truyền đạt của mạch điện không hoàn toàn bằng nhau).

Chẳng hạn, tín hiệu A tăng lên mức khóa cổng V_{OFF} trước khi tín hiệu B giảm xuống đến mức mở cổng V_{ON} , khi đó ở đầu ra Z sẽ sinh ra xung nhiễu dương. Còn trong trường hợp tín hiệu B giảm xuống đến V_{ON} trước khi tín hiệu A tăng đến V_{OFF} thì lại không sinh ra xung nhiễu. Vậy mạch điện có nguy hiểm chạy đua không phải nhất định phải có xung nhiễu đầu ra. Tuy nhiên, ta không thể biết trước chính xác sự sai lệch gây ra sớm muộn nói trên. Vậy ý nghĩa hiện tượng nguy hiểm chạy đua là khả năng sinh ra xung nhiễu.



Hình 4-9-2. Bộ giải mã nhị phân 2 bit :

- Sơ đồ logic ;
- Xung nhiễu do nguy hiểm chạy đua sinh ra.

Hình 4-9-2 là một ví dụ về xung nhiễu sinh ra do nguy hiểm chạy đua. Giả sử tín hiệu đầu vào chuyển đổi trạng thái theo chiều mũi tên trên bảng 4-9-2.

Theo đồ thị thời gian hình 4-9-2b, tương ứng sai lệch thời gian quá độ tín hiệu A và B có thể sinh ra xung nhiễu đầu ra cổng AND M_4 , tương ứng sai lệch thời gian trễ truyền đạt của M_5 và M_6 có thể sinh ra xung nhiễu đầu ra cổng AND M_1 . Đó là những xung nhiễu sinh ra khi BA chuyển từ 01 sang 10 (đánh dấu $\square$ trong bảng 4-9-2)

Bảng 4-9-2. BẢNG CHÂN LÍ MẠCH ĐIỆN
HÌNH 4-9-2

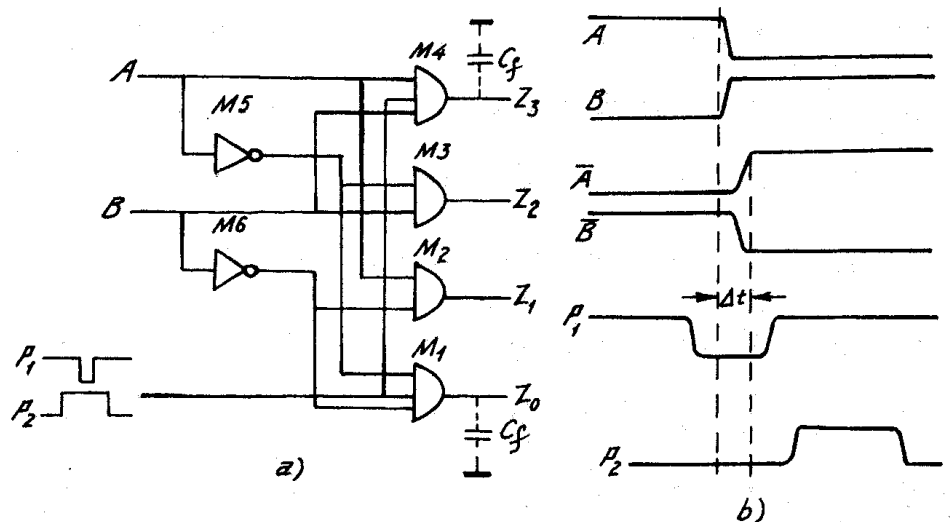
B	A	$\bar{B}$	$\bar{A}$	$\bar{B}\bar{A}$	$\bar{B}A$	$B\bar{A}$	BA
0	0	1	1	1	0	0	0
	↓						
0	1	1	0	0	1	0	0
	↓				$\square$		$\square$
1	0	0	1	0	0	1	0
	↓						
1	1	0	0	0	0	0	1

4.9.2. Phương pháp trừ bỏ nguy hiểm chạy đua

Có nhiều phương pháp để nhận biết một mạch tổ hợp có nguy hiểm chạy đua. Phương pháp trực quan hơn cả là kẻ bảng chân lí cho từng cấp mạch điện xét. Tìm xem cổng nào chịu tác động của tín hiệu đầu vào đồng thời 0 sang 1 và 1 sang 0. Phán đoán khả năng sinh ra xung nhiễu ở đầu ra của toàn mạch xét, tức là có nguy hiểm chạy đua hay không. Nếu phụ tải của mạch xét nhạy cảm với xung nhiễu thì cần tìm cách trừ bỏ nguy hiểm chạy đua. Dưới đây giới thiệu mấy phương pháp thông dụng.

1) Đưa vào xung khóa

Trên hình 4-9-3, xung âm p_1 là xung khóa đưa vào trong thời gian quá độ để khóa cổng M_1 , M_4 . (Như đã trình bày trên, M_1 và M_4 có nguy hiểm chạy đua). Xung p_1 phải đồng bộ với chuyển đổi trạng thái tín hiệu vào và không nhỏ hơn thời gian quá độ Δt .



Hình 4-9-3. Các phương pháp trừ bỏ nguy hiểm chạy đua.

2) Đưa vào xung mở

Trên hình 4-9-3, xung dương p_2 là xung dùng để mở thông mạch, đưa vào sau thời gian quá độ, lúc mạch đạt đến trạng thái ổn định mới, để mở thông M_1 và M_4 . Tín hiệu đầu ra của M_1 và M_4 bây giờ có dạng xung bề rộng bằng xung mở

p_2 . Ví dụ, khi tín hiệu đầu vào $BA = 11$, Z_3 không tức thời chuyển lên mức cao, chỉ khi đã xuất hiện p_2 , Z_3 mới hình thành xung dương.

3) Mặc thêm tụ lọc

Vì xung nhiễu do nguy hiểm chạy đua tạo ra là rất hẹp (hẹp hơn thời gian quá độ Δt) nên có thể mắc thêm một tụ điện lọc (điện dung không lớn) ở đầu ra để trừ bỏ. Đó là C_f trên hình 4-9-3. Đối với mạch TTL, C_f có điện dung vài trăm pF là đủ để suy giảm biên độ xung nhiễu đến mức không đáng kể.

4) Sửa đổi thiết kế logic

Khi nguy hiểm chạy đua do một biến số chuyển đổi trạng thái gây ra, thì có thể dùng sửa đổi thiết kế logic để trừ bỏ. Xét ví dụ sau.

Giả sử hàm logic đã cho là $Z = AB + \bar{A}C$

Sơ đồ logic của hàm này là đường nét liền trên hình 4-9-4.

Khi $B = C = 1$ thì

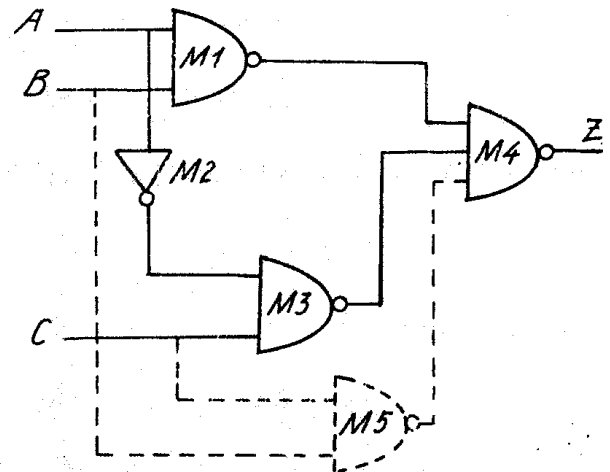
$$Z = AB + \bar{A}C = A.1 + \bar{A}.1$$

$$Z = A + \bar{A}$$

Hàm logic này chứng tỏ xuất hiện nguy hiểm chạy đua khi tín hiệu đầu vào A chuyển đổi trạng thái. Căn cứ công thức 17 chương 3 (3-1-36), ta có :

$$Z = AB + \bar{A}C = AB + \bar{A}C + BC$$

Tương ứng ta thêm cổng M_5 (đường nét đứt) trên sơ đồ hình 4-9-4, khi $B = C = 1$ thì đầu ra M_5 là mức thấp, khóa M_4 , không thể sinh ra xung nhiễu ở đầu ra M_4 nữa.



Hình 4-9-4. Sửa đổi thiết kế logic để trừ bỏ nguy hiểm chạy đua.

Hình 4-9-5 là bảng Karnaugh của hàm logic $Z = AB + \bar{A}C$. Ta có thể nhận biết nguy hiểm chạy đua khi xem xét bảng Karnaugh : Hai số hạng $\bar{A}C$ và AB là liền kề. (ô $m_3 = \bar{A}BC$ liền kề ô $m_7 = ABC$). Ta cũng dựa vào bảng Karnaugh mà tìm cách trừ bỏ nguy hiểm chạy đua = thêm vào hàm logic một số hạng tương ứng hai ô liền kề m_3 và m_7 , số hạng BC (nét đứt trên hình 4-9-5), vậy $Z = AB + \bar{A}C + BC$.

Xét thêm ví dụ dưới đây.

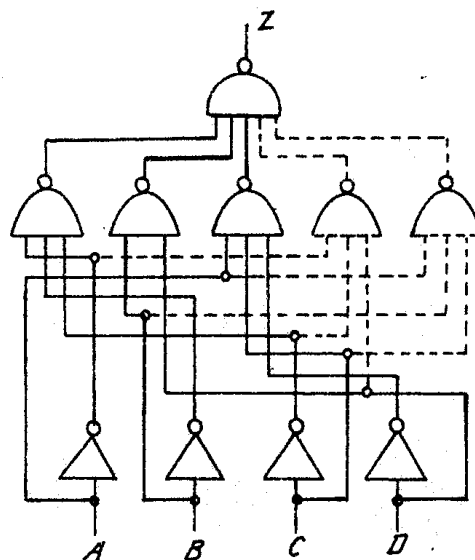
Ví dụ 4-9-1 : xét xem mạch tổ hợp thực hiện hàm số $Z = \bar{A}\bar{B}\bar{C} + BD + ACD$ có nguy hiểm chạy đua khi một biến số chuyển đổi trạng thái. Nếu có thì tìm cách trừ bỏ.

		$\bar{A}C$			
A	BC	00	01	11	10
	0	0	1	1	0
1	0	0	0	1	1
			BC	AB	

Hình 4-9-5. Bảng Karnaugh của hàm logic Z.

		$\overline{A}\overline{C}D$			
CD \ AB	00	01	11	10	
00	1	1	0	0	
01	0	1	1	0	
11	0	1	1	1	
10	0	0	0	1	

Hình 4-9-6 : Bảng Karnaugh của hàm logic.



Hình 4-9-7. Sơ đồ logic.

Bài giải :

Vẽ bảng Karnaugh của hàm logic

$$Z = \bar{A}\bar{B}\bar{C} + BD + A\bar{C}\bar{D}$$

như hình 4-9-6.

Hai số hạng $\bar{A}\bar{B}\bar{C}$ và BD liên kế, hai số hạng $A\bar{C}\bar{D}$ và BD cũng liên kế. Vậy có nguy hiểm chạy đua. (Khi $\bar{A} = \bar{C} = D = 1$ thì $Z = \bar{B} + B$, khi $A = B = C$ thì $Z = \bar{D} + D$)

Cách trừ bỏ nguy hiểm chạy đua là thêm vào hai số hạng tương ứng các ô liên kế (nét đứt trên hình 4-9-6) $\bar{A}\bar{C}\bar{D}$ và ABC . Hình 4-9-7 là sơ đồ logic của hàm :

$$Z = \bar{A}\bar{B}\bar{C} + BD + A\bar{C}\bar{D} + \bar{A}\bar{C}\bar{D} + ABC$$

sơ đồ tuy phức tạp thêm, nhưng đã trừ bỏ nguy hiểm chạy đua.

Chúng ta hãy so sánh 4 phương pháp trừ bỏ nguy hiểm chạy đua đã trình bày trên đây. Hai phương pháp đầu tương đối đơn giản, không làm tăng số linh kiện. Nhưng chúng bị hạn chế ở chỗ phải tìm được xung khóa hay xung mở. Những xung này có yêu cầu chính xác cao về bề rộng và thời gian. Mặc thêm tụ lọc có ưu điểm đơn giản dễ làm, nhưng làm xấu dạng sóng đầu ra, điều đó là không thể chấp nhận trong một số tình huống nào đó. Phương pháp sửa đổi thiết kế logic khá là lí tưởng khi các IC có sẵn các cổng còn chưa dùng đến trong mạch.

TÓM TẮT

Trong chương này, chúng ta đã giới thiệu mạch logic tổ hợp. Mạch tổ hợp do các phần tử logic cơ bản cấu trúc nên. Đặc điểm của mạch tổ hợp là tín hiệu đầu ra ở thời điểm bất kì nào cũng chỉ phụ thuộc vào tín hiệu đầu vào ở thời điểm đó mà không liên quan gì đến trạng thái vốn có của mạch.

Mạch tổ hợp là vô cùng nhiều, ta không thể xem xét hết trong trình bày trên đây. Trọng tâm của chúng ta là nắm vững đặc điểm mạch tổ hợp và phương pháp chung thiết kế, phân tích mạch tổ hợp. Vì vậy, chúng ta đã giới thiệu một cách chọn lọc bộ mã hóa, bộ giải mã, bộ so sánh, bộ cộng đủ, bộ chọn kênh, ROM, PLA...

trong quá trình đó, ta đã xem xét phương pháp phân tích và phương pháp thiết kế mạch tổ hợp.

Khi phân tích mạch tổ hợp đã cho, ta có thể viết ra hàm logic đầu ra cho từng cấp của sơ đồ, rồi tiến hành tối thiểu hóa hàm logic đó để biểu thị rõ ràng quan hệ logic giữa đầu ra với đầu vào. Các bước thiết kế mạch tổ hợp đã được giới thiệu trong phần đầu. Cần lưu ý thêm rằng phải xem xét nguy hiểm chạy đua khi phụ tải nhạy cảm với xung nhiễu. Nếu có, phải tìm cách trừ bỏ. (Nếu phụ tải chỉ tiếp thu mức điện một chiều đầu ra thì không cần kiểm tra nguy hiểm chạy đua).

Việc tối thiểu hóa hàm logic là rất quan trọng. Vì việc này làm cho mạch logic đơn giản, kinh tế. Chúng ta mong muốn mạch điện càng ít linh kiện càng tốt, số đầu vào của mạch cổng cũng không thể quá nhiều.

BÀI TẬP

4-1. Đặc điểm mạch tổ hợp về mặt chức năng logic và cấu trúc mạch.

4-2. Giới thiệu phương pháp phân tích mạch tổ hợp.

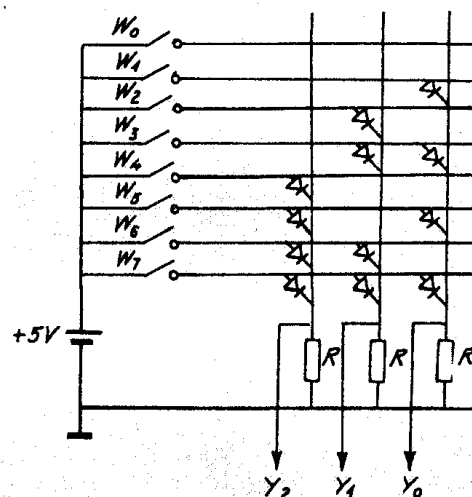
4-3. Nhiệm vụ thiết kế logic mạch tổ hợp là gì? Thuyết minh các bước thiết kế.

4-4. Phân tích nguyên lý công tác mạch bộ mã hóa dưới đây

a - Bộ mã hóa hệ đếm nào.

b - Khi chuyển mạch W_3 nối, trạng thái đầu ra Y_2, Y_1, Y_0 như thế nào.

c - Khi chuyển mạch W_7 nối, trạng thái đầu ra Y_2, Y_1, Y_0 như thế nào.



4-5. Hãy thiết kế mạch điện kiểm tra lẻ có 3 đầu vào, 1 đầu ra. Chức năng logic của mạch như sau: nếu các tín hiệu đầu vào có số lẻ ở mức cao thì đầu ra có mức cao, ngược lại đầu ra có mức thấp.

4-6. Thế nào là mã hóa và bộ mã hóa. Tại sao có thể xem tín hiệu đầu vào bộ mã hóa là các biến không cùng nhau.

4-7. Hãy thiết kế bộ mã hóa vào là số thập phân, đầu ra là mã vòng dư 3. (Bảng 4-2-5)

4-8. Hãy thiết kế mạch kiểm tra chẵn lẻ của mã nhị phân 8 bit. Nếu số bit trong từ mã là chẵn thì đầu ra là 1. Ngược lại, là 0.

4-9. Giải mã và bộ giải mã là gì ? Tại sao những trạng thái đầu vào nào không xuất hiện có thể giúp xử lý tối thiểu hóa.

4-10. Hãy thiết kế bộ giải mã nhị phân 4 bit.

4-11. Hãy thiết kế mạch điện lấy biểu quyết đa số 3 đầu vào, 1 đầu ra. Chức năng của mạch là : tín hiệu đầu ra có mức theo đa số mức tín hiệu đầu vào. Xem bảng chân lí dưới đây :

Đầu vào			Đầu ra
A	B	C	
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

4-12. Hãy thiết kế mạch tổ hợp thỏa mãn bảng chân lí sau :

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

4-13. Hãy thiết kế mạch tổ hợp chuyển từ mã nhị phân 4 bit sang mã Gray.

4-14. Hãy thiết kế mạch tổ hợp chuyển từ mã vòng dư 3 sang mã BCD 8421.

4-15. Hãy thiết kế mạch tổ hợp, đầu vào DCBA là số nhị phân 4 bit, đầu ra là Z. Khi DCBA chia hết cho 3 thì $Z = 1$, nếu khác thì $Z = 0$.

4-16. Trong bộ giải mã kích hiển thị bán dẫn 7 thanh hình 4-3-13, khi đầu vào DCBA xuất hiện 1010 ÷ 1111 thì đầu ra bộ giải mã xuất hiện trạng thái gì. Hiển thị 7 thanh tương ứng sẽ hiển thị số gì ?

4-17. Bộ so sánh là gì. Hãy kê bảng chân lí so sánh $A = a_1a_0$ và $B = b_1b_0$. Đầu ra là G, L, M.

4-18. Bộ cộng nửa, bộ cộng đủ là gì. Hãy vẽ các bộ cộng đó cấu trúc từ cổng NAND.

4-19. Hãy thiết kế bộ trừ, đầu vào là số trừ, số bị trừ và số nhớ chuyển vị từ bit thấp lên. Đầu ra là hiệu số và số nhớ chuyển lên bit cao hơn.

4-20. Hãy thiết kế bộ nhân, đầu vào là 2 số nhị phân 2 bit (a_1a_0, b_1b_0), Đầu ra là tích số (số nhị phân 4 bit).

4-21. Bộ chọn kênh là gì ? Chức năng cơ bản của nó là gì. Dưới đây là bảng chức năng bộ chọn kênh :

Hãy viết hàm logic

W- Hãy vẽ sơ đồ logic thực hiện. (Dùng bộ đảo, và cổng NORAND)

$D_0, D_1, \dots, D_7$ là đầu vào dữ liệu.

Đầu vào chọn			Đầu ra
C	B	A	W
L	L	L	$\overline{D_0}$
L	L	H	$\overline{D_1}$
L	H	L	$\overline{D_2}$
L	H	H	$\overline{D_3}$
H	L	L	$\overline{D_4}$
H	L	H	$\overline{D_5}$
H	H	L	$\overline{D_6}$
H	H	H	$\overline{D_7}$

4-22. Dưới đây là bảng chức năng của chuyển mạch - chọn kênh đầu ra 3 trạng thái :

Ghi chú :
Z là trạng thái
trở kháng cao

Đầu vào chọn		Đầu vào dữ liệu				Điều khiển ra	Đầu ra
B	A	C_0	C_1	C_2	C_3	G	Y
x	x	x	x	x	x	H	Z
L	L	L	x	x	x	L	L
L	L	H	x	x	x	L	H
L	H	x	L	x	x	L	L
L	H	x	H	x	x	L	H
H	L	x	x	L	x	L	L
H	L	x	x	H	x	L	H
H	H	x	x	x	L	L	L
H	H	x	x	x	H	L	H

4-23. ROM là gì. Có những loại ROM nào. Đặc điểm từng loại.

4-24. Hãy viết hàm chuẩn tắc tuyến tối thiểu hóa của đầu ra D_3, D_2, D_1, D_0 của ROM diốt hình 4-7-1. Hãy vẽ sơ đồ logic thực hiện bằng cổng AND và cổng OR.

4-25. Hãy thiết kế bộ chuyển mã dùng ROM ma trận phần tử nhớ 16×4 , Đầu vào là mã nhị phân 4 bit $B_3B_2B_1B_0$, Đầu ra là mã Gray 4 bit $G_3G_2G_1G_0$.

4-26. PLA là gì ? So với ROM thì có gì khác biệt.

4-27. Hãy dùng PLA thiết kế bộ chuyển mã ở bài tập 4-25. Mạng cổng AND có 8 đầu vào, 7 đầu ra, mạng cổng OR có 4 đầu ra.

4-28. Nguy hiểm chạy đua là gì ? Làm thế nào phán đoán nguy hiểm chạy đua trong mạch tổ hợp.

4-29. Cho bảng chân lí sau, hãy thiết kế bộ giải mã tương ứng

Hãy xét xem khả năng nguy hiểm chạy đua của mạch (giả sử thứ tự biến đổi tín hiệu đầu vào theo như bảng)

Dấu vào				Dấu ra							
D	C	B	A	0	1	2	3	4	5	6	7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0	0
1	1	1	0	0	0	0	1	0	0	0	0
1	1	1	1	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	1

4-30. Trong hình vẽ dưới đây, nếu tín hiệu đầu vào chuyển đổi trạng thái theo hướng ngược nhau, thì tín hiệu đầu ra có chắc tạo ra xung nhiễu không. Điều kiện nào thì sinh ra xung nhiễu ? Điều kiện nào thì không ?

