

Chương 5

MẠCH FLIP - FLOP

5.1. MỘT SỐ CẤU TRÚC MẠCH THƯỜNG GẶP CỦA FLIP - FLOP

Tín hiệu số nhị phân là tín hiệu cơ bản trong mạch số FF là phân tử cơ bản lưu trữ (nhớ) tín hiệu nhị phân. Vì một bit tín hiệu nhị phân có thể nhận một trong hai giá trị 0, 1 nên FF tối thiểu cần có chức năng sau :

- 1 - Có hai trạng thái ổn định, trạng thái 0 và trạng thái 1.
- 2 - Có thể tiếp thu, lưu trữ và đưa ra tín hiệu vào.

Dương nhiên, thực tiễn còn đề ra các yêu cầu khác. Tiết này trình bày vấn đề : mạch điện như thế nào đảm bảo các chức năng nói trên.

5.1.1. Flip flop RS cơ bản

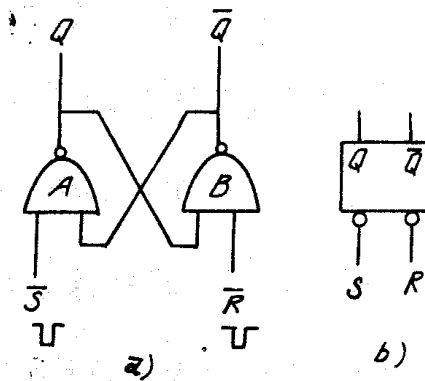
1) Cấu trúc mạch và kí hiệu

Hình 5-1-1 trình bày sơ đồ logic và kí hiệu logic của Flip Flop RS cơ bản. Mạch điện gồm hai cổng NAND nối ghép chéo. $\bar{R}$, $\bar{S}$ là các tín hiệu đầu vào, dấu gạch ngang trên kí tự biểu thị tín hiệu hoạt động ở mức thấp (một khuyên tròn trong kí hiệu logic biểu thị điều đó). Nói cách khác, đầu vào ở mức thấp biểu thị có tín hiệu, đầu vào ở mức cao biểu thị không có tín hiệu. Q và $\bar{Q}$ biểu thị trạng thái của FF, đồng thời biểu thị đầu ra.

2) Nguyên lí làm việc

a) Hai trạng thái ổn định

Khi không có tín hiệu, tức là $\bar{R} = \bar{S} = 1$, mạch có hai trạng thái ổn định - trạng thái 0 và trạng thái 1. Ở đây, chúng ta gọi $Q = 0$, $\bar{Q} = 1$ là trạng thái 0, gọi $Q = 1$, $\bar{Q} = 0$ là trạng thái 1. Ở trạng thái 0, vì $Q = 0$ hồi tiếp đến đầu vào cổng B làm B ngắt, duy trì $\bar{Q} = 1$. Mà $Q = 1$ lại hồi tiếp đến đầu vào cổng A, cùng với $\bar{S} = 1$ làm cho cổng A thông, duy trì $Q = 0$. Do đó, mạch hoàn toàn tự



Hình 5-1-1. Flip Fop RS cơ bản :

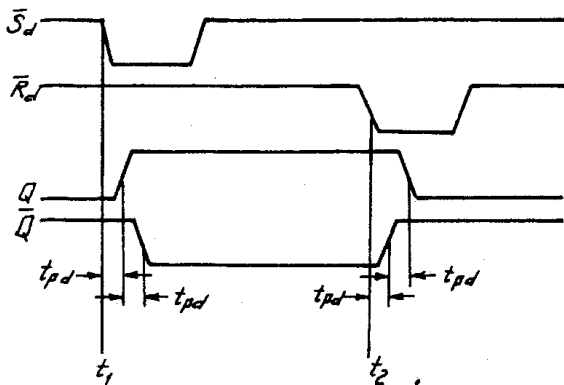
a) Sơ đồ logic ; b) Kí hiệu logic.

động duy trì trạng thái 0. Tương tự, ở trạng thái 1, $Q = 1$ và $\bar{R} = 1$ làm cho cổng B thông, duy trì $\bar{Q} = 0$. Mà $\bar{Q} = 0$ lại làm cho cổng A ngắt, duy trì $Q = 1$. Vậy trạng thái 1 cũng được tự giữ.

b) *Quá trình tiếp thu tín hiệu*

Giả sử FF ở trạng thái 0, chúng ta đưa một xung âm vào đầu $\bar{S}$. Mạch điện sẽ chuyển biến nhanh sang trạng thái 1. Vì xung âm ở đầu vào $\bar{S}$, sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} thì cổng A từ thông sang ngắt, đầu ra Q từ 0 sang 1.

Lại sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} nữa, thì cổng B từ ngắt sang thông, đầu ra $\bar{Q}$ từ 1 sang 0. Vậy sau thời gian $2t_{pd}$ FF đã hoàn thành chuyển biến trạng thái từ 0 sang 1. Lúc này, dù cho mất tín hiệu đầu vào, vì $\bar{Q} = 0$ đã hồi tiếp dẫn đến đầu vào cổng A, FF có thể tự động duy trì trạng thái 1, mà không trở lại trạng thái 0. Vì thế, xung âm đầu vào được gọi là xung kích.



Hình 5-1-1.

Dạng sóng của Flip Flop RS cơ bản.

Giả sử FF ở trạng thái 1, đưa xung âm vào đầu $\bar{R}$. Quá trình tương tự sẽ xảy ra, sau thời gian $2t_{pd}$, FF chuyển từ trạng thái 1 sang trạng thái 0. (xem dạng sóng hình 5-1-2)

Vì tín hiệu ở đầu vào $\bar{S}$ có thể và chỉ có thể thiết lập FF ở trạng thái 1, tín hiệu ở đầu vào $\bar{R}$ có thể và chỉ có thể xóa FF về trạng thái 0, nên thường gọi $\bar{S}$ là đầu vào đặt (set) và $\bar{R}$ là đầu vào xóa (Reset).

Nếu xem xét quá trình chuyển biến trạng thái tỉ mỉ hơn, chúng ta sẽ thấy rằng : vì hai mạch NAND nối ghép chéo nên không những FF có thể tự giữ khi không có tín hiệu, mà còn xuất hiện quá trình phản hồi dương trong mạch FF mỗi khi có xung kích tạo điều kiện để FF nhanh chóng hoàn thành chuyển trạng thái. Ví dụ, trong quá trình thiết lập 1, hệ $\bar{S}$ giảm đến mức mở cổng, mức đầu Q sẽ tăng lên, hồi tiếp đến đầu vào cổng B, làm cho cổng B chuyển từ ngắt sang thông, $\bar{Q}$ giảm mức, hồi tiếp đến đầu vào cổng A, lại càng làm cho cổng A ngắt sâu hơn, Q tăng mức hơn nữa, kết quả càng làm cho $\bar{Q}$ giảm mức thêm... Cứ vậy, sóng đồn gió đập như bão táp, như thác lũ, làm cho cổng A ngắt rất nhanh, cổng B thông rất nhanh, FF chuyển trạng thái từ 0 sang 1 trong thời gian cực ngắn. Thông qua đầu Reset $\bar{R}$, cũng có quá trình phản hồi dương tương tự. Chính vì thế, dù cho sườn trước xung kích (xung âm) không dốc lắm, thì ở đầu ra của FF ta vẫn nhận được các xung có sườn rất dốc.

c) *Không cho phép đồng thời đưa tín hiệu vào cả $\bar{R}$ và $\bar{S}$.* Khi dùng loại FF này làm phần tử nhớ, không được phép đồng thời đưa tín hiệu kích vào cả hai đầu vào $\bar{R}$, $\bar{S}$, tức là trạng thái $\bar{R} = \bar{S} = 0$ bị cấm. Do đặc tính mạch cổng NAND, khi $\bar{R} = \bar{S} = 0$ thì Q , $\bar{Q}$ đồng thời bằng 1, phần tử nhớ mà không phải là trạng thái 0, cũng không phải là trạng thái 1 như thế thì đâu còn là phần tử nhớ nữa ! Mặt khác, khi $\bar{R}$, $\bar{S}$ đồng thời từ 0 về 1 (bỏ tín hiệu) thì trạng thái của FF là bất định, có thể là 0, cũng có thể là 1. Vì rằng những nhân tố quyết định trạng thái FF lúc này là không có cách nào biết trước chính xác được, chẳng hạn sự khác nhau rất

nhỏ đặc tính động của hai cổng NAND hay tình huống nhiều ở thời điểm xét. Dương nhiên, nếu hai đầu vào $\bar{R}$, $\bar{S}$ là không đồng thời, trạng thái FF có thể xác định sau khi bỏ tín hiệu.

d) *Bảng chức năng và phương trình đặc trưng*

Ta dùng kí hiệu Q^n biểu thị trạng thái FF trước khi tiếp thu tín hiệu, gọi là trạng thái hiện tại, dùng kí hiệu Q^{n+1} biểu thị trạng thái FF sau khi tiếp thu tín hiệu, gọi là trạng thái tiếp theo. Quan hệ logic giữa Q^{n+1} và Q^n , R, S biểu thị bằng bảng chức năng (bảng chân lí) mô tả sự chuyển đổi trạng thái xảy ra như bảng 5-1-1 dưới đây

Bảng 5-1-1 : BẢNG CHỨC NĂNG CỦA FLIP FLOP RS CƠ BẢN

Q^n	R	S	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	×
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	×

$Q^n \backslash \bar{R}\bar{S}$	00	01	11	10
0	0	1	×	0
1	1	1	×	0

Hình 5-1-3.

Bảng Karnaugh của Q^{n+1} .

Trong bảng, hai trạng thái $Q^n \bar{R}\bar{S} = 011, 111$ là bị cấm, tương ứng đánh dấu chéo (×) ở cột Q^{n+1} , trong khi tối thiểu hóa có thể sử dụng.

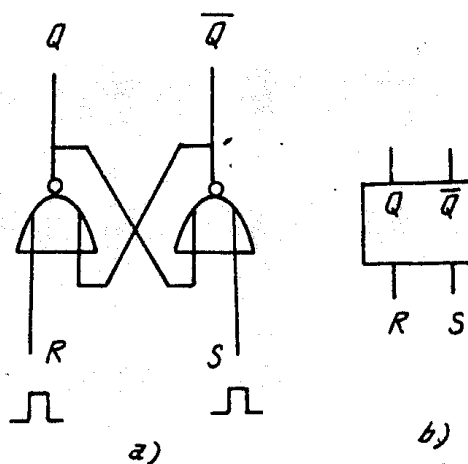
Chúng ta có thể xem Q^n , R, S là các biến logic, Q^{n+1} là hàm logic của các biến trên. Từ bảng 5-1-1 ta vẽ bảng Karnaugh của Q^{n+1} như hình 5-1-3. Căn cứ vào bảng Karnaugh ta được phương trình đặc trưng sau của FF :

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \text{ (ràng buộc từ trạng thái cấm)} \end{cases} \quad (5-1-1)$$

Bảng chức năng và phương trình đặc trưng là phương pháp biểu diễn số học quan hệ logic giữa trạng thái hiện tại Q^n , các tín hiệu đầu vào R, S với trạng thái tiếp theo của Flip Flop RS cơ bản. Chúng miêu tả đầy đủ chức năng logic của nó.

3) Flip Flop RS cơ bản dùng cổng NOR

Xem hình 5-1-4, so sánh với hình 5-1-1, ta thấy có 2 điểm khác biệt : vị trí R, S đảo và mức tích cực của tín hiệu cũng đảo (không có dấu gạch ngang). Các đầu vào R, S ở mức cao biểu thị có tín hiệu, ở mức thấp biểu



Hình 5-1-4. Flip Flop RS cơ bản dùng cổng NOR.

a) Sơ đồ logic

b) Kí hiệu logic

thì không có tín hiệu. Căn cứ vào tính chất cổng NOR, chúng ta có thể tìm hiểu nguyên lý công tác và viết ra bảng chức năng, phương trình đặc trưng của mạch này.

Khi $R = S = 1$ thì $Q, \bar{Q}$ đồng thời bằng 0, đó là trạng thái cấm.

4) Đặc điểm cơ bản

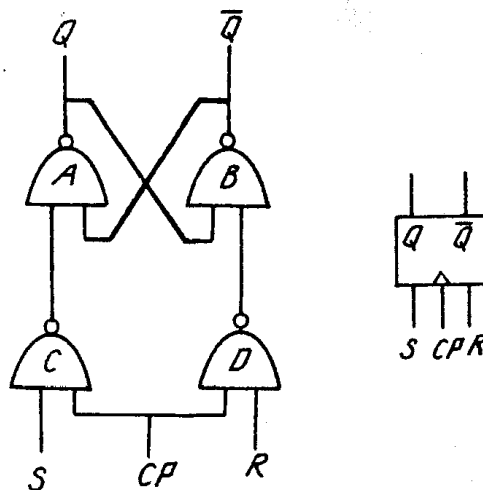
Ưu điểm : mạch đơn giản, có thể nhớ 1 bit, là cơ sở để cấu trúc các FF hoàn hảo hơn.

Nhược điểm : tín hiệu trực tiếp điều khiển trạng thái đầu ra, ứng dụng bị hạn chế, tín hiệu vào ràng buộc lẫn nhau (không ở trạng thái cấm).

5.1.2. Flip flop RS đồng bộ

1) Cấu trúc mạch và kí hiệu

Để khắc phục nhược điểm của loại Flip Flop RS cơ bản là trực tiếp điều khiển, người ta thêm vào hai cổng điều khiển và một tín hiệu điều khiển, nên tín hiệu đầu vào được truyền qua cổng điều khiển, xem hình 5-1-5. Các cổng A, B làm thành Flip Flop RS cơ bản, các cổng C, D là cổng điều khiển, CP là tín hiệu điều khiển, thường là xung đồng hồ hoặc xung mở chọn mạch. Trong kí hiệu logic, dấu CP có dấu $\wedge$, tín hiệu này tích cực với sườn dương của xung.



Hình 5-1-5. Flip Flop RS đồng bộ :
a) Sơ đồ logic ; b) Kí hiệu logic.

2) Nguyên lý làm việc

Khi $CP = 0$, các cổng C, D bị ngắt, FF bị cấm, duy trì trạng thái cũ. Khi $CP = 1$, các cổng C, D thông thì FF sẵn sàng (tiếp thu tín hiệu), nó tiếp thu tín hiệu đầu vào R, S. Dễ dàng thấy rằng tình huống công tác của mạch lúc này giống như Flip Flop RS cơ bản. Nếu $R = 0 ; S = 1$, đầu ra cổng C ở mức thấp, FF lập ở trạng thái 1. Ngược lại, nếu $R = 1 ; S = 0$, đầu ra cổng D ở mức thấp, FF bị xóa về trạng thái 0. Nếu $R = S = 0$ thì các cổng C, D đều đưa ra mức cao, FF sẽ duy trì trạng thái cũ. Nếu $R = S = 1$ thì các cổng C, D đều đưa ra mức thấp, dẫn đến Q và $\bar{Q}$ đều là mức cao, đó là trạng thái cấm. Có thể thấy rằng bảng chức năng và phương trình đặc trưng biểu thị quan hệ logic giữa Q^{n+1} với Q^n, R, S không khác gì của Flip Flop RS cơ bản, chẳng qua chúng chỉ đúng trong điều kiện $CP = 1$. Tức là các quan hệ logic ở trong bảng 5-1-1 đối với Flip Flop RS đồng bộ chỉ đúng khi nào xuất hiện xung đồng hồ ($CP = 1$)

3) Mạch chốt D

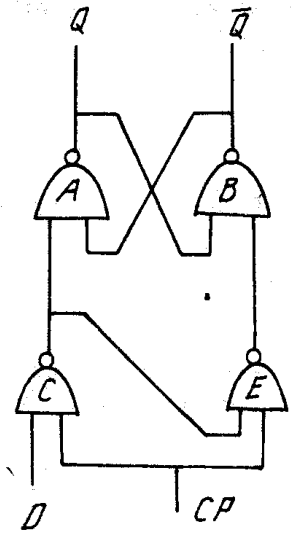
Hình 5-1-6 là sơ đồ logic mạch chốt D, nó được cấu tạo trên cơ sở mạch Flip Flop RS đồng bộ nhằm giải quyết vấn đề ràng buộc lẫn nhau của các tín hiệu đầu

vào R, S. Đầu ra cổng C nối đến các đầu vào cổng A, E. Khi CP = 0, cổng C, E ngắt nên Flip Flop duy trì trạng thái cũ. Khi CP = 1, nếu D = 0 thì đầu ra C ở mức cao, đầu ra E ở mức thấp, Flip Flop ở trạng thái 0 ; nếu D = 1 thì đầu ra C ở mức thấp, đầu ra E ở mức cao, Flip Flop ở trạng thái 1. Vậy tức là D ở mức nào thì Q ở đúng mức ấy. Phương trình đặc trưng của mạch chốt Flip Flop D là :

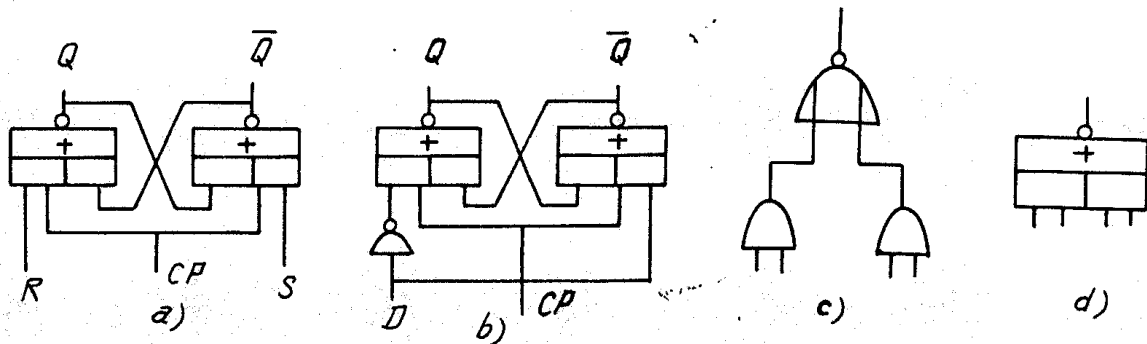
$$Q^{n+1} = D \text{ với điều kiện } CP = 1 \quad (5-1-2)$$

4) Dùng cổng NORAND để cấu trúc Flip Flop RS đồng bộ và mạch chốt D. (Cổng NORAND xem mục 3-3-4-3)

Với điều kiện tiên quyết CP = 1, mạch trên hình 5-1-7a có bảng chức năng trùng hợp với bảng 5-1-1 và phương trình đặc trưng trùng hợp với phương trình 5-1-1, mạch trên hình 5-1-7b có phương trình đặc trưng trùng hợp với phương trình 5-1-2.



Hình 5-1-6. Mạch Chốt D.



Hình 5-1-7. Flip Flop cấu trúc từ NORAND :

a) Flip Flop RS đồng bộ ; b) Mạch chốt D ; c) Cổng NORAND ; d) Kí hiệu rút gọn của NORAND.

5) Đặc điểm cơ bản của Flip Flop RS đồng bộ

Ưu điểm : điều khiển chọn mở mạch. Khi có xung đồng hồ CP = 1 thì Flip Flop tiếp thu tín hiệu vào, còn nếu CP = 0 Flip Flop bị cấm.

Nhược điểm : trong thời gian CP = 1, tín hiệu vào vẫn trực tiếp điều khiển trạng thái đầu ra của FF, có mối ràng buộc R và S để tránh trạng thái cấm, tuy nhiên cấu trúc nối mạch của mạch chốt D giải quyết điều này.

5.1.3. Flip Flop RS master slave

Mạch này giải quyết triệt để vấn đề trực tiếp điều khiển, đó là nhược điểm của các loại FF trên.

1) Cấu trúc mạch và kí hiệu

Trên hình 5-1-8 có hai Flip Flop RS đồng bộ nối ghép dây chuyển với nhau, một là FF master, một là FF slave, xung đồng hồ cung cấp cho chúng là đảo nhau (qua mạch đảo I).

2) Nguyên lí làm việc

a) Khi $CP = 0$

Cổng G, H ngắt nên FF master ngắt. $\overline{CP} = 1$, cổng C, D thông nên FF slave sẵn sàng, nó tiếp thu tín hiệu đầu ra master, do đó $Q = Q_m$, $\overline{Q} = \overline{Q}_m$.

b) Sau đột biến sườn dương CP

$CP = 1$ master thông qua các cổng G, H tiếp nhận tín hiệu đầu vào. Vậy :

$$\begin{cases} Q_m^{n+1} = S + \overline{R}Q_m^n \\ RS = 0 \end{cases} \text{ với điều kiện } CP = 1$$

$\overline{CP} = 0$ slave bị ngắt, đầu ra, Q , $\overline{Q}$ duy trì trạng thái cũ.

c) Khi sườn âm xung đồng hồ CP

CP đột biến xuống 0, master bị ngắt. CP đột biến lên 1, slave tiếp nhận tín hiệu đã được master ghi nhớ từ thời gian $CP = 1$, nghĩa là slave chuyển đổi trạng thái. Vậy :

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases} \quad (5-1-3)$$

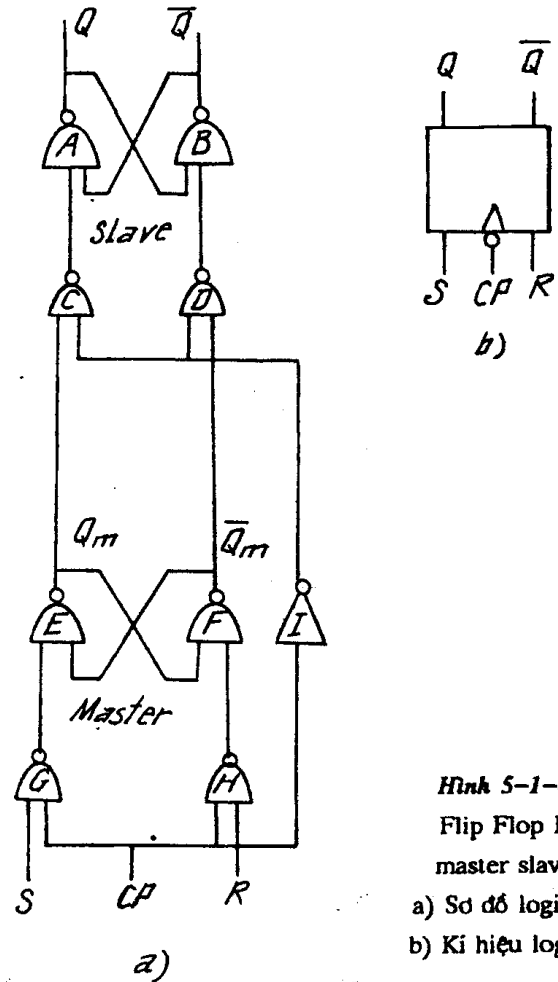
với điều kiện đã xuất hiện sườn âm xung đồng hồ CP.

Flip Flop RS master slave tuy rằng để master tiếp nhận tín hiệu đầu vào trong khoảng thời gian $CP = 1$, nhưng đầu ra lúc đó vẫn không chuyển đổi trạng thái, chỉ khi đã xuất hiện sườn âm xung đồng hồ CP thì đầu ra mới chuyển trạng thái. Người ta gọi sự kiện này là kích bằng sườn âm. FF có trạng thái đầu ra không chịu ảnh hưởng trực tiếp của các tín hiệu đầu vào R, S bất kì lúc nào. Vậy vấn đề trực tiếp điều khiển đã được giải quyết. Trên hình 5-1-8b đầu vào CP có dấu ô biểu thị rằng tính tích cực của tín hiệu CP là sườn âm của nó.

3) Đặc điểm cơ bản

Ưu điểm : cấu trúc điều khiển master slave đã giải quyết vấn đề trực tiếp điều khiển, trong khi $CP = 1$ tiếp thu tín hiệu, sườn âm của CP kích chuyển trạng thái đầu ra.

Nhược điểm : vẫn còn ràng buộc giữa R và S khi $CP = 1$



Hình 5-1-8.
Flip Flop RS
master slave :
a) Sơ đồ logic ;
b) Kí hiệu logic.

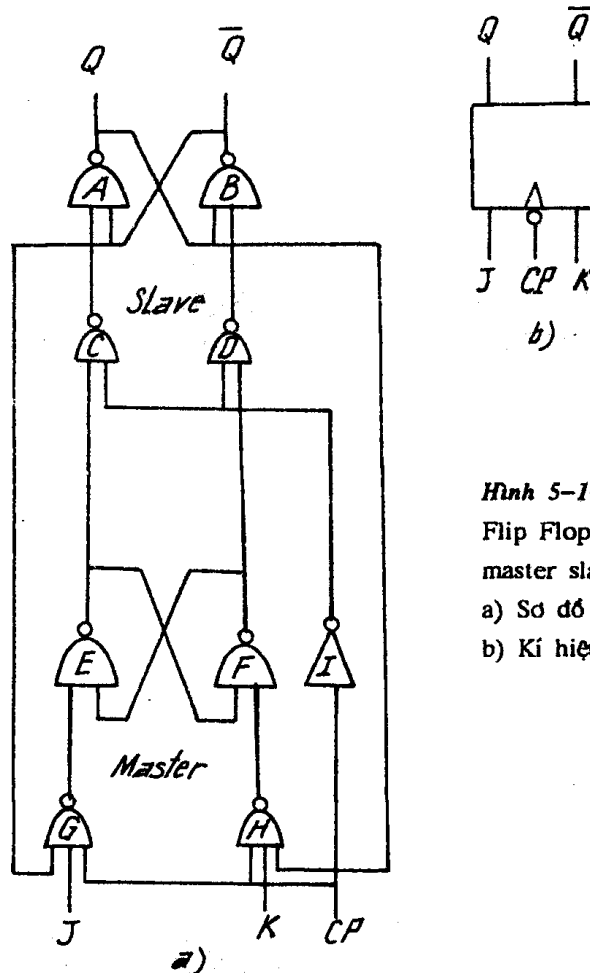
5.1.4. Flip Flop JK master slave

1) Cấu trúc mạch và kí hiệu

Loại Flip Flop RS master slave nói ở trên vẫn còn ràng buộc R và S, nguyên nhân chính là khi $R = S = 1$ đầu ra các cổng G, H đều ở mức thấp, dẫn đến tình huống không mong muốn là $Q_m = 1$ và $\bar{Q}_m = 1$. Cần chú ý một điều sau :

Xét mạch Flip Flop RS master slave khi $CP = 1$, Q và $\bar{Q}$ không đổi trạng thái và là đảo của nhau. Chỉ cần đem mức các đầu ra Q và $\bar{Q}$ đưa đến đầu vào của G, H thì có thể khắc phục tình trạng cả Q_m và $\bar{Q}_m$ đều bằng 1, giải quyết vấn đề ràng buộc giữa tín hiệu đầu vào.

Để phân biệt với Flip Flop RS master slave, mạch cải tiến không dùng tên R, S nữa, mà lấy tên mới là J, K cho các đầu vào, và tên của mạch cải tiến là Flip Flop JK master slave, gọi tắt là Flip Flop JK (hình 5-1-9).



Hình 5-1-9.

Flip Flop JK master slave :

- a) Sơ đồ logic ;
b) Kí hiệu logic.

2) Nguyên lí làm việc

Theo sự trình bày trên đây về sự cải tiến của Flip Flop JK, ta thấy nguyên lí công tác của nó giống như của Flip Flop RS master slave, chỉ khác bởi sự tương đương sau của các tín hiệu đầu vào :

$$S = J\bar{Q}^n \quad (5-1-4)$$

$$R = KQ^n \quad (5-1-5)$$

Áp dụng công thức (5-1-3), ta có :

$$Q^{n+1} = S + \bar{R}Q^n = J\bar{Q}^n + \bar{K}Q^nQ^n = J\bar{Q}^n + \bar{K}Q^n \quad (5-1-6)$$

Với điều kiện đã xuất hiện sườn âm CP

Công thức (5-1-6) là phương trình đặc trưng của Flip Flop JK nó phản ánh quan hệ logic giữa Q^{n+1} với Q^n , J, K. Nhờ $\bar{Q}^n$ và Q^n phản hồi về cổng điều khiển G, H mà J và K không còn ràng buộc lẫn nhau.

3) Tác dụng các đầu vào dị bộ $\bar{R}_d, \bar{S}_d$

(dị bộ : Asynchronous)

a) Các đầu vào đồng bộ.

Bất kì lúc nào thì các đầu vào J, K chỉ tác động khi có sự điều khiển đồng bộ của xung đồng hồ CP ; vì vậy J, K là đầu vào đồng bộ. (Các đầu vào R, S của Flip Flop RS master slave đồng bộ cũng là các đầu vào đồng bộ).

b) Các đầu vào dị bộ

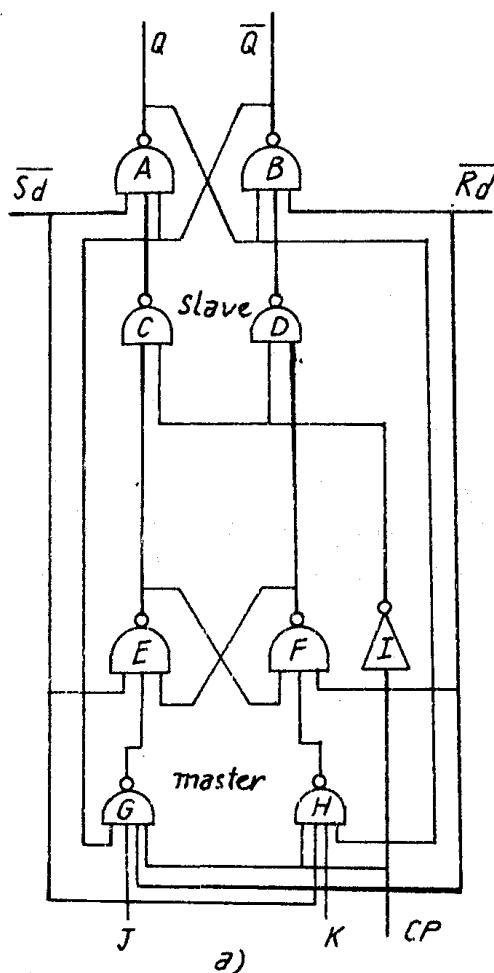
Để phân trình bày trên đơn giản, chưa vẽ các đầu vào dị bộ $\bar{R}_d, \bar{S}_d$ trên hình 5-1-9a. Có thể biết vị trí các đầu vào dị bộ này trên hình 5-1-10. Tác dụng của các đầu vào $\bar{R}_d, \bar{S}_d$ không chịu điều khiển đồng bộ của xung đồng hồ CP, vì vậy $\bar{R}_d, \bar{S}_d$ là các đầu vào dị bộ.

Như trên hình 5-1-10a chỉ rõ, $\bar{R}_d$ nối đến đầu vào B, F, G. Do đó, xung âm đầu vào $\bar{R}_d$ không những xóa cả master và slave mà còn ngắt cổng G, trong thời gian CP = 1 không cho phép J = 1 thiết lập master ở trạng thái 1, điều đó bảo đảm trạng thái 0. Tương tự $\bar{S}_d$ nối đến đầu vào A, E, H. Xung âm đầu vào $\bar{S}_d$ bảo đảm trạng thái 1. Trên kí hiệu logic (hình 5-1-10b), khuyên tròn ở đầu vào $\bar{S}_d, \bar{R}_d$ biểu thị tính tích cực của chúng là mức thấp.

4) Vấn đề một lần chuyển

Trong thời gian CP = 1 thì master chỉ chuyển đổi trạng thái một lần, hiện tượng này gọi là một lần chuyển. Như ta đã biết, các trạng thái đảo nhau của Q và $\bar{Q}$ phản hồi về H, G tương ứng làm cho một trong hai cổng (H hoặc G) bị ngắt, nếu một đầu vào có tín hiệu thì có thể vì chỉ chuyển đổi trạng thái một lần. Ví dụ : khi $\bar{Q} = 0, Q = 1$, cổng G bị khóa, J không tác dụng, tín hiệu chỉ có thể từ đầu vào K, qua cổng H, xóa master về 0. Và một khi đã ở trạng thái 0 rồi, dù tín hiệu K biến đổi thế nào, master vẫn duy trì trạng thái 0. Ngược lại, khi $\bar{Q} = 1, Q = 0$ thì H bị khóa, chỉ có tín hiệu J mới tác dụng, thông qua cổng G, đặt master lên 1, một khi đã ở trạng thái 1 rồi, master sẽ duy trì.

Vấn đề một lần chuyển không những hạn chế tác dụng của Flip Flop JK master slave mà còn làm giảm năng lực chống nhiễu của nó. Chẳng hạn, khi CP = 1 mà J, K đổi trạng thái nhiều lần thì cũng chỉ có một lần chuyển mà thôi. Mặt khác,



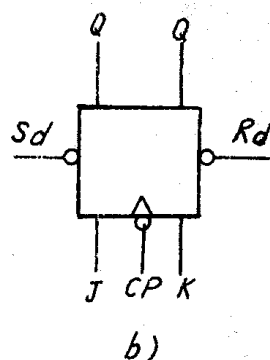
Hình 5-1-10.

Flip Flop JK

master slave :

a) Sơ đồ logic ;

b) Kí hiệu logic.



thời điểm một lần chuyển trạng thái đó có thể rơi vào sườn dương, giữa xung, hay sườn âm của xung đồng hồ CP. Nếu như không biết chính xác quy luật tín hiệu J, K thì không có thể xác định trạng thái tiếp theo của Flip Flop. Vậy khi sử dụng Flip Flop JK master slave, thường đều yêu cầu trạng thái J, K duy trì không đổi trong thời gian $CP = 1$. Đã thế thì quá trình làm việc của Flip Flop nói gọn lại là : sườn dương tiếp thu, sườn âm chuyển. Nếu nhiều xếp chồng với J, K sao cho gây ra một lần chuyển sai trong khi $CP = 1$ thì tín hiệu nhiễu đó tiếp tục tác động đến hệ thống. Vậy vấn đề một lần chuyển là nguyên nhân làm giảm năng lực chống nhiễu của mạch này.

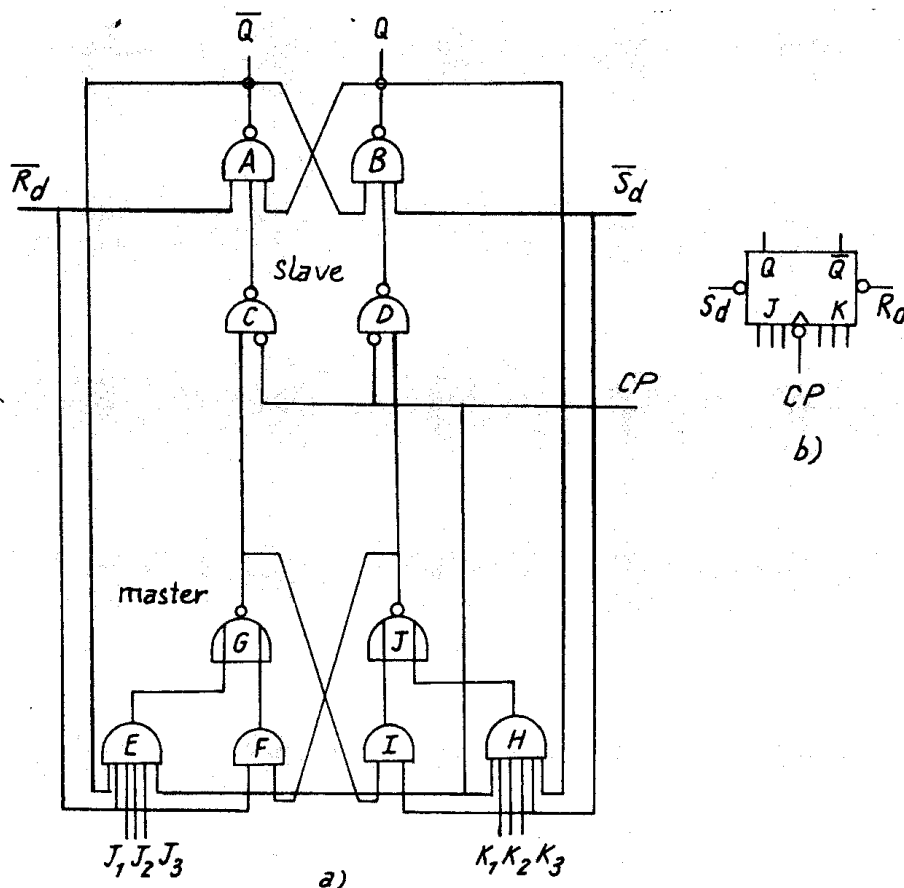
5) Flip Flop JK master slave trong một vỏ IC

Hình 5-1-11a trình bày sơ đồ logic tương đương của Flip Flop JK master slave trong một vỏ IC. Master bao gồm hai NORAND, slave khá đơn giản, CP mức cao cấm, mức thấp cho phép. Nguyên lý công tác không khác mạch hình 5-1-10 nói trên.

6) Đặc điểm cơ bản của Flip Flop JK master slave

Ưu điểm : J và K không bị ràng buộc lẫn nhau, các IC của chúng được sản xuất nhiều, sử dụng rộng rãi, tính năng ưu việt.

Nhược điểm : vấn đề một lần chuyển, thường yêu cầu J, K duy trì không đổi trong thời gian $CP = 1$.



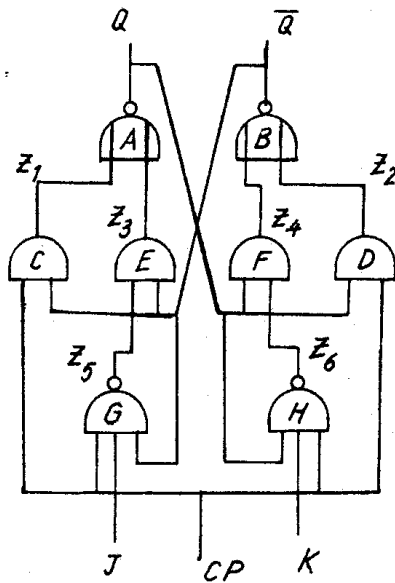
Hình 5-1-11.

Flip Flop JK master slave trong vỏ IC :

- a) Sơ đồ logic tương đương ;
- b) Kí hiệu logic.

5.1.5. Flip Flop JK kích bằng sườn xung (Edge triggered FF)

1) Cấu trúc mạch



Hình 5-1-12.

Flip Flop JK kích bằng sườn xung.

Mạch trên hình 5-1-12 là Flip Flop JK kích bằng sườn xung, nó giải quyết vấn đề một lần chuyển của Flip Flop JK master slave. Khi CP = 0, CP = 1, hay khi sườn dương của CP các tín hiệu J, K đều không tác dụng. Chỉ trong thời gian sườn âm của CP thì Flip Flop mới chuyển trạng thái theo phương trình đặc trưng dưới đây :

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

2) Nguyên lí làm việc

a) Khi CP = 0 các cổng G, H bị khóa, J, K không tác dụng, Flip Flop duy trì trạng thái cũ.

b) Khi CP = 1, các cổng C, D, G, H thông, nhưng :

$$Z_1 = \bar{Q}^n \quad Z_2 = Q^n$$

$$Z_3 = Z_5\bar{Q}^n = \bar{J}\bar{Q}^n \cdot \bar{Q}^n = \bar{J} \cdot \bar{Q}^n$$

$$Z_4 = Z_6Q^n = \bar{K}Q^nQ^n = \bar{K}Q^n$$

$$Q^{n+1} = \overline{Z_1 + Z_3} = \overline{\bar{Q}^n + \bar{J}\bar{Q}^n} = Q^n$$

$$\bar{Q}^{n+1} = \overline{Z_2 + Z_4} = \overline{Q^n + \bar{K}Q^n} = \bar{Q}^n$$

Vậy FF duy trì nguyên trạng, JK đều không tác dụng.

c) Khoảng thời gian sườn dương của CP, do tác dụng trễ của các cổng NAND G và H mà cổng C, D thông trước :

$$Z_1 = \bar{Q}^n \quad Z_2 = Q^n$$

Tiếp sau mới có : $Z_3 = \bar{J}\bar{Q}^n ; \quad Z_4 = \bar{K}Q^n$

Vì vậy,

$$Q^{n+1} = \overline{Z_1 + Z_3} = \overline{\bar{Q}^n + \bar{J}\bar{Q}^n} = Q^n$$

$$\bar{Q}^{n+1} = \overline{Z_2 + Z_4} = \overline{Q^n + \bar{K}Q^n} = \bar{Q}^n$$

J và K cũng không tác dụng.

d) tình huống mạch trong khoảng sườn âm của CD khác hẳn. Do tác dụng trễ của các cổng NAND G và H mà C, D ngắt trước :

$$Z_1 = Z_2 = 0$$

mà đầu ra các cổng NAND duy trì $Z_5 = \overline{JQ^n}$, $Z_6 = \overline{KQ^n}$ trong khoảng thời gian t_{pd} nữa. Dễ dàng thấy rằng trong t_{pd} đó, các cổng NOR A và B, các cổng AND E và F cấu trúc như một Flip Flop RS cơ bản, với

$$\bar{S} = Z_5 = \overline{JQ^n} \quad \bar{R} = Z_6 = \overline{KQ^n}$$

Căn cứ vào phương trình đặc trưng của Flip Flop RS cơ bản, ta có :

$$Q^{n+1} = S + \bar{R}Q^n = \overline{JQ^n} + \overline{KQ^n}Q^n = \overline{JQ^n} + \overline{KQ^n}$$

Do Q^n , $\bar{Q}^n$ phân biệt hồi tiếp về đầu vào H và G nên J và K không bị ràng buộc lẫn nhau.

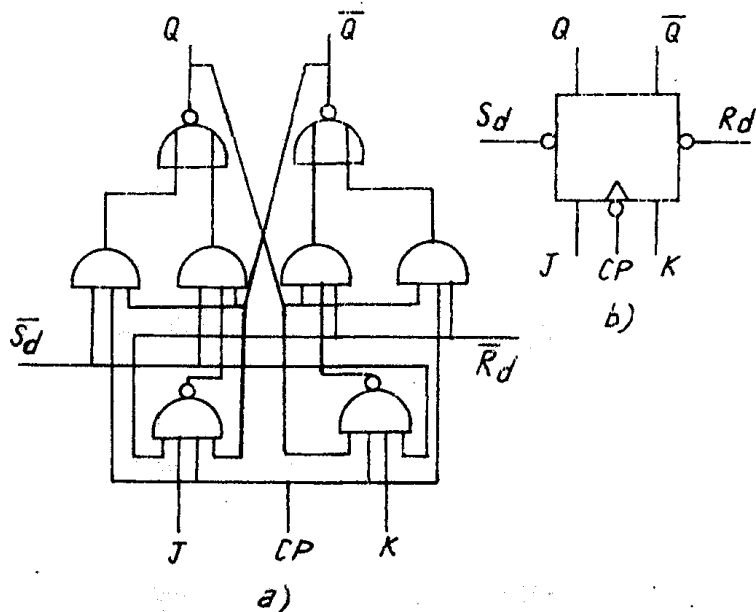
Vậy loại mạch điện này không những có tính năng tốt như là Flip Flop JK master slave và có đặc điểm kích bằng sườn âm xung đồng hồ CP mà còn không có vấn đề một lần chuyển.

3) Đặc điểm cơ bản

Ưu điểm : kích bằng sườn âm xung đồng hồ CP ; đây là loại FF tính năng ưu việt, chống nhiễu tốt và sử dụng linh hoạt.

Nhược điểm : mạch điện dùng tác dụng trễ của các cổng NAND giải quyết vấn đề một lần chuyển, do đó, yêu cầu công nghệ chế tạo phải tinh xảo để bảo đảm mạch điện công tác tin cậy.

Hình 5-1-13 giới thiệu thêm các đầu vào dự bị $\bar{R}_d$, $\bar{S}_d$. Các đầu vào này tạo thuận lợi trong sử dụng. Xung âm đầu vào $\bar{S}_d$ thiết lập, xung âm đầu vào $\bar{R}_d$ xóa. Trong sơ đồ và kí hiệu logic của nó, dấu ngang và khuyên tròn biểu thị rằng tín hiệu tích cực ở mức thấp.



Hình 5-1-13. Flip Flop JK kích bằng sườn xung :

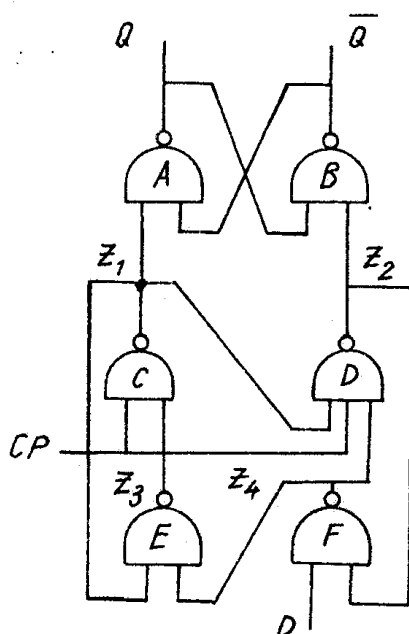
a) Sơ đồ logic ;

b) Kí hiệu logic

5.1.6. Flip Flop D (mạch chốt D cải tiến để giải quyết vấn đề điều khiển trực tiếp)

1) Cấu trúc mạch điện

Xem hình 5-1-14, thêm vào mạch chốt D hai cổng E và F.



Hình 5-1-14. Flip Flop D.

2) Nguyên lý làm việc

a) Khi CP = 0

Các cổng C, D bị khóa, $Z_1 = Z_2 = 1$, Flip Flop cơ bản bao gồm các cổng A và B duy trì trạng thái cũ.

$$\text{Nếu } D = 1 \text{ thì } Z_4 = \overline{D \cdot Z_2} = \overline{1 \cdot 1} = 0$$

$$Z_3 = \overline{Z_1 \cdot Z_4} = \overline{1 \cdot 0} = 1$$

CP trong vai trò tín hiệu đầu vào đối với cổng C thông, cổng D ngắt.

$$\text{Nếu } D = 0 \text{ thì } Z_4 = 1 \quad Z_3 = 0$$

CP trong vai trò tín hiệu đầu vào đối với cổng C ngắt, cổng D thông.

b) Thời gian sườn dương của CP

- Nếu D = 1 thì D bị ngắt, CP chỉ có thể thông qua cổng C mở, vậy $Z_1 = \overline{Z_3 \cdot CP} = \overline{1 \cdot 1} = 0$

$Z_1 = 0$ dẫn đến ba tác động sau : một là kích Flip Flop thiết lập 1, $Q = 1$, $\overline{Q} = 0$; hai là ngắt cổng D, ngăn trở Z_2 chuyển sang mức thấp, nghĩa là ngăn trở sự tạo ra tín hiệu kích chuyển Flip Flop về trạng thái 0 ; ba là Z_1 đưa đến đầu vào cổng E bảo đảm $Z_3 = 1$, do đó duy trì $Z_1 = 0$ suốt thời gian CP = 1, tức là duy trì tín hiệu đặt Flip Flop ở trạng thái 1.

Đường nối từ đầu ra cổng C đến đầu vào cổng E gọi là đường duy trì trạng thái 1 của FF. Đường nối từ đầu ra cổng C đến đầu vào cổng D gọi là đường ngăn trở trạng thái 0 của FF. Một khi $Z_1 = 0$ đưa đến đầu vào các cổng D, E và sinh ra các tác động nói trên rồi thì dù tín hiệu D có thay đổi cũng không thể ảnh hưởng đến trạng thái 1 của FF.

- Nếu D = 0 thì cổng C bị ngắt, CP chỉ có thể thông qua cổng D mở, vậy $Z_2 = \overline{Z_1 \cdot Z_4 \cdot CP} = \overline{1 \cdot 1 \cdot 1} = 0$

$Z_2 = 0$ dẫn đến hai tác động sau : một là xóa FF về 0, $Q = 0$, $\overline{Q} = 1$; hai là làm cho cổng F bị ngắt, bảo đảm $Z_4 = 1$, do đó duy trì $Z_2 = 0$, tức là duy trì trạng thái 0 của FF. $Z_4 = 1$ còn duy trì Z_3 ở mức thấp, ngăn trở sự tạo ra tín hiệu $Z_1 = 0$ kích chuyển FF về trạng thái 1.

Có thể thấy rằng đường nối từ đầu ra cổng D đến đầu vào cổng F vừa duy trì FF ở trạng thái 0, vừa ngăn trở FF chuyển về trạng thái 1. Chỉ cần $Z_2 = 0$ đã đến đầu vào cổng F thì dù biến hóa thế nào, tín hiệu D cũng không làm thay đổi trạng thái của FF được nữa.

Tóm lại :

$$Q^{n+1} = D \text{ với điều kiện đã xuất hiện sườn dương của CP} \quad (5-1-7)$$

Hơn nữa, khi đã có tác dụng duy trì nguyên trạng và ngăn trở chuyển đổi sang trạng thái khác trong suốt quá trình CP = 1 thì tín hiệu D không còn tác động đến mạch nữa. Vì vậy, đây là mạch điều khiển sườn trước và kích bằng sườn dương CP.

3) Tác dụng của các đầu vào dị bộ

$\bar{R}$, $\bar{R}_d$, $\bar{S}$, $\bar{S}_d$

Để sử dụng thêm thuận tiện, Flip Flop D còn có thêm các tín hiệu tích cực mức thấp ở các đầu vào Set ($\bar{S}$, $\bar{S}_d$) và Reset ($\bar{R}$, $\bar{R}_d$)

Hình 5-1-15 biểu thị sơ đồ logic tương đương và kí hiệu logic của Flip Flop D trong vỏ IC.

$\bar{R}$, $\bar{S}$ chỉ dùng trong thời gian $CP = 0$, nếu không có thể phân tác dụng duy trì ngăn trở nói trên. Chẳng hạn khi $CP = 1$ và FF đang duy trì trạng thái 1. Nếu có xung âm đầu vào $\bar{R}$ thì có thể xuất hiện trạng thái cấm: Q và $\bar{Q}$ đồng thời mức cao. Hơn nữa, xung âm $\bar{R}$ kết thúc trước CP , do tác dụng duy trì trạng thái 1, FF vẫn ở trạng thái 1, còn nếu CP kết thúc trước $\bar{R}$ thì FF có thể xóa về 0. Sử dụng $\bar{S}$ để đặt FF vào trạng thái 1 cũng gặp vấn đề tương tự, chỉ khác là nó phân tác dụng với việc duy trì trạng thái 0.

$\bar{R}_d$, $\bar{S}_d$ không bị trạng thái CP hạn chế. Ví dụ, xung âm ở đầu $\bar{R}_d$ làm FF về 0, nếu $CP = 1$ và FF đang duy trì trạng thái 1 thì $\bar{R}_d = 0$ không chỉ xóa FF về 0 mà còn thông qua đường nối đến cổng C, F bắt buộc mạch đang duy trì 1 ngăn trở 0 phải trở thành duy trì 0 ngăn trở 1. Cũng với lí do tương tự, xung âm đầu $\bar{S}_d$ cũng có thể làm cho FF chuyển sang trạng thái 1 một cách tin cậy.

4) Đặc điểm cơ bản

Ưu điểm: điều khiển sườn xung, kích với sườn dương CP , trong thời gian $CP = 1$ mạch tự giữ nguyên trạng.

Nhược điểm: trong một số trường hợp, sử dụng không tiện bằng Flip Flop JK.

5.1.7. Flip Flop CMOS

Các loại Flip Flop CMOS trong vỏ IS có đặc điểm tiêu hao năng lượng rất ít, năng lực chống nhiễu rất mạnh, phù hợp với nhiều điện thế nguồn khác nhau. Nhờ sử dụng các cổng chuyển mạch (xem mục 2-3-3) nên kết cấu mạch điện đơn giản.

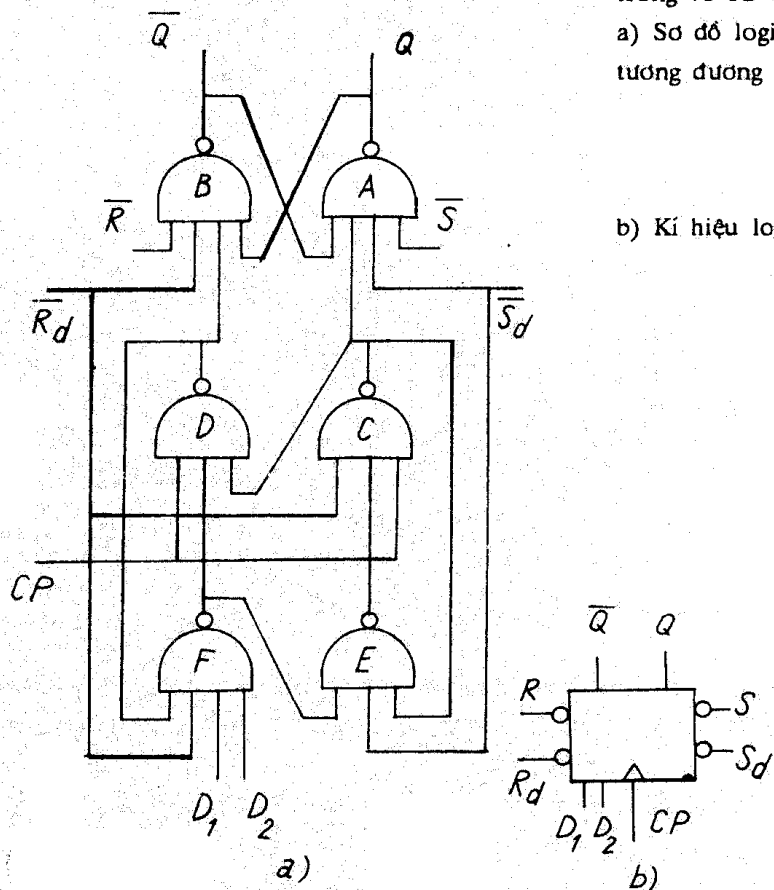
Hình 5-1-15.

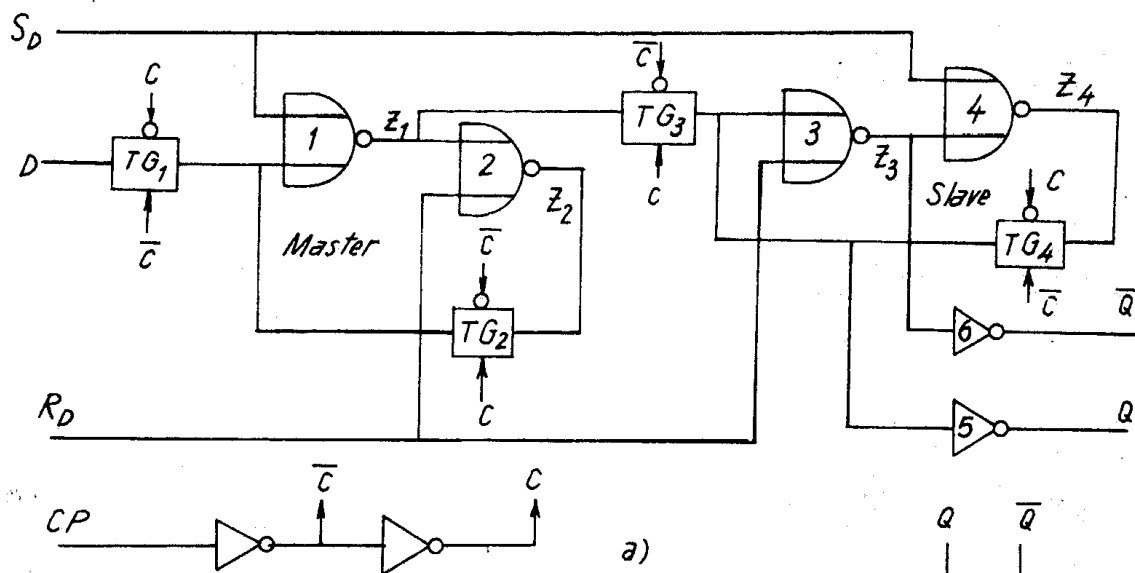
Flip Flop D

trong vỏ IC:

a) Sơ đồ logic tương đương;

b) Kí hiệu logic.

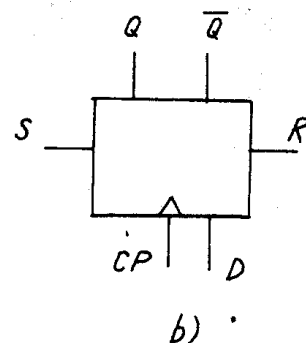




Hình 5-1-16.

Flip Flop D Master slave CMOS :

a) Sơ đồ logic ; b) Kí hiệu logic.



1) Flip Flop D họ CMOS

a) Cấu trúc mạch và kí hiệu

Xem hình 5-1-16. FF master bao gồm các cổng NOR 1, 2 và cổng chuyển mạch TG_2 . FF slave bao gồm các cổng NOR 3, 4 và cổng chuyển mạch TG_4 . TG_1 là cổng điều khiển ở đầu vào. TG_3 là cổng điều khiển giữa master và slave. C và $\bar{C}$ là các tín hiệu đồng hồ đảo nhau. R_D , S_D là các đầu vào dị bộ Reset và Set tích cực ở mức cao. D là tín hiệu vào. Q và $\bar{Q}$ là các đầu ra.

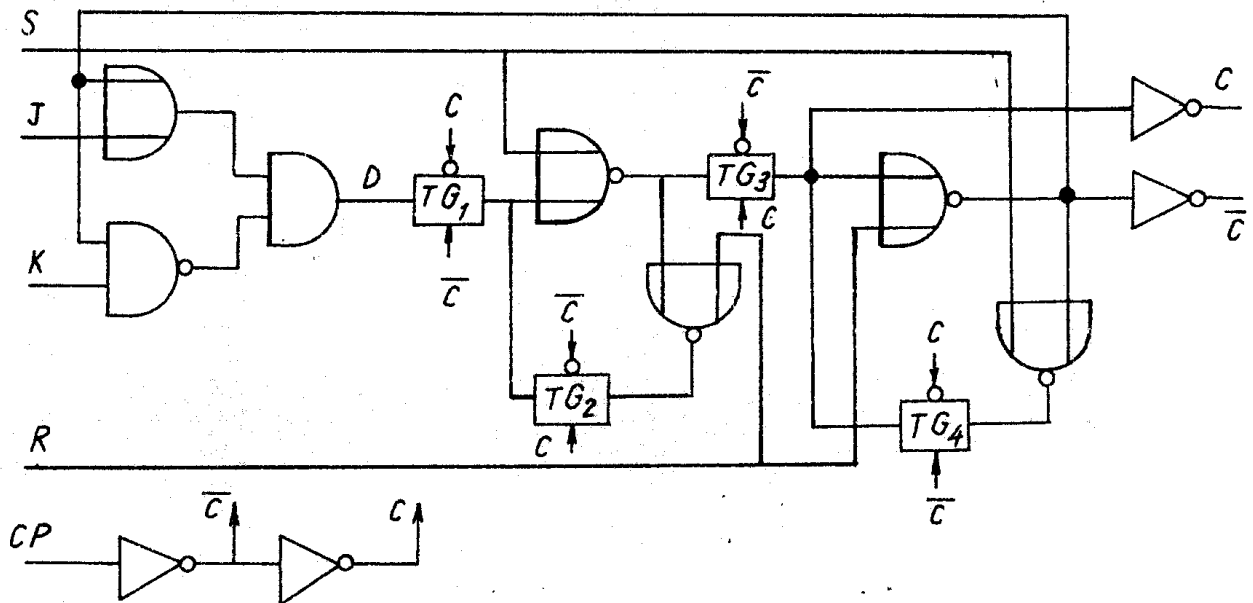
b) Nguyên lí công tác

- Khi $CP = 0$, $\bar{C} = 1$, $C = 0$, TG_1 và TG_4 thông, TG_2 và TG_3 ngắt. Tín hiệu vào D thông qua TG_1 đến NOR 1, $Z_1 = \bar{D}$, $Z_2 = D$. Nhờ TG_4 thông, slave tự giữ.

- Khi $CP = 1$, $\bar{C} = 0$, $C = 1$, TG_1 và TG_4 ngắt, TG_2 và TG_3 thông. Đường tín hiệu vào bị ngắt. Master tự giữ nhờ đường hồi tiếp qua TG_2 . Slave chuyển đổi trạng thái theo mức tín hiệu Z_1 , tức là đưa tín hiệu đầu vào D đã nhớ ra đầu ra, vậy FF D này được kích bằng sườn dương CP. Phương trình đặc trưng là :

$$Q^{n+1} = D \text{ với điều kiện đã xuất hiện sườn dương CP (5-1-8)}$$

2) FF JK CMOS



Hình 5-1-17. FF JK Master slave CMOS.

Hình 5-1-17 là sơ đồ cải tiến của mạch FFD hình 5-1-16.

Căn cứ sơ đồ logic, ta có :

$$D = (J + Q^n) \overline{KQ^n} = \overline{JKQ^n} + \overline{KQ^nQ^n}$$

$$D = \overline{JK} + \overline{JQ^n} + \overline{KQ^n} = \overline{JQ^n} + \overline{KQ^n}$$

Thay vào (5-1-8), ta được :

$$Q^{n+1} = \overline{JQ^n} + \overline{KQ^n} \text{ với điều kiện đã xuất hiện sườn dương CP (5-1-9)}$$

Đây là phương trình đặc trưng của FF JK master slave CMOS.

Tác dụng tín hiệu đầu vào bộ R_D , S_D của hai mạch hình 5-1-16 và 5-1-17 là giống nhau.

5.2. PHÂN LOẠI FLIP FLOP THEO CHỨC NĂNG. SỰ CHUYỂN ĐỔI LẦN NHAU

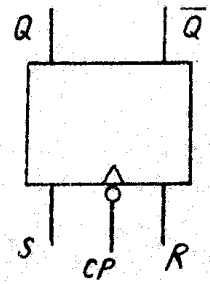
Các loại FF trình bày trong mục 5-1 trên đây : RS master slave, JK master slave, JK sườn xung, D đều có tín hiệu đồng hồ điều khiển ; vậy chúng được gọi là FF định thời theo xung đồng hồ CP. Căn cứ vào sự khác biệt tính năng logic dưới tác dụng điều khiển của CP, ta phân FF thành 5 loại : RS, D, T, T', JK. Các loại đó có thể chuyển đổi lẫn nhau theo phương pháp xác định.

5.2.1. Phân loại Flip Flop theo chức năng

1) Flip Flop RS

a) Định nghĩa

Flip Flop RS là mạch điện có chức năng thiết lập trạng thái 1 (Set), trạng thái 0 (Reset) và duy trì (nhớ) các trạng thái đó căn cứ vào các tín hiệu đầu vào R, S và tín hiệu đồng hồ CP. Những điều đã trình bày trong tiết trên về RS là phù hợp với định nghĩa này. Ký hiệu logic của mạch trên hình 5-2-1, phương trình đặc trưng biểu thị chức năng logic của nó là :



Hình 5-2-1.
Ký hiệu logic của
FlipFlop RS.

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad (5-2-1)$$

Với điều kiện đã xuất hiện sườn âm CP

$R = 0, S = 1, \downarrow CP$ (sườn âm) thì $Q^{n+1} = 1$

$R = 1, S = 0, \downarrow CP$ thì $Q^{n+1} = 0$

$R = 0, S = 0, \downarrow CP$ thì $Q^{n+1} = Q^n$ (duy trì)

$R = 1, S = 1$ trạng thái cấm.

b) Phương pháp biểu thị chức năng logic

Bảng chức năng là bảng tín hiệu đầu vào kích

Bảng 5-2-1 :

Q^n	R	S	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	x
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	x

Bảng 5-2-2 :

$Q^n \rightarrow$	Q^{n+1}	R	S
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

Bảng chức năng của Flip Flop RS 5-2-1 dùng hình thức bảng liệt kê các trạng thái logic để biểu thị chức năng logic của nó.

Bảng tín hiệu đầu vào kích của Flip Flop RS 5-2-2 có phần bên trái kê ra các yêu cầu chuyển đổi trạng thái của FF, và có phần bên phải kê ra các điều kiện tín hiệu đầu vào kích cần bảo đảm để đạt đến các yêu cầu tương ứng. Nếu các điều kiện được bảo đảm thì FF sẽ chuyển đổi trạng thái theo yêu cầu một khi xung đồng

hồ cho phép. Ví dụ, yêu cầu $Q^n \rightarrow Q^{n+1}$ kiểu duy trì $0 \rightarrow 0$ thì điều kiện cần là $S = 0$ (không phụ thuộc vào R, $R = x$). Nếu yêu cầu chuyển $0 \rightarrow 1$ thì điều kiện lại là $R = 0, S = 1$.

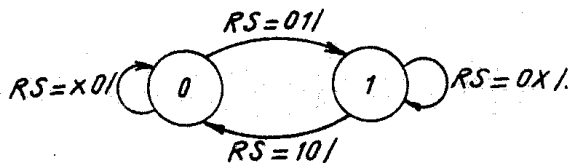
Như trên đã nói, các quan hệ logic của bảng 5-2-1 và 5-2-2 đều có chung một điều kiện : đã xuất hiện sườn âm CP, nếu điều kiện này không thỏa mãn, FF duy trì nguyên trạng.

Phương trình đặc trưng và phương trình kích

Phương trình đặc trưng dùng hàm logic miêu tả quan hệ giữa Q^{n+1} với Q^n và các tín hiệu đầu vào, do đó nó rất tiện dùng công cụ toán logic (các công thức và định lý của đại số logic) (5-2-1) là phương trình đặc trưng của FF RS.

Phương trình kích dùng hàm logic của tín hiệu đầu vào kích biểu thị, phần sau sẽ trình bày rõ hơn.

c) Đồ hình trạng thái



Hình 5-2-2. Đồ hình trạng thái của Flip Flop RS.

Hình 5-2-2 là đồ hình trạng thái của FFRS, nó biểu thị trực quan quy luật chuyển đổi trạng thái của FF dưới tác dụng định thời của CP.

Hai vòng tròn biểu thị hai trạng thái logic của FF. Mũi tên biểu thị hướng chuyển trạng thái. Bên cạnh mũi tên, ở trên gạch chéo là giá trị tín hiệu đầu vào kích - tức là điều kiện chuyển đổi trạng thái.

Hình 5-2-2 cho biết rằng :

$$\begin{aligned} \text{Khi } Q^n = 0 & \begin{cases} \text{với } R = X, S = 0, \text{ } \overline{\text{CP}} \text{ thì } Q^{n+1} = Q^n = 0 \\ \text{với } R = 0, S = 1, \text{ } \overline{\text{CP}} \text{ thì } Q^{n+1} = 1 \end{cases} \\ \text{Khi } Q^n = 1 & \begin{cases} \text{với } R = 0, S = X, \text{ } \overline{\text{CP}} \text{ thì } Q^{n+1} = Q^n = 1 \\ \text{với } R = 1, S = 0, \text{ } \overline{\text{CP}} \text{ thì } Q^{n+1} = 0 \end{cases} \end{aligned}$$

d) Đồ thị thời gian dạng sóng

Đồ thị thời gian dạng sóng biểu thị trực quan quan hệ tương ứng nhau về mặt thời gian của các trạng thái FF, các tín hiệu đầu vào R, S và xung đồng hồ CP. (hình 5-2-3).

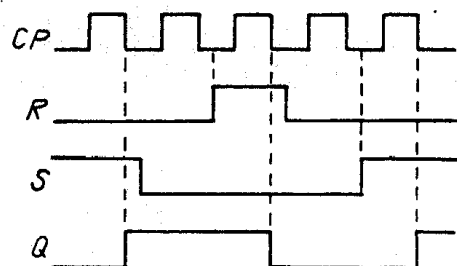
Trên hình, dạng sóng CP, R, S là đã biết. Để vẽ ra dạng sóng Q, ta cần chú ý :

- Nếu không cho trước thì có thể tùy ý giả định trạng thái ban đầu của Q

- Căn cứ vào bảng chức năng, phương trình đặc trưng hoặc đồ hình trạng thái để xác định trạng thái Q tiếp theo.

- Sau khi xuất hiện sườn âm CP thì Q chuyển đổi trạng thái. Mọi lúc khác Q duy trì trạng thái cũ.

Trên đây, 4 phương pháp biểu thị chức năng logic của Flip Flop (a, b, c, d) là liên quan mật thiết với nhau, có thể chuyển hóa lẫn nhau.



Hình 5-2-3.

Đồ thị thời gian dạng sóng FFRS.

2) Flip Flop D

a) Định nghĩa

Flip Flop D là mạch điện có chức năng thiết lập trạng thái 0 theo tín hiệu đầu vào $D = 0$ và thiết lập trạng thái 1 theo tín hiệu đầu vào $D = 1$ trong điều kiện định thời của CP.

Flip Flop D được giới thiệu ở tiết trên thỏa mãn định nghĩa này. Phương trình đặc trưng của FFD hình 5-2-4 là :

$$\begin{cases} Q^{n+1} = D \\ \text{Với điều kiện đã xuất hiện sườn dương CP} \end{cases} \quad (5-2-2)$$

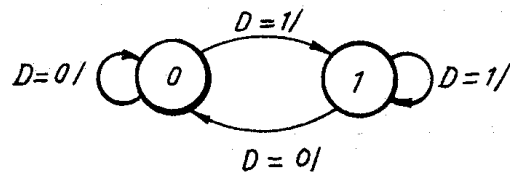
$D = 0$, CP thì $Q^{n+1} = 0$

$D = 1$, CP thì $Q^{n+1} = 1$

b) Bảng chức năng, bảng tín hiệu đầu vào kích, đồ hình trạng thái và đồ thị thời gian dạng sóng (bảng 5-2-3, 5-2-4 hình 5-2-5, 5-2-6)

Bảng 5-2-3 : BẢNG CHỨC NĂNG CỦA FF D
Trạng thái đầu $Q = 0$, kích bằng sườn dương của CP. Dạng sóng CP và D là đã biết. Để vẽ dạng sóng Q, chú ý mức D khi CP.

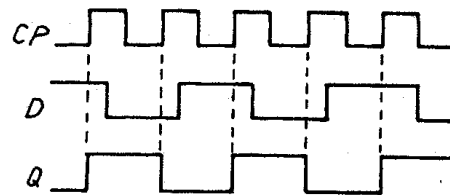
Q^n	D	Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1



Hình 5-2-5. Đồ hình trạng thái của FF D.

Bảng 5-2-4 : BẢNG ĐẦU VÀO KÍCH CỦA FF D

$Q^n \rightarrow Q^{n+1}$	Q^{n+1}
0 0	0
0 1	1
1 0	0
1 1	1

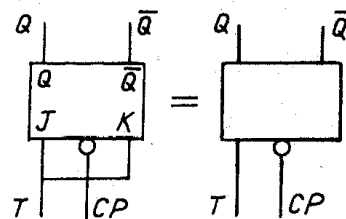


Hình 5-2-6. Dạng sóng của FF D.

3) Flip Flop T

a) Định nghĩa

Flip Flop T là mạch điện có chức năng duy trì và chuyển đổi trạng thái tùy thuộc tín hiệu đầu vào T trong điều kiện định thời của CP. Flip Flop JK giới thiệu ở tiết trên,



Hình 5-2-7. Kí hiệu logic FF T.

nếu $J = K = T$ thì tạo thành FF T, kí hiệu như hình 5-2-7. Phương trình đặc trưng của FF T là :

$$\begin{cases} Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n = T\bar{Q}^n + \bar{T}Q^n \\ = T \oplus Q^n \end{cases} \quad (5-2-3)$$

Với điều kiện đã xuất hiện sườn âm CP

$T = 0$, $\neg$ CP thì $Q^{n+1} = Q^n$ duy trì nguyên trạng

$T = 1$, $\neg$ CP thì $Q^{n+1} = \bar{Q}^n$ chuyển đổi trạng thái

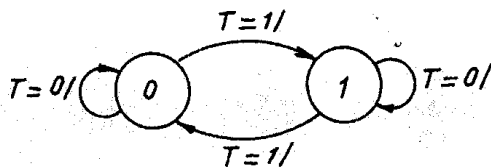
b) Bảng chức năng (bảng 5-2-5), Bảng đầu vào kích (5-2-6), đồ hình trạng thái (hình 5-2-8), đồ thị thời gian dạng sóng (hình 5-2-9) của Flip Flop T.

Bảng 5-2-5 :

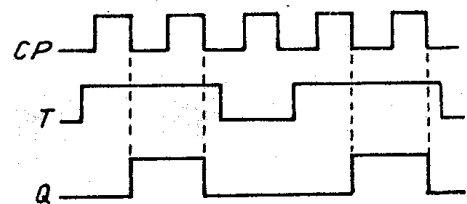
Q^n	T	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Bảng 5-2-6 :

$Q^n \rightarrow Q^{n+1}$	T
0 0	0
0 1	1
1 0	1
1 1	0



Hình 5-2-8.



Hình 5-2-9.

Trạng thái đầu của FF T là 0 và kích bằng sườn âm của CP.

4) Flip Flop T'

Flip Flop T' là mạch điện chỉ có chức năng chuyển đổi trạng thái trong điều kiện định thời của CP. FF T' là FF T mà $T = 1$ (T luôn luôn giữ mức cao)

Phương trình đặc trưng của Flip Flop T' là :

$$\begin{cases} Q^{n+1} = T \oplus Q^n = 1 \oplus Q^n = \bar{Q}^n \\ \text{Với điều kiện đã xuất hiện sườn âm CP.} \end{cases} \quad (5-2-4)$$



Hình 5-2-10.

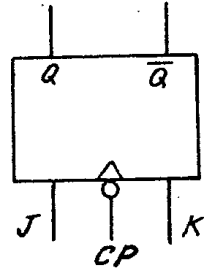
Đồ thị thời gian dạng sóng của Flip Flop T'.

5) Flip Flop JK

a) Định nghĩa

Flip Flop JK là mạch điện có chức năng thiết lập trạng thái 0, trạng thái 1, chuyển đổi trạng thái và duy trì trạng thái căn cứ vào các tín hiệu đầu vào J, K và đồng hồ CP.

Trong kĩ thuật số thường yêu cầu FF có 4 chức năng nói trên của FF JK, nghĩa là FF JK rất vạn năng, rất linh hoạt. FFJK kích sườn master slave đã giới thiệu ở tiết 5-1 thỏa mãn định nghĩa này. Phương trình đặc trưng của FFJK có kí hiệu logic trên hình 5-2-11 là :



Hình 5-2-11.

Kí hiệu logic của FF JK.

$$\begin{cases} Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \\ \text{Với điều kiện đã xuất hiện sườn âm CP} \end{cases} \quad (5-2-5)$$

$J = 0, K = 1, \text{ } \downarrow \text{ CP}$ thì $Q^{n+1} = 0$

$J = 1, K = 0, \text{ } \downarrow \text{ CP}$ thì $Q^{n+1} = 1$

$J = 1, K = 1, \text{ } \downarrow \text{ CP}$ thì $Q^{n+1} = \bar{Q}^n$ chuyển đổi

$J = 0, K = 0, \text{ } \downarrow \text{ CP}$ thì $Q^{n+1} = Q^n$ giữ nguyên trạng

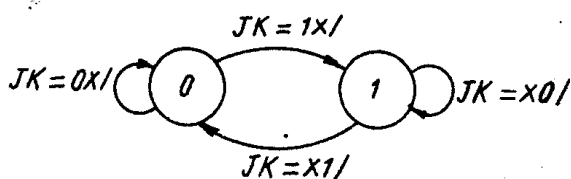
b) Bảng chức năng (5-2-7), bảng đầu vào kích (5-2-8), đồ hình trạng thái (hình 5-2-12), đồ thị thời gian dạng sóng (hình 5-2-13) của Flip Flop JK :

Bảng 5-2-7 :

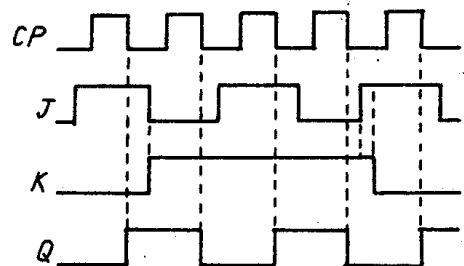
Q^n	J	K	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Bảng 5-2-8 :

$Q^n \rightarrow Q^{n+1}$	J	K
0 0	0	x
0 1	1	x
1 0	x	1
1 1	x	0



Hình 5-2-12.



Hình 5-2-13.

Trên hình, trạng thái đầu của FF là 0, kích bằng sườn âm của CP. Trong kí hiệu logic của 5 loại FF trên, đầu CP có khuyên tròn chứng tỏ nó hoạt động với sườn âm, không có khuyên tròn chứng tỏ nó hoạt động với sườn dương. Khi vẽ đồ thị thời gian dạng sóng, ta phải đặc biệt chú ý quy ước này, chỉ khi đã xuất hiện sườn xung CP thì FF mới chuyển đổi trạng thái theo phương trình đặc trưng của nó, ở thời điểm khác FF giữ nguyên trạng thái.

5.2.2. Sự chuyển đổi lẫn nhau của các loại Flip Flop định thời theo CP

1) Phương pháp và ý nghĩa của sự chuyển đổi

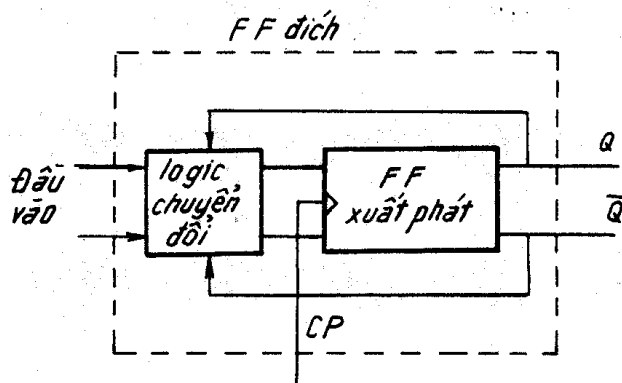
a) Ý nghĩa

- Đa số FF trên thị trường là loại JK, D. Kĩ thuật số yêu cầu tất cả các loại FF. Nếu biết cách chuyển đổi thì có thể phát huy tác dụng của loại FF có sẵn.

- Phương pháp chuyển đổi có tính phổ biến, do đó giúp ích nhiều việc thiết kế mạch điện.

- Giúp đi sâu tìm hiểu chức năng logic của các loại FF.

b) Phương pháp :



Hình 5-2-14.

Tư duy về chuyển đổi từ FF xuất phát thành FF đích.

- Phương pháp chuyển đổi là những công việc cần làm để tìm logic chuyển đổi, để tìm phương trình hàm logic tín hiệu kích đối với FF xuất phát (hình 5-2-14).

- Dùng công thức : dùng các nghiệm phương trình đặc trưng để tìm logic chuyển đổi. Cách này tiện cho trình bày viết, có thể dùng đại số logic xử lí, nhưng cần kĩ xảo nhất định ; trong phạm vi 5 loại FF cụ thể, chúng ta có thể nắm vững phương pháp này.

- Dùng sơ đồ : bảng chức năng, bảng đầu vào kích, bảng Karnaugh. Phương pháp này có phiền phức chút ít, nhưng trực quan, ít sai.

2) Flip Flop JK chuyển đổi thành Flip Flop D, T, RS

Phương trình đặc trưng của FF JK (Flip Flop xuất phát)

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (5-2-6)$$

a) $JK \rightarrow D$

Phương trình đặc trưng của FF D (Flip Flop đích)

$$Q^{n+1} = D \quad (5-2-7)$$

Dùng công thức : chuyển dạng (5-2-7) sang dạng (5-2-6)

$$Q^{n+1} = D = D(\bar{Q}^n + Q^n) = D\bar{Q}^n + DQ^n$$

So sánh với (5-2-6), ta có :

$$\begin{cases} J = K \\ K = \bar{D} \end{cases} \quad (5-2-8)$$

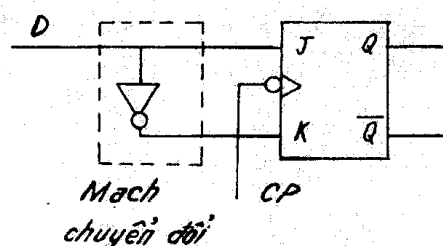
(5-2-8) là logic chuyển đổi cần tìm, cũng là phương trình đầu vào kích của FF JK. Dựa vào đó ta vẽ ra mạch điện hình 5-2-15.

Dùng sơ đồ :

Căn cứ vào bảng chức năng của FF D và bảng đầu vào kích của JK để liệt kê bảng sử dụng JK $\rightarrow$ D như sau :

Bảng 5-2-9 : BẢNG SỬ DỤNG JK $\rightarrow$ D

Q^n	D	Q^{n+1}	J	K
0	0	0	0	x
0	1	1	1	x
1	0	0	x	1
1	1	1	x	0



Hình 5-2-15.

Mạch Flip Flop từ JK trở thành D.

Bảng chức năng của FF D biểu thị yêu cầu chuyển đổi. Với Q^n , D đã xác định và có tác dụng định thời của CP thì Q^{n+1} cũng xác định theo bảng chức năng của FF D. Ở đây, Q^n và Q^{n+1} là trạng thái hiện tại và trạng thái tiếp theo của Flip Flop D (đích) và cũng là của FF JK (xuất phát). Vậy quan hệ tương ứng giữa Q^n và Q^{n+1} cũng phản ánh yêu cầu kích của FF JK, rồi căn cứ vào bảng đầu vào kích đó mà xác định giá trị tương ứng của J, K. Giá trị của Q^n và D quyết định giá trị của Q^{n+1} , do đó cũng quyết định giá trị của J, K. Vậy J, K và Q^{n+1} như nhau, đều là hàm số của Q^n và D. Quan hệ hàm số này dưới dạng bảng được gọi là bảng sử dụng.

Từ bảng sử dụng 5-2-9, ta vẽ bảng Karnaugh và tìm được phương trình đầu vào kích, như hình 5-2-16. Kết quả của hai phương pháp (dùng công thức và dùng sơ đồ) trùng hợp.

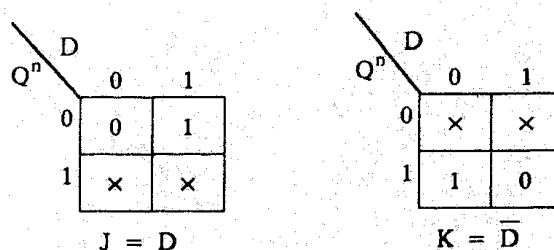
b) JK $\rightarrow$ T

Phương trình đặc trưng của FF T

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

So sánh trực tiếp với (5-2-6), ta có phương trình kích của FF JK

$$\begin{cases} J = T \\ K = T \end{cases} \quad (5-2-9)$$



Hình 5-2-16. Bảng Karnaugh của J, K.

Mạch điện xem hình 5-2-7 ở phần trên. Cho $T = 1$ ta có FF T' .

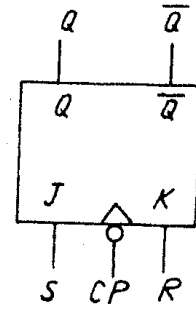
c) $JK \rightarrow RS$

Phương trình đặc trưng của Flip Flop RS

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

Biến đổi

$$\begin{aligned} Q^{n+1} &= R + \bar{R}Q^n = S(\bar{Q}^n + Q^n) + \bar{R}Q^n \\ &= \bar{S}Q^n + SQ^n + \bar{R}Q^n = \bar{S}Q^n + \bar{R}Q^n + SQ^n(R + \bar{R}) \\ &= \bar{S}Q^n + \bar{R}Q^n + RSQ^n + \bar{R}SQ^n \\ &= \bar{S}Q^n + \bar{R}Q^n + RSQ^n = \bar{S}Q^n + \bar{R}Q^n \end{aligned}$$



Hình 5-2-17.

Mạch Flip Flop từ JK trở thành RS

So sánh với phương trình đặc trưng của Flip Flop JK, ta có logic chuyển đổi :

$$\begin{cases} J = S \\ K = R \end{cases} \quad (5-2-10)$$

Sơ đồ logic : xem hình 5-2-17

3) Flip Flop D chuyển đổi thành Flip Flop JK, RS, T, T'

Phương trình đặc trưng của FF D

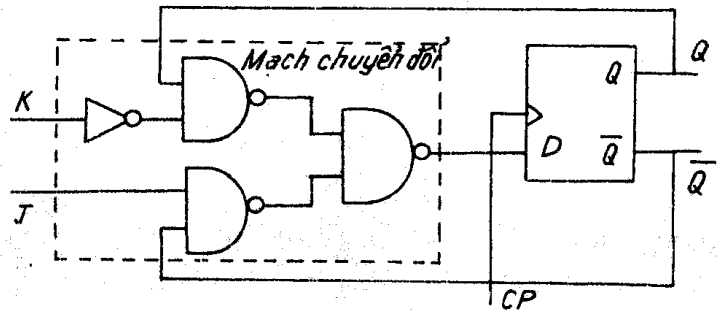
$$Q^{n+1} = D$$

$D \rightarrow JK$

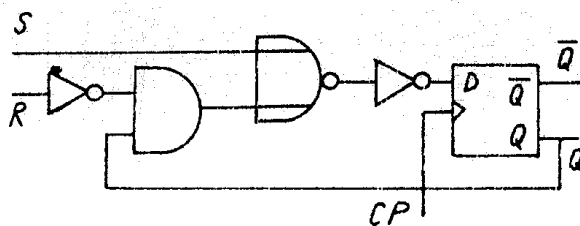
$$JK : Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\text{Đặt } D = J\bar{Q}^n + \bar{K}Q^n \quad (5-2-11)$$

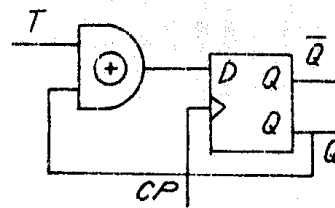
Mạch điện hình 5-2-18



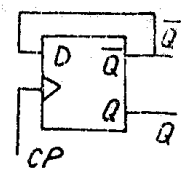
Hình 5-2-18. Mạch Flip Flop từ D trở thành JK.



a) $D \rightarrow RS$



b) $D \rightarrow T$



c) $D \rightarrow T'$

Hình 5-2-19. Mạch Flip Flop từ D trở thành RS, T, T' .

Hình 5-2-19 là mạch điện chuyển đổi theo logic chuyển đổi sau đây :

$$D = S + \bar{R}Q^n \quad (5-2-12)$$

$$D = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n \quad (5-2-13)$$

$$D = \bar{Q}^n \quad (5-2-14)$$

4) Flip Flop T chuyển đổi thành Flip Flop JK, D, RS

Phương trình đặc trưng của Flip Flop T

$$Q^{n+1} = T \oplus Q^n$$

$$T \rightarrow JK$$

$$JK : Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

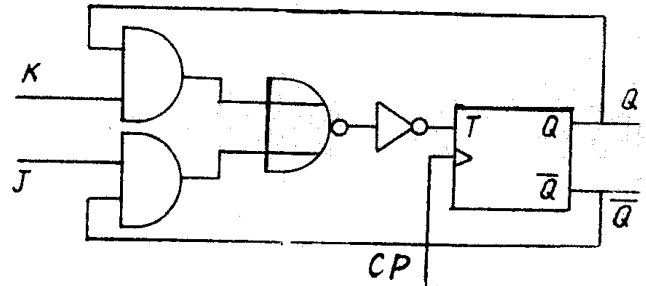
So sánh, ta có :

$$T \oplus Q^n = J\bar{Q}^n + \bar{K}Q^n$$

Dùng các công thức của hàm XOR (xem mục 3-1-2-7) ta biến đổi :

$$\begin{aligned} T &= (J\bar{Q}^n + \bar{K}Q^n) \oplus Q^n \\ &= (J\bar{Q}^n + \bar{K}Q^n)\bar{Q}^n + J\bar{Q}^n + \bar{K}Q^nQ^n \\ &= J\bar{Q}^n + J\bar{Q}^n \cdot \bar{K}Q^nQ^n \\ &= J\bar{Q}^n + J\bar{Q}^nKQ^n \\ &= J\bar{Q}^n + KQ^n \quad (5-2-15) \end{aligned}$$

xem hình 5-5-20



Hình 5-2-20. Mạch Flip Flop từ T trở thành JK.

JK \ Q ⁿ	JK			
	00	01	11	10
0	0	0	1	1
1	0	1	1	0

Hình 5-2-21. Bảng Karnaugh của T.

Bảng 5-2-10 : BẢNG SỬ DỤNG T → JK

Q ⁿ	J	K	Q ⁿ⁺¹	T
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	1	1
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

Có thể đi đến kết quả trên theo phương pháp dùng sơ đồ như sau :

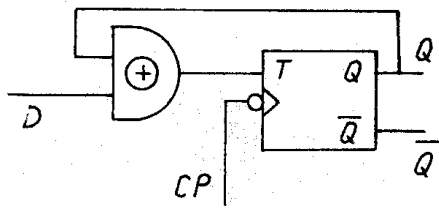
Xây dựng bảng sử dụng T → JK (bảng 5-2-10). Tìm logic chuyển đổi bằng bảng Karnaugh (hình 5-2-21).

Tương tự, ta tìm logic chuyển đổi T → D, T → RS như sau :

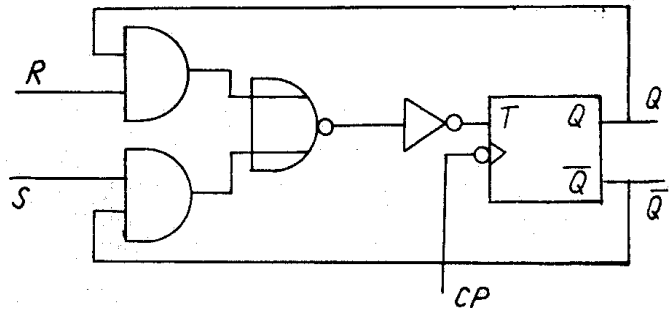
$$T = D \oplus Q^n \quad (5-2-16)$$

$$T = S\bar{Q}^n + RQ^n \quad (5-2-17)$$

Xem mạch điện chuyển đổi hình 5-2-22



a) $T \rightarrow D$



b) $T \rightarrow RS$

Hình 5-2-22. Mạch điện chuyển đổi Flip Flop từ T trở thành D, RS.

5 Flip Flop RS chuyển đổi thành Flip Flop JK, D, T, T'

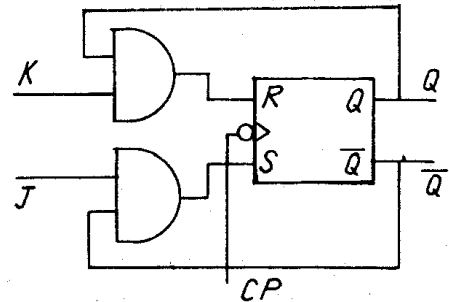
Phương trình đặc trưng của Flip Flop RS :

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

RS $\rightarrow$ JK

$$JK : Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\text{So sánh, ta có : } \begin{cases} S = J\bar{Q}^n \\ R = KQ^n \end{cases}$$



Bảng 5-2-11 : BẢNG SỬ DỤNG RS $\rightarrow$ JK

Q^n	J	K	Q^{n+1}	R	S
0	0	0	0	x	0
0	0	1	0	x	0
0	1	0	1	0	1
0	1	1	1	0	1
1	0	0	1	0	x
1	0	1	0	1	0
1	1	0	1	0	x
1	1	1	0	1	0

Hình 5-2-23.

Mạch Flip Flop từ RS trở thành JK.

Vì điều kiện ràng buộc $RS = 0$ nên ta phải kiểm tra. Khi $J = K = 1$; $Q^n = 0$ thì

$$\begin{cases} R = K = 1 \\ S = J\bar{Q}^n = 1 \end{cases}$$

Không thỏa mãn $RS = 0$. Ta biến đổi lại

$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n \\ &= J\bar{Q}^n + \bar{K}Q^nQ^n \end{aligned}$$

So sánh lại, ta có :

$$\begin{cases} S = J\bar{Q}^n \\ R = KQ^n \end{cases} \quad (5-2-18)$$

$Q^n \backslash JK$	00	01	11	10
0	x	x	1	1
1	0	1	1	0

(a)

$Q^n \backslash JK$	00	01	11	10
0	0	0	1	1
1	x	0	0	x

(b)

Hình 5-2-24. Bảng Karnaugh : a) R ; b) S

Hình 5-2-23 trên đây là mạch điện chuyển đổi RS $\rightarrow$ JK (thỏa mãn điều kiện ràng buộc RS = 0)

Ta có thể nhận được cùng một kết quả như trên bằng phương pháp dùng sơ đồ dưới đây :

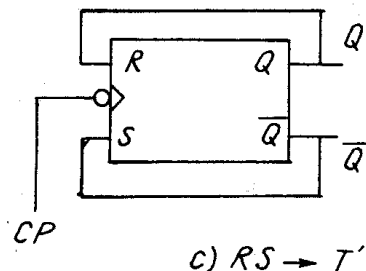
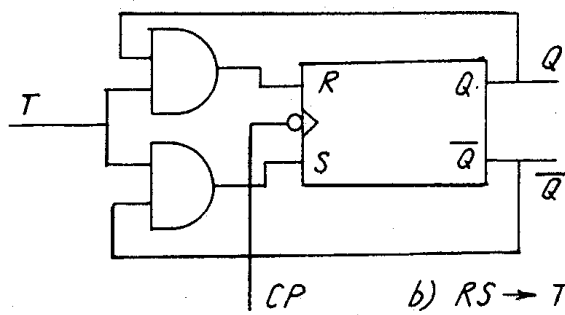
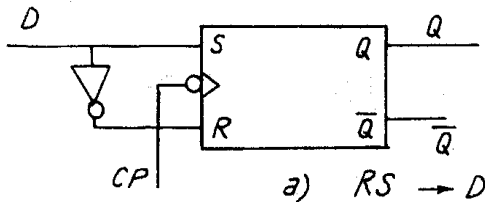
Xây dựng bảng sử dụng RS $\rightarrow$ JK (bảng 5-2-11). Tìm logic chuyển đổi bằng bảng Karnaugh (hình 5-2-24). Chú ý điều kiện ràng buộc RS = 0 khi xây dựng bảng 5-2-11.

Tương tự, ta tìm logic chuyển đổi

$$RS \rightarrow D \begin{cases} R = \bar{D} \\ S = D \end{cases} \quad (5-2-19)$$

$$RS \rightarrow T \begin{cases} R = T\bar{Q}^n \\ S = TQ^n \end{cases} \quad (5-2-20)$$

$$RS \rightarrow T' \begin{cases} R = Q^n \\ S = \bar{Q}^n \end{cases} \quad (5-2-21)$$



Hình 5-2-25. Mạch điện chuyển đổi Flip Flop từ RS trở thành : a) D ; b) T ; c) T'.

5.3. ĐẶC TÍNH CÔNG TÁC XUNG VÀ CHỈ TIÊU CHỦ YẾU CỦA FLIP FLOP

5.3.1. Đặc tính công tác xung của Flip Flop

Muốn sử dụng chính xác FF, không những cần hiểu chức năng logic của FF, mà còn cần nắm vững đặc tính công tác xung của FF, tức là những yêu cầu mà FF đưa ra cho xung đồng hồ, tín hiệu đầu vào và sự phối hợp giữa chúng.

1) Đặc tính công tác xung của Flip Flop D

Xét mạch FF D trên hình 5-1-14 (mục 5-1-6), trước khi xuất hiện xung đồng hồ thì mạch điện ở trạng thái chuẩn bị. Lúc này, mức tín hiệu đầu vào D quyết định mức đầu ra của các cổng E, F. Khi xuất hiện sườn trước xung đồng hồ, trạng thái đầu ra của các cổng E, F thông qua các cổng C, D điều khiển FF chuyển trạng thái. Vậy mức đầu ra E, F phải đạt đến trạng thái ổn định trước lúc xuất hiện sườn trước xung đồng hồ. Nhưng từ lúc bắt đầu có tín hiệu ở đầu vào D đến lúc

dầu ra các cổng E, F đã ổn định phải qua một khoảng thời gian, gọi là thời gian xác lập T_{set} của FF. Vậy tín hiệu đầu vào phải đến sớm khoảng t_{set} so với xung đồng hồ CP.

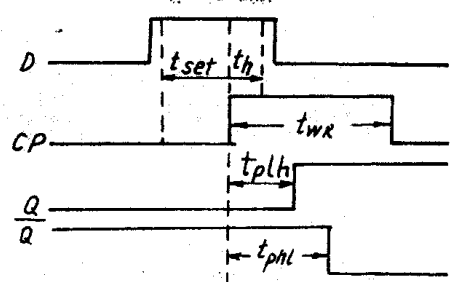
Từ hình 5-1-14 ta thấy rằng kể từ tín hiệu đến đầu vào D, thì đầu ra F ổn định phải sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} , đầu ra E ổn định phải sau thời gian trễ truyền đạt 2 cấp cổng $2t_{pd}$, vậy thời gian xác lập của Flip Flop D là $t_{set} = 2t_{pd}$. Tiếp theo, từ khi xuất hiện sườn trước CP cho đến khi FF hoàn thành chuyển đổi, tức là đến khi trạng thái mới đã ổn định, là khoảng thời gian trễ truyền đạt của FF (t_{pd}). Giả sử trạng thái ban đầu của FF là 1, mức đầu ra cổng E là thấp, mức đầu ra cổng F là cao. Thế thì dễ dàng thấy rằng, xung đầu ra cổng D chậm sau CP thời gian trễ truyền đạt 1 cấp cổng làm cho cổng B từ thông sang ngắt với thời gian trễ truyền đạt bản thân cổng B. Cổng A cũng chuyển từ ngắt sang thông với thời gian trễ truyền đạt bản thân cổng A. Vậy đầu ra $\bar{Q}$, chuyển trạng thái từ mức thấp lên cao có thời gian trễ t_{plh} tương đối ngắn hơn so với thời gian đầu ra Q chuyển trạng thái từ mức cao xuống thấp t_{phl} ($t_{plh} = 2t_{pd}$, $t_{phl} = 3t_{pd}$).

Ngoài ra, để bảo đảm FF chuyển đổi tin cậy, tín hiệu đầu vào cần có thời gian tác dụng đủ dài. Khi $D = 0$, kể từ khi bắt đầu sườn dương của CP, phải sau t_{pd} thì cổng D mới đưa ra mức thấp; mức logic này phản hồi đến đầu vào cổng F mới sinh ra tác dụng duy trì nguyên trạng ngăn trở chuyển đổi. Trước lúc đạt đến sự ổn định này, tín hiệu đầu vào không được phép thay đổi, nếu ngược lại, trạng thái mới của tín hiệu đầu vào có thể phá hoại sự chuyển đổi bình thường vốn có. Vậy sau khi xuất hiện sườn trước CP, tín hiệu đầu vào cần phải duy trì thêm một thời gian, gọi là thời gian duy trì t_h . Trong trường hợp $D = 0$ thì $t_h = t_{pd}$.

Khi $D = 1$, sau khi xuất hiện sườn trước CP một khoảng thời gian là t_{pd} thì cổng C đưa ra mức logic thấp, làm cho D, E bị khóa, sinh ra tác dụng ổn định. Mặt khác, sự biến đổi mức tín hiệu đầu vào cũng cần một khoảng thời gian như thế (t_{pd}) để tác động đến D, E. Vậy cho phép tín hiệu vào thay đổi ngay sau khi kết thúc sườn trước xung đồng hồ CP, tức là $t_h = 0$.

Sau khi xét cả hai trường hợp $D = 0$, $D = 1$, ta thấy thời gian duy trì tín hiệu đầu vào của FF D cần thiết là $t_h = t_{pd}$.

Căn cứ vào thời gian trễ đầu ra FF chuyển trạng thái t_{phl} và thời gian xác lập t_{set} , ta có thể biết độ rộng cần thiết của xung đồng hồ. Độ rộng (theo mức cao) t_{WH} của CP phải lớn hơn t_{phl} để phần mạch RS cơ bản trong FF D chuyển đổi tin cậy. Độ rộng (theo mức thấp) T_{WL} của CP phải lớn hơn t_{set} để bảo đảm tín hiệu đầu vào đủ thời gian ổn định đầu ra cổng E, F trước khi xuất hiện sườn dương của CP. Vậy chu kỳ xung CP phải lớn hơn $t_{phl} + t_{set}$, tức là tần số cực đại của



Hình 5-3-1. Dạng sóng của FFD.
(theo mạch hình 5-1-14)

CP bị hạn chế nhỏ hơn $\frac{1}{t_{phl} + t_{set}}$. Ví dụ, $t_{pd} = 20\text{ns}$, $t_{phl} + t_{set} = 5t_{pd} = 100\text{ns}$, $f_{\max} = 10\text{MHz}$.

Xem hình 5-3-1 biểu thị quan hệ thời gian vừa trình bày trên đây.

2) Đặc tính công tác xung của FF master slave

Xét mạch FF hình 5-1-11 (mục 5-1-4).

Khi xuất hiện sườn dương CP thì tín hiệu đầu vào J, K tác động đến master. Vì J, K, CP đồng thời nối đến các cổng E, H nên tín hiệu đầu vào chỉ cần xuất hiện không chậm hơn sự xuất hiện sườn dương CP, vậy $t_{set} = 0$.

Sau khi xuất hiện sườn dương CP

Sự chuyển đổi của master chỉ hoàn thành sau thời gian trễ truyền đạt 2 cấp cổng NORAND. Nếu thời gian trễ truyền đạt của cổng NORAND bằng 1,4 lần của cổng NAND thì độ rộng (theo mức cao) t_{WH} của xung đồng hồ CP cần thiết là :

$$t_{WH} \geq 2,8t_{pd}$$

Sau khi xuất hiện sườn âm CP, Slave chuyển đổi, đầu vào master bị khóa, nên tín hiệu đầu vào J, K có thể không cần duy trì, tức là $t_h = 0$

Kể từ khi bắt đầu sườn âm CP, cho đến khi ổn định trạng thái Q, $\bar{Q}$ là thời gian trễ truyền đạt. Vì mạch điện các cổng C, D rất đơn giản, ta có thể cho rằng thời gian trễ truyền đạt của chúng bằng nửa của cổng NAND. Vậy $t_{plh} = 1,5t_{pd}$, $t_{phi} = 2,5t_{pd}$. Rõ ràng yêu cầu độ rộng (theo mức thấp) t_{WL} của CP cần thiết là :

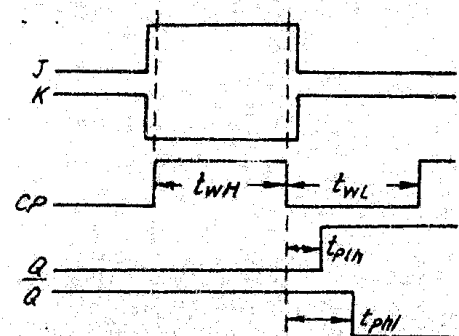
$$t_{WL} \geq t_{phi}$$

Do đó, yêu cầu đối với xung đồng hồ :

$$T_{\min} = 2,8t_{pd} + 2,5t_{pd} = 5,3t_{pd}$$

$$f_{\max} = \frac{1}{5,3t_{pd}}$$

Hình 5-3-2 biểu thị quan hệ thời gian.



Hình 5-3-2. Dạng sóng của FFJK masterslave.
(theo mạch hình 5-1-11)

5.3.2. Các chỉ tiêu chủ yếu của vi mạch (IC) Flip Flop

1) Tham số tĩnh

Kết cấu mạch điện đầu vào, đầu ra của Flip Flop dưới dạng IC rất giống với các cổng NAND họ TTL. Những đặc tính đầu vào đầu ra cũng vậy. Nên cách định nghĩa và phương pháp đo lường các tham số chủ yếu của đặc tính đầu vào, đầu ra cũng cơ bản giống như của cổng NAND TTL. Các chỉ tiêu chủ yếu là :

Dòng điện nguồn I_E

Trong mạch điện cổng dòng điện nguồn khi mức đầu ra thấp và khi mức đầu ra cao khác nhau rất xa. Trong mạch điện Flip Flop bao gồm rất nhiều cổng, thường không đồng thời thông cả hoặc đồng thời ngắt cả, nên dù trạng thái mạch điện FF thay đổi thì dòng điện nguồn cũng không thay đổi đáng kể. Vậy thông thường chỉ đưa ra một giá trị dòng điện nguồn và quy định rằng tất cả các đầu vào đều phải treo khi đo lường dòng điện nguồn.

Dòng điện ngắn mạch đầu vào I_{IS}

Lần lượt nối đất các đầu vào, ta đo được dòng điện ngắn mạch đầu vào tương ứng. Có thể nhận thấy ở các hình 5-1-11 và 5-1-15 rằng mỗi một trong các đầu vào R, S, R_d , S_d , CP, D, J, K v.v... được nối với một số khác nhau tranzito nhiều emitơ. Do đó dòng điện ngắn mạch đầu vào của chúng cũng không bằng nhau. Số tranzito càng nhiều thì trị số dòng điện tương ứng càng lớn.

Dòng điện dò đầu vào I_{IH}

Là dòng điện chảy vào đầu vào xét khi đầu vào đó nối đến mức cao. Dòng điện I_{IH} cũng phụ thuộc vào số tranzito nhiều emitơ được nối đến đầu vào xét.

Mức tín hiệu đầu ra cao V_{OH} và thấp V_{OL}

Khi FF ở trạng thái 1, đầu ra Q ở mức cao, $\bar{Q}$ ở mức thấp. Khi FF ở trạng thái 0, đầu ra Q ở mức thấp, $\bar{Q}$ ở mức cao. Vậy chỉ cần đo lường riêng mức đầu ra Q, $\bar{Q}$ khi FF ở trạng thái 1 và 0 là ta được V_{OH} và V_{OL} .

2) Tham số động

Có 2 tham số động thường dùng như sau :

Thời gian trễ truyền đạt trung bình t_{pd}

t_{pd} được định nghĩa là thời gian từ khi sườn xung đồng hồ tác động (ví dụ, sườn âm của CP đối với FF JK master slave, sườn dương của CP đối với FF D) đến khi trạng thái mới tạo ra ở đầu ra của FF đã ổn định. (hình 5-3-3).

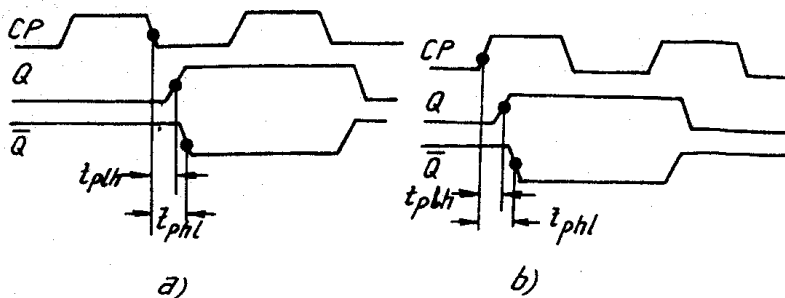
Thông thường thời gian trễ truyền đạt của đầu ra từ mức cao xuống mức thấp t_{phl} lớn hơn từ mức thấp lên mức cao t_{pnh} . Trong các sổ tay IC, người ta chỉ cho biết giá trị trung bình t_{pd} .

$$t_{pd} = \frac{t_{pnh} + t_{phl}}{2}$$

Hình 5-3-3.

Thời gian trễ truyền đạt của IC Flip Flop :

- a) Kích với sườn âm ;
- b) Kích với sườn dương.



Tần số đồng hồ cao nhất f_{max}

Khi FF nối thành T' thì tần số đồng hồ cao nhất cho phép là f_{max} . Khi đo lường f_{max} ta cần tiến hành với phụ tải định mức đã cho, vì kết quả sẽ phụ thuộc vào tình trạng phụ tải. Bảng 5-3-1 và 5-3-2 giới thiệu các chỉ tiêu chủ yếu của IC FF Z63 và IC FF D62.

Bảng 5-3-1 : CHỈ TIÊU CHỦ YẾU CỦA FF JK MASTER SLAVE IC Z63B

$T = 25^{\circ}$, $E_C = 5V$

Tham số		Kí hiệu	Đơn vị	Điều kiện đo	Chỉ tiêu
Dòng điện nguồn		I_E	mA	Dầu vào hở mạch Dầu ra không tải	≤ 15
Dòng điện ngắn mạch đầu vào	J, K	I_{IS}	mA	$V_I = 0$	$\leq 1,5$
	R, S, CP				$\leq 4,5$
Dòng điện dò đầu vào	J, K	I_{IH}	μA	$V_I = 5V$ Các đầu vào khác nối đất	≤ 20
	R, S				≤ 60
	CP				≤ 80
Mức cao đầu ra		V_{OH}	V	$I_L = 160 \mu A$ $I_L = 12mA$ $I_L = 12mA$ $C_L = 15pF$	$3 + 4$
Mức thấp đầu ra		V_{OL}	V		$\leq 0,35$
Tần số đồng hồ cao nhất		f_{max}	MHz		≤ 10

Bảng 5-3-2 : CHỈ TIÊU CHỦ YẾU CỦA FFD IC D62B

$T = 25^{\circ}C$; $E_C = 5V$

Tham số		Kí hiệu	Đơn vị	Điều kiện đo	Chỉ tiêu
Dòng điện nguồn		I_E	mA	Dầu vào treo, Dầu ra không tải	≤ 10
Dòng điện ngắn mạch đầu vào	R, S, D	I_{IS}	mA	$V_I = 0$	$\leq 1,5$
	SD, CP				$\leq 3,0$
	RD				$\leq 4,5$
Dòng điện dò đầu vào	R, S, D	I_{IH}	μA	$V_I = 5V$	≤ 20
	SD, CP				≤ 40
	RD				≤ 60
Mức cao đầu ra		V_{OH}	V	$I_L = 160 \mu A$ $I_L = 12mA$ $I_L = 12mA$ $C_L = 15pF$	$3 + 4$
Mức thấp đầu ra		V_{OL}	V		$\leq 0,35$
Tần số đồng hồ cao nhất		f_{max}	MHz		≤ 10

TÓM TẮT

1- Tính chất cơ bản của FF

FF là linh kiện logic cơ bản của mạch số. FF có hai trạng thái ổn định, dưới tác dụng của tín hiệu bên ngoài có thể chuyển đổi từ trạng thái ổn định này sang trạng thái ổn định kia, nếu không có tác dụng tín hiệu bên ngoài thì nó duy trì mãi trạng thái ổn định vốn có. Vì thế, FF có thể được dùng làm phần tử nhớ của số nhị phân.

2- Quan hệ giữa chức năng logic và hình thức cấu trúc của FF.

Chức năng logic và hình thức cấu trúc là hai khái niệm khác nhau. Chức năng logic là quan hệ logic giữa trạng thái tiếp theo của đầu ra với trạng thái hiện tại của đầu ra và các tín hiệu đầu vào. Do chức năng logic khác nhau mà FF được phân thành các loại RS, E, T, T', JK. Còn do hình thức cấu trúc khác nhau, FF lại được phân thành các loại RS cơ bản, RS đồng bộ, masterslave, duy trì ngăn trở...

Một FF có chức năng logic xác định có thể thực hiện bằng các hình thức cấu trúc khác nhau. Ví dụ, các FF cấu trúc loại masterslave và FF cấu trúc loại duy trì ngăn trở đều có thể thực hiện chức năng logic của FF T. Nghĩa là cùng một cấu trúc có thể đảm trách những chức năng khác nhau. Ví dụ, hình thức cấu trúc masterslave không những làm thành FFRS, mà còn cũng có thể làm thành các loại FF như D, T, JK.

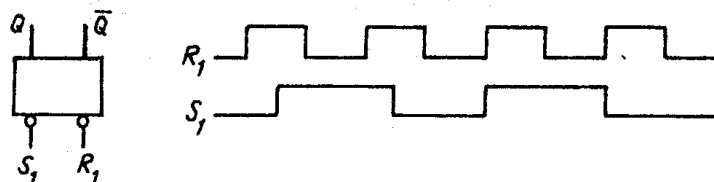
Vậy nên cần chú ý để khỏi nhầm lẫn hai khái niệm trên đây. Hiện nay, nhờ công nghệ sản xuất IC ngày càng hoàn thiện, mà một hay nhiều FF được đóng trong một vỏ IC. Trong những chương trình bày tiếp đây, chúng ta đều coi FF như một linh kiện logic căn bản ; chúng ta chỉ tìm hiểu đại thể quá trình hoạt động và mạch điện ruột IC.

BÀI TẬP

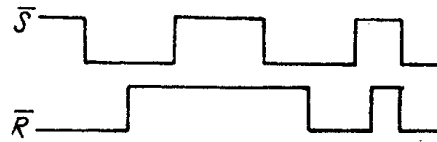
5-1. Xét mạch điện FFRS cơ bản hình 5-1-1, thử vẽ riêng từng dạng sóng đầu ra Q, $\bar{Q}$ trong ba trường hợp sau đây :

- 1- Đầu $\bar{R}$ nối đất, $\bar{S}$ tiếp nhận xung ;
- 2 - Đầu $\bar{R}$ treo, $\bar{S}$ tiếp nhận xung ;
- 3- $\bar{R} = S$, $\bar{S}$ tiếp nhận xung.

5-2. Cho sơ đồ logic của FFRS cơ bản và dạng sóng R_d , S_d như hình dưới đây. Hãy vẽ dạng sóng Q, $\bar{Q}$.

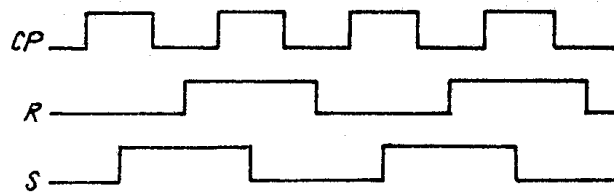
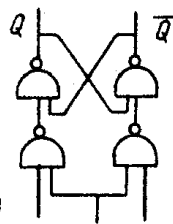


5-3. Xét mạch điện FFRS cơ bản hình 5-1-1, cho dạng sóng đầu vào như hình dưới đây, hãy vẽ dạng sóng Q , $\bar{Q}$



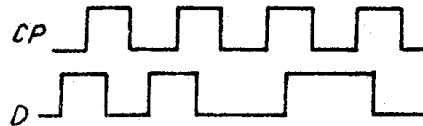
5-4. Cho sơ đồ logic FFRS đồng bộ và cho dạng sóng như hình dưới đây

- 1- Nếu đặc điểm khác biệt với FFRS cơ bản
- 2- Hãy vẽ dạng sóng đầu ra Q .



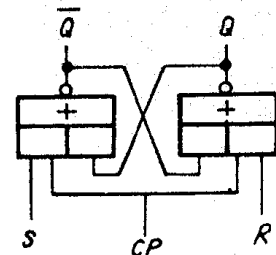
5-5. Xét sơ đồ hình 5-1-7.b

Cho dạng sóng như hình bên,
Hãy vẽ dạng sóng Q , $\bar{Q}$.

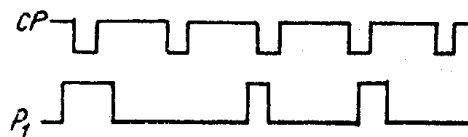
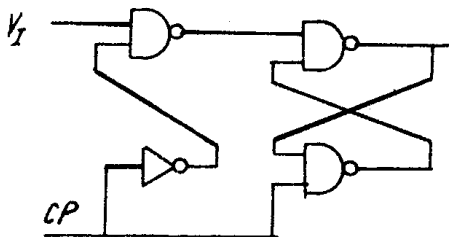


5-6. Hãy phân tích chức năng logic của sơ đồ hình bên, so sánh với FFRS cơ bản.

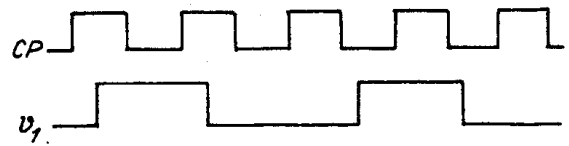
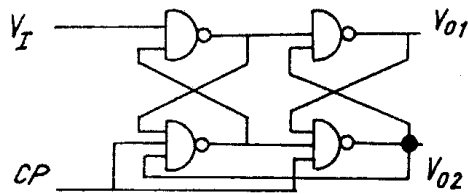
(Gợi ý : tham khảo hình 5-1-7a)



5-7. Xét sơ đồ logic dưới đây, hãy vẽ dạng sóng đầu ra V_o theo các dạng sóng CP và dạng sóng đầu vào V_i đã cho.

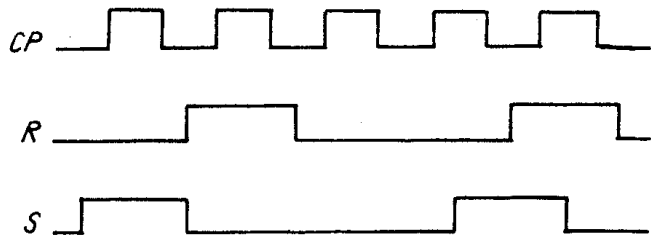


5-8. Xét sơ đồ logic dưới đây, hãy vẽ dạng sóng đầu ra tương ứng với dạng sóng CP, V_I đã cho.

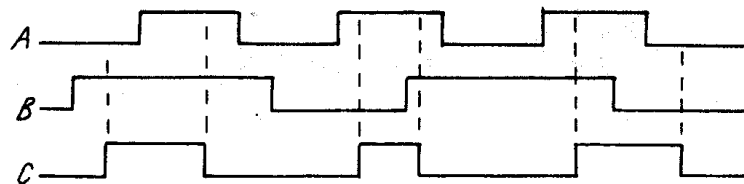
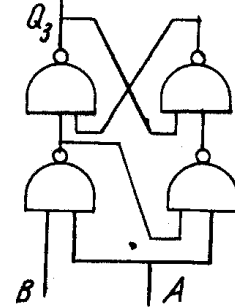
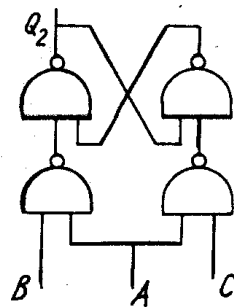
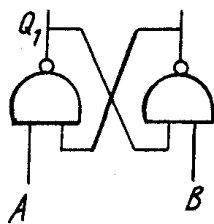


5-9. Xét sơ đồ FFRS đồng bộ hình 5-1-5. Giả sử trạng thái đầu của FF là 0. Hãy vẽ dạng sóng Q, $\bar{Q}$ tương ứng với dạng sóng CP, R, S đã cho dưới đây :

5-10. Cùng với các dạng sóng đã cho trong bài tập 5-9 (CP, R, S). Hãy vẽ dạng sóng Q, $\bar{Q}$ của mạch điện hình 5-1-7.a

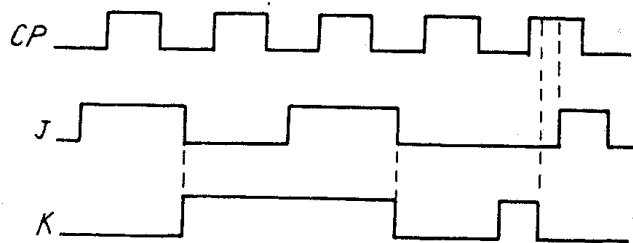


5-11. Cho các mạch điện có sơ đồ dưới đây và dạng sóng A, B, C. Hãy viết biểu thức hàm logic và vẽ dạng sóng của Q_1 , Q_2 , Q_3



5-12. Xét sơ đồ FFRS masterslave hình 5-1-8. Cho dạng sóng CP, R, S như ở bài tập 5-9. Hãy vẽ dạng sóng Q_m , $\bar{Q}_m$, q, $\bar{q}$ tương ứng.

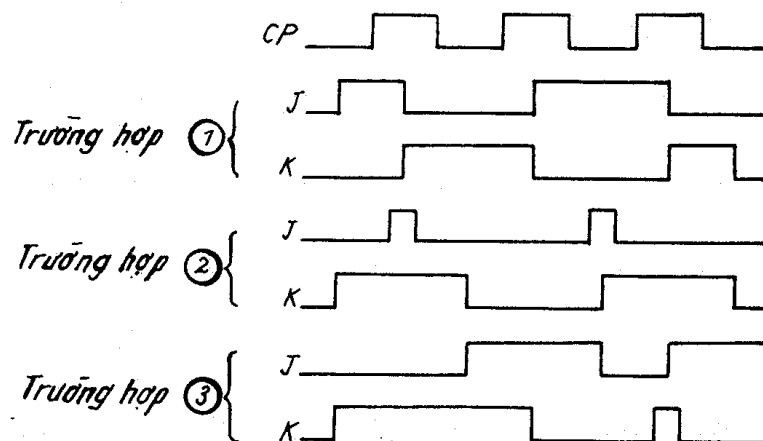
5-13. Xét sơ đồ FFJK masterslave hình 5-1-9. Giả sử trạng thái đầu của FF là 0. Hãy vẽ dạng sóng Q, $\bar{Q}$ tương ứng với dạng sóng CP, J, K cho dưới đây



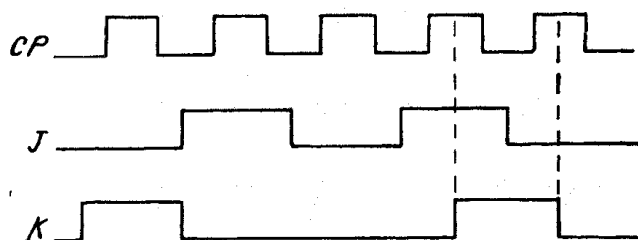
5-14. Tiếp tục xét sơ đồ hình 5-1-9.

1- Thế nào là vấn đề "một lần chuyển". Hãy thuyết minh điều này dựa vào sơ đồ logic.

2- Hãy vẽ dạng sóng Q (giả sử trạng thái đầu là 0) trong ba trường hợp dưới đây.



5-15. Xét sơ đồ FFJK masterslave IC hình 5-1-11.

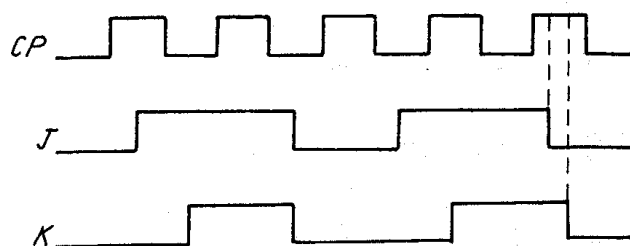


Cho dạng sóng CP, $J = J_1 \cdot J_2 \cdot J_3$
 $K = K_1 \cdot K_2 \cdot K_3$ như hình bên.

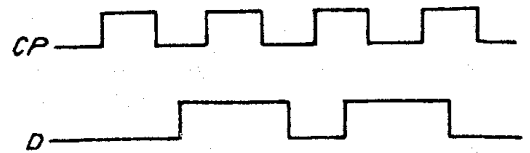
Giả thiết trạng thái ban đầu của FF là 1.

Hãy vẽ dạng sóng Q, $\bar{Q}$ tương ứng.

5-16. Xét sơ đồ FFJK kích bằng sườn hình 5-1-12. Cho dạng sóng CP, J, K như hình bên. Giả sử trạng thái đầu của FF là 0. Hãy vẽ dạng sóng Q, $\bar{Q}$.

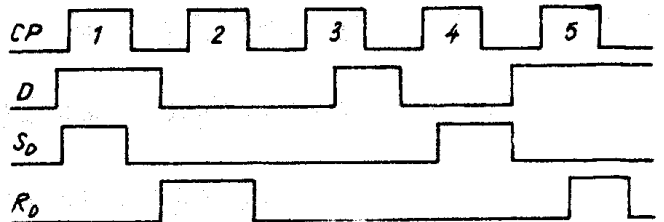


5-17. Xét sơ đồ FFD CMOS hình 5-1-16. Cho dạng sóng CP, D như hình bên. Hãy vẽ dạng sóng Q, $\bar{Q}$.

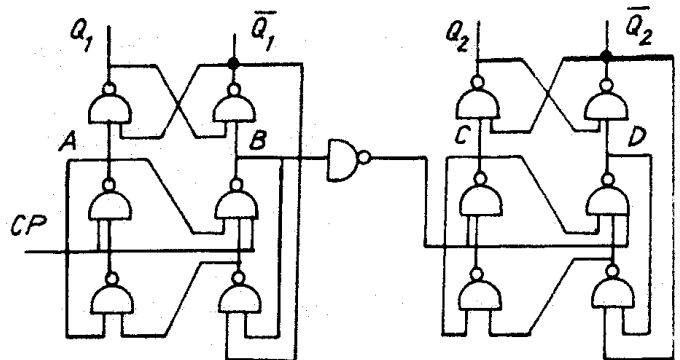


5-18. Xét sơ đồ FFJK CMOS hình 5-1-17. Cho dạng sóng CP, J, K như trong bài tập 5-16. Hãy vẽ dạng sóng Q, $\bar{Q}$.

5-19. Xét sơ đồ FFD CMOS hình 5-1-16. Cho dạng sóng CP, D, S_D , R_D như hình bên. Hãy vẽ dạng sóng Q, $\bar{Q}$.

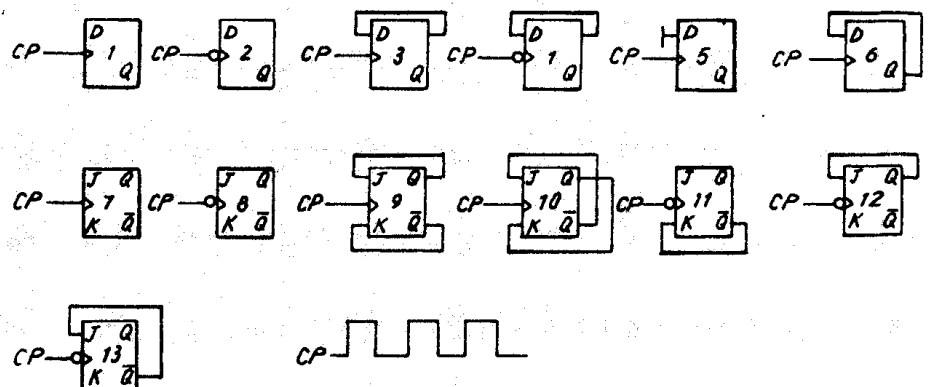


5-20. Giả thiết trạng thái ban đầu $Q_1 = 0$, $Q_2 = 0$. Hãy vẽ dạng sóng ở các điểm A, B, Q_1 , $\bar{Q}_1$, C, D, Q_2 , $\bar{Q}_2$ trên mạch điện.



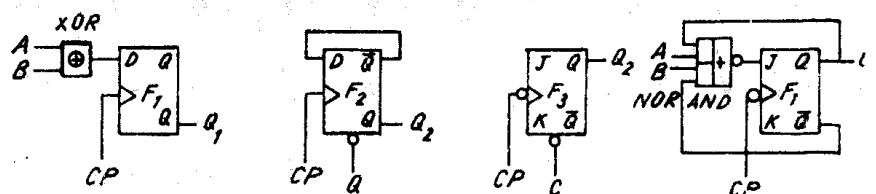
5-21. Có những phương pháp nào miêu tả chức năng logic của Flip Flop.

5-22. Giả thiết trạng thái ban đầu của các FF là 0. Hãy vẽ dạng sóng Q.



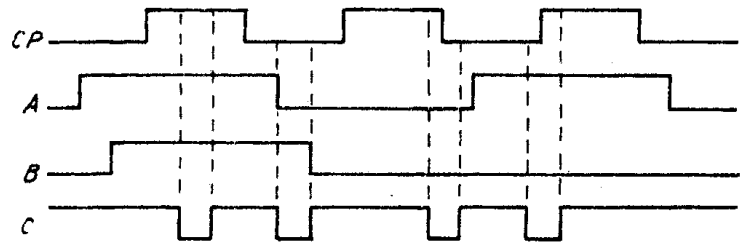
5-23. Cho các sơ đồ :

F_1, F_2 là FFD
 F_3, F_4 là FFJK masterslave

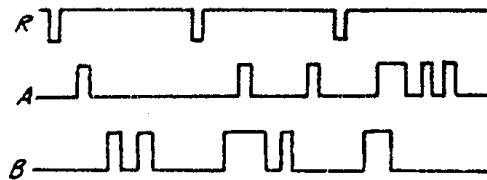
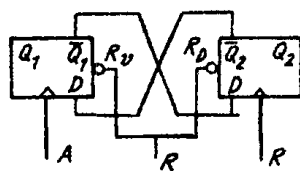


1- Hãy viết biểu thức hàm logic trạng thái tiếp theo Q^{n+1} của các FF.

2- Cho dạng sóng A, B, C, CP như hình bên. C đưa đến đầu $\bar{S}_D$ của hình F_2 , đầu $\bar{R}_D$ của hình F_3 . Hãy vẽ dạng sóng Q của các mạch F_1, F_2, F_3, F_4 .



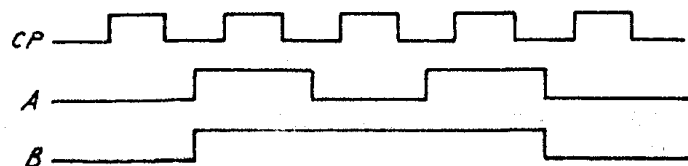
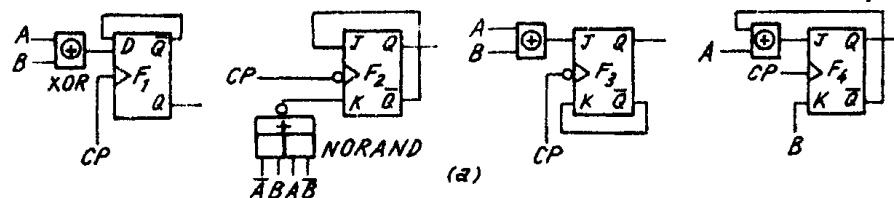
5-24. Hãy vẽ dạng sóng Q_1, Q_2 của mạch điện dưới đây tương ứng với các dạng sóng đã cho.



5-25. Cho các sơ đồ và dạng sóng

1. Hãy viết biểu thức hàm logic trạng thái tiếp theo Q^{n+1} của các FF.

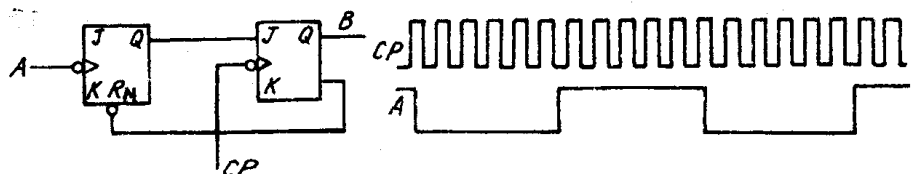
2. Giả thiết trạng thái ban đầu của các FF là 0. Hãy vẽ dạng sóng Q tương ứng.



5-26. Hãy vẽ mạch điện các Flip Flop từ RS masterslave chuyển đổi thành D, T, T' và JK.

5-27. Cho sơ đồ và dạng sóng

Giả sử trạng thái ban đầu của FF là 0. Hãy vẽ dạng sóng đầu ra B. So sánh dạng sóng A và B, thuyết minh chức năng mạch.



5-28. Nếu dùng FFD để cấu trúc mạch có chức năng như của mạch ở bài tập 5-27 trên đây thì nối mạch thế nào.

Chương 6

MẠCH DÂY

6.1. ĐẠI CƯƠNG VỀ MẠCH DÂY

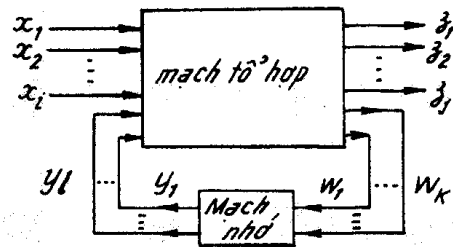
Căn cứ đặc điểm khác nhau về chức năng logic và cấu trúc mạch điện, mạch số được phân loại thành mạch tổ hợp (combinational Circuits) đã giới thiệu ở chương 4 và mạch dây (Sequential circuits) sẽ được trình bày trong chương này.

6.1.1. Đặc điểm và phương pháp miêu tả chức năng

1) Đặc điểm của mạch dây

Trong mạch số, một mạch điện được gọi là mạch dây nếu trạng thái đầu ra ổn định ở thời điểm xét bất kì không chỉ phụ thuộc vào trạng thái đầu vào thời điểm đó mà còn phụ thuộc cả vào trạng thái bản thân mạch điện ở thời điểm trước (trạng thái trong).

Mạch dây có đặc điểm nhất định phải bao gồm Flip Flop để nhớ trạng thái vốn có. Tư tưởng này thể hiện thành cấu trúc mạch như hình 6-1-1 gợi ý.



Hình 6-1-1. Sơ đồ khối mạch dây

2) Phương pháp miêu tả chức năng logic của mạch dây

Theo định nghĩa mạch dây trên đây, các Flip Flop đã được nghiên cứu ở chương 5 cũng là mạch dây, vì trạng thái đầu ra tiếp theo Q^{n+1} không chỉ phụ thuộc vào tín hiệu đầu vào mà còn phụ thuộc cả vào trạng thái (trong) Q^n vốn có. Phương pháp miêu tả chức năng logic của Flip Flop cũng thích hợp với mạch dây nói chung.

a) Phương trình logic

Xét hình 6-1-1, $X(x_1, x_2, \dots, x_i)$ là tín hiệu đầu vào ở thời điểm xét t_n , $Z(z_1, z_2, \dots, z_j)$ là tín hiệu đầu ra ở t_n , $W(w_1, w_2, \dots, w_k)$ là tín hiệu đầu vào mạch nhớ ở t_n (tức là tín hiệu kích đồng bộ của FF), $Y(y_1, y_2, \dots, y_e)$ là tín hiệu đầu ra mạch nhớ ở t_n (tức là trạng thái hiện tại của FF). Quan hệ giữa các tín hiệu trên đây có thể biểu thị bằng các hàm logic :

$$Z(t_n) = F(X(t_n), Y(t_n)) \quad (6-1-1)$$

$$Y(t_{n+1}) = F[W(t_n), Y(t_n)] \quad (6-1-2)$$

$$W(t_n) = H([X(t_n), Y(t_n)]) \quad (6-1-3)$$

t_n và t_{n+1} là hai thời điểm gần nhau. Vì $y_1, y_2, \dots, y_e$ là trạng thái của FF cấu trúc mạch nhớ, nên chúng được gọi là tín hiệu trạng thái, hay biến trạng thái, tương ứng hàm Y được gọi là vectơ trạng thái, (6-1-2) là phương trình trạng thái với $Y(t_{n+1})$ là trạng thái tiếp theo, $Y(t_n)$ là trạng thái hiện tại. Tương tự, (6-1-1) là phương trình đầu ra, (6-1-3) là phương trình kích. Nói riêng trường hợp Flip Flop, $X(t_n) = W(t_n)$, $Z(t_n) = Y(t_n)$. Vì vậy, chỉ riêng phương trình trạng thái (6-1-2) cũng đủ miêu tả chức năng logic của FF. Để phân biệt với mạch dây nối chung, ở chương 5, (6-1-2) của FF mang một tên chuyên biệt là phương trình đặc trưng, như ta đã gọi.

b) Bảng trạng thái

Bảng liệt kê mối quan hệ giữa $Z(t_n)$, $Y(t_{n+1})$ và $X(t_n)$, $Y(t_n)$ gọi là bảng trạng thái của mạch dây. (Riêng đối với FF, bảng trạng thái có tên riêng là bảng chức năng).

c) Đồ hình trạng thái

Đồ hình trạng thái là hình vẽ phản ánh quy luật chuyển đổi trạng thái và tình hình các giá trị đầu vào, đầu ra tương ứng của mạch dây.

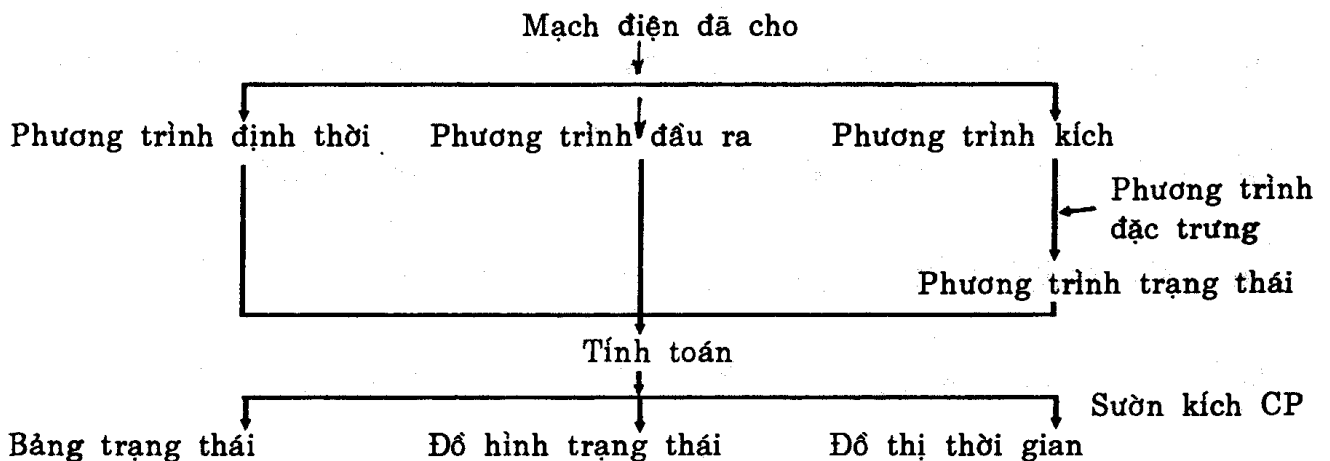
d) Đồ thị thời gian

Đồ thị thời gian còn gọi là dạng sóng công tác. Nó biểu thị trực quan mối quan hệ tương ứng các giá trị tín hiệu đầu vào, tín hiệu đầu ra, trạng thái mạch điện về thời gian.

Như sau này chúng ta sẽ rõ, 4 phương pháp trình bày trên đây về bản chất đều phản ánh chức năng logic mạch dây theo các khía cạnh khác nhau, chúng liên quan và chuyển đổi lẫn nhau. Có thể tùy ý chọn dùng tùy theo tình hình cụ thể. Cũng cần lưu ý thêm rằng bảng Karnaugh có thể miêu tả chức năng logic mạch dây một cách tiện lợi.

6.1.2. Phương pháp cơ bản phân tích chức năng logic mạch dây

Nhiệm vụ phân tích là tìm ra bảng trạng thái, đồ hình trạng thái, đồ thị thời gian của mạch dây đã cho, rồi xác định đặc điểm công tác và chức năng logic của nó. Hình 6-1-2 là sơ đồ gợi ý về quá trình phân tích này.



Hình 6-1-2. Sơ đồ gợi ý quá trình phân tích mạch dây.

Dưới đây đưa ra quy trình phân tích 4 bước :

1- Viết phương trình

Căn cứ vào mạch điện đã cho, viết phương trình định thời, phương trình đầu ra, phương trình kích, cũng tức là các công thức logic của tín hiệu định thời (đồng hồ), tín hiệu đầu ra và tín hiệu đầu vào.

2- Tìm phương trình trạng thái

Thay phương trình kích vào phương trình đặc trưng của Flip Flop tương ứng, ta sẽ tìm được phương trình trạng thái của mạch điện, cũng tức là phương trình trạng thái tiếp theo của các Flip Flop. Vì rằng trạng thái mạch dây bất kì đều nhờ các Flip Flop cấu trúc tạo ra mạch dây đó mà có được khả năng nhớ.

3- Tính toán

Đưa tất cả các tổ hợp có thể của trạng thái hiện tại và tín hiệu đầu vào vào phương trình trạng thái và phương trình đầu ra, rồi tiến hành tính toán, tìm ra trạng thái tiếp theo và tín hiệu đầu ra tương ứng. Ở đây có 4 điều chú ý :

- Điều kiện định thời tích cực của phương trình trạng thái
 - Trạng thái hiện tại của mạch điện, tức là tổ hợp các trạng thái hiện tại của các FF cấu trúc nên mạch xét.
 - Không bỏ sót một tổ hợp có thể nào của trạng thái hiện tại và tín hiệu đầu vào.
 - Căn cứ vào giá trị ban đầu đã cho (hoặc tự cho) của trạng thái hiện tại và tín hiệu đầu vào mà tính toán lần lượt các trạng thái tiếp theo nhau.
- 4- Vẽ đồ hình trạng thái (hoặc bảng trạng thái, hoặc đồ thị thời gian). Xem xét kết quả tính toán, rồi vẽ đồ hình trạng thái. Ở đây cần chú ý 3 điều :
- Chuyển đổi trạng thái từ hiện tại đến tiếp theo, chứ không phải là từ hiện tại đến hiện tại, hoặc từ tiếp theo đến tiếp theo.
 - Tín hiệu đầu ra là hàm số của trạng thái hiện tại, chứ không phải là hàm số của trạng thái tiếp theo.
 - Vẽ đồ thị thời gian cần lưu ý rằng FF chỉ chuyển đổi trạng thái tương ứng với sườn kích của xung đồng hồ xuất hiện.

Quy trình 4 bước trên đây là chung, không bắt buộc phải tuân theo máy móc, mà nên vận dụng linh hoạt tùy tình huống cụ thể.

6.2. BỘ ĐẾM

6.2.1. Đặc điểm và phân loại bộ đếm

1) Đặc điểm cơ bản

Đếm là khả năng nhớ được số xung đầu vào ; mạch điện thực hiện thao tác đếm được gọi là bộ đếm.

Đếm là một thao tác cơ bản cực kì quan trọng. Vậy bộ đếm được sử dụng vô cùng rộng rãi, từ các thiết bị đo chỉ thị số đến các máy tính điện tử số loại lớn, bất kì hệ thống số hiện đại nào đều hiện diện bộ đếm.

2) Phân loại

Căn cứ vào sự khác biệt của tình huống chuyển đổi trạng thái các Flip Flop trong bộ đếm, người ta phân thành hai loại lớn : bộ đếm đồng bộ và bộ đếm dị bộ. Trong bộ đếm đồng bộ, các Flip Flop đều chịu tác động điều khiển của một xung đồng hồ duy nhất, đó là xung đếm đầu vào. Vậy sự chuyển đổi trạng thái của chúng là đồng bộ. Bộ đếm dị bộ thì khác, có Flip Flop chịu tác động điều khiển trực tiếp của xung đếm đầu vào, nhưng cũng có FF chịu tác động điều khiển của xung đầu ra của FF khác (có vai trò định thời của xung đồng hồ). Vậy sự chuyển đổi trạng thái của các FF không cùng lúc, tức là dị bộ.

Căn cứ vào sự khác biệt về hệ số đếm của bộ đếm, người ta phân thành các loại : Bộ đếm nhị phân, bộ đếm thập phân, bộ đếm N phân. Nếu gọi n là số chữ số vị trí trong mã số nhị phân, (cũng tức là số Flip Flop có trong bộ đếm), gọi N là số trạng thái tích cực (cũng tức là số trạng thái mã hóa đã được dùng khi lập mã) thì đối với bộ đếm nhị phân $N = 2^n$, đối với bộ đếm thập phân $N = 10$. Bộ đếm nhị phân và bộ đếm thập phân là trường hợp riêng của bộ đếm N phân. Ta thường gọi N là dung lượng bộ đếm hoặc độ dài đếm bộ đếm, hoặc hệ số đếm.

Căn cứ tác động của xung đếm đầu vào mà số đếm của bộ đếm tăng hay giảm mà người ta phân thành ba loại : Bộ đếm thuận, bộ đếm nghịch, bộ đếm thuận nghịch. (Bộ đếm thuận : Up Counter, bộ đếm nghịch : Down Counter)

6.2.2. Bộ đếm đồng bộ

1) Bộ đếm nhị phân đồng bộ

Bộ đếm nhị phân đồng bộ nói chung cấu trúc bằng Flip Flop T.

a) Bộ đếm thuận nhị phân đồng bộ

Cấu trúc mạch :

Hình 6-2-1 dưới đây là bộ đếm thuận nhị phân đồng bộ 4 chữ số.

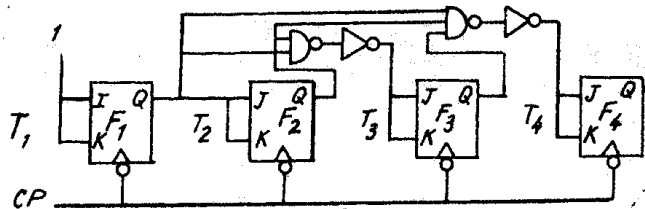
Bộ đếm cấu trúc bằng 4FFJK nối thành loại T và 4 cổng NAND, CP là xung đếm đầu vào ; chỉ có các đầu ra Q , $\bar{Q}$ của FF.

Nguyên lí làm việc :

Viết phương trình

$$- \text{Phương trình định thời } CP_1 = CP_2 = CP_3 = CP_4 = CP \quad (6-2-1)$$

Xung đồng bộ của 4FF đều là xung đếm đầu vào. Trong mạch dãy đồng bộ, các xung đồng hồ của các FF đều giống nhau, mỗi khi mạch điện chuyển đổi trạng thái, các điều kiện định thời nói chung đều bảo đảm, vậy nên phương trình định thời thường không cần viết ra.



Hình 6-2-1. Bộ đếm nhị phân đồng bộ 4 chữ số.

- Phương trình đầu ra có thể không cần viết vì không có tín hiệu đầu ra nào khác ngoài $Q, \bar{Q}$.

- Phương trình kích

$$\begin{cases} T_1 = 1 \\ T_2 = Q_1^n \\ T_3 = Q_1^n Q_2^n \\ T_4 = Q_1^n Q_2^n Q_3^n \end{cases} \quad (6-2-2)$$

Tìm phương trình trạng thái

Phương trình đặc trưng của Flip Flop T $Q^{n+1} = T \bar{Q}^n + \bar{T} Q^n$

Thay phương trình kích vào phương trình đặc trưng, ta có :

$$\begin{cases} Q_1^{n+1} = T_1 \bar{Q}_1^n + \bar{T}_1 Q_1^n = 1 \bar{Q}_1^n + \bar{1} Q_1^n = \bar{Q}_1^n \\ Q_2^{n+1} = T_2 \bar{Q}_2^n + \bar{T}_2 Q_2^n = Q_1^n \bar{Q}_2^n + \bar{Q}_1^n Q_2^n \\ Q_3^{n+1} = T_3 \bar{Q}_3^n + \bar{T}_3 Q_3^n = Q_1^n Q_2^n \bar{Q}_3^n + \bar{Q}_1^n Q_2^n Q_3^n \\ Q_4^{n+1} = T_4 \bar{Q}_4^n + \bar{T}_4 Q_4^n = Q_1^n Q_2^n Q_3^n \bar{Q}_4^n + \bar{Q}_1^n Q_2^n Q_3^n Q_4^n \end{cases} \quad (6-2-3)$$

Tính toán

Giả định các trạng thái $Q_4^n Q_3^n Q_2^n Q_1^n$ tuần tự, thay vào phương trình trạng thái (6-2-3), ta được bảng kết quả 6-2-1, đó là các trạng thái tiếp theo $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$

Bảng 6-2-1 : KẾT QUẢ TÍNH TOÁN

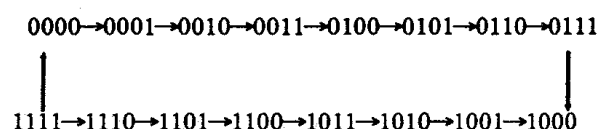
Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0

Vẽ đồ hình trạng thái

Từ bảng 6-2-1 ta vẽ ngay được đồ hình trạng thái, đó là hình 6-2-2.

Nhận xét hình 6-2-2, ta thấy mạch điện 6-2-1 làm việc của bộ đếm nhị phân đồng bộ 4 chữ số

Hình 6-2-2. Đồ hình trạng thái của bộ đếm



Đặc điểm

Đặc điểm của bộ đếm đã nêu rõ trong tên "bộ đếm nhị phân đồng bộ 4 chữ số". Dưới đây trình bày thêm về sự chuyển vị của bộ đếm.

Chuyển vị song song

Mạch điện 6-2-1 thực hiện chuyển vị song song. Khái niệm chuyển vị đã dùng trong bộ cộng đủ, tổng của 1 với 1 là 0, với chuyển vị (nhớ) lên số có trọng số lớn hơn là 1. Từ góc độ phép cộng số nhị phân mà xét, quá trình công tác của bộ đếm có thể nói là không ngừng cộng số 1 vào số có trọng số bé nhất của số nhị phân, đồng thời tuần tự chuyển vị lên số có trọng số lớn hơn, kích FF tương ứng chuyển đổi trạng thái. Phương thức chuyển vị song song của mạch hình 6-2-1 thể hiện ở chỗ tín hiệu chuyển vị (nhớ) từ đầu ra Q của một FF đưa đến đầu vào của FF trọng số lớn bất kì đều chỉ có trễ truyền đạt hai cấp cổng $2t_{pd}$. Xét thêm yêu cầu CP duy trì mức cao t_{WH} , yêu cầu thời gian chuyển của FF t_{phl} , thì chu kì đếm ngắn nhất có thể của bộ đếm (tức là khoảng thời gian cực tiểu giữa hai sườn âm xung đếm liên kế) :

$$T_{MIN} = 2t_{pd} + t_{phl} + t_{WH} \quad (6-2-4)$$

Vậy tần số cao nhất của bộ đếm là

$$f_{MAX} = \frac{1}{T_{MIN}} \quad (6-2-5)$$

Nhược điểm của phương thức chuyển vị song song là phụ tải các FF không đều nhau, các FF trọng số càng bé thì phụ tải càng nặng, còn các FF trọng số càng lớn càng lăm đầu vào chuyển vị.

Chuyển vị nối tiếp

Xét mạch điện hình 6-2-3

Phương thức chuyển vị nối tiếp không có khuyết điểm nói trên của phương thức chuyển vị song song, tuy vậy, thời gian chuyển vị từ số trọng số bé nhất đến số trọng số lớn nhất lại kéo dài hơn.

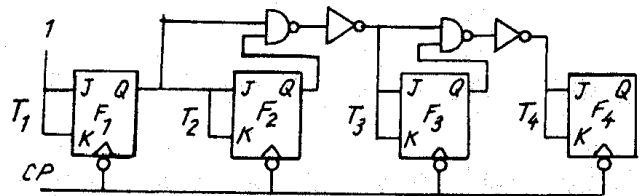
Giả sử có n trọng số, thời gian chuyển vị đó là thời gian tín hiệu chuyển vị đi qua $2(n-2)$ cổng để từ FF trọng số bé nhất đến FF trọng số lớn nhất. Do đó tần số cực đại của bộ đếm chuyển vị nối tiếp tương đối thấp :

$$f_{MAX} = \frac{1}{2(n-2)t_{pd} + t_{phl} + t_{WH}} \quad (6-2-6)$$

b) Bộ đếm nghịch nhị phân đồng bộ

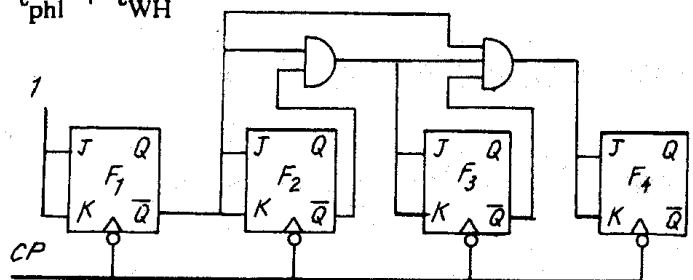
Sơ đồ logic Hình 6-2-4.

Tương tự như trên, dùng phương pháp phân tích căn bản để tìm đồ hình trạng thái, hình 6-2-5

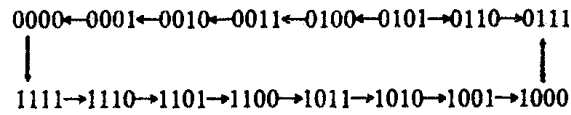


Hình 6-2-3.

Bộ đếm thuận đồng bộ chuyển vị nối tiếp.



Hình 6-2-4. Bộ đếm nghịch nhị phân chuyển vị song song đồng bộ 4 chữ số.

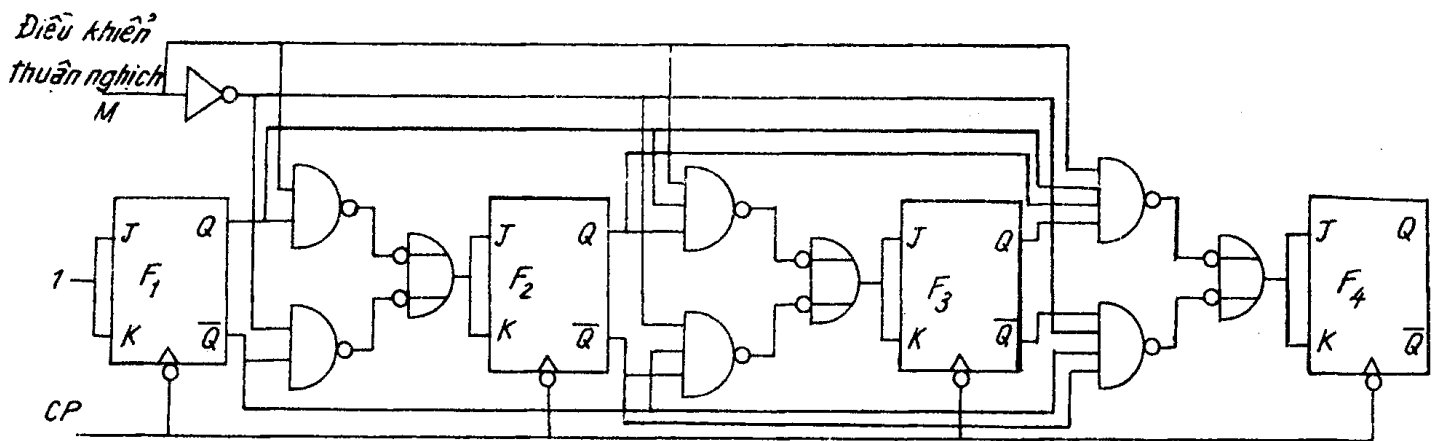


Hình 6-2-5. Đồ hình trạng thái của bộ đếm nghịch.

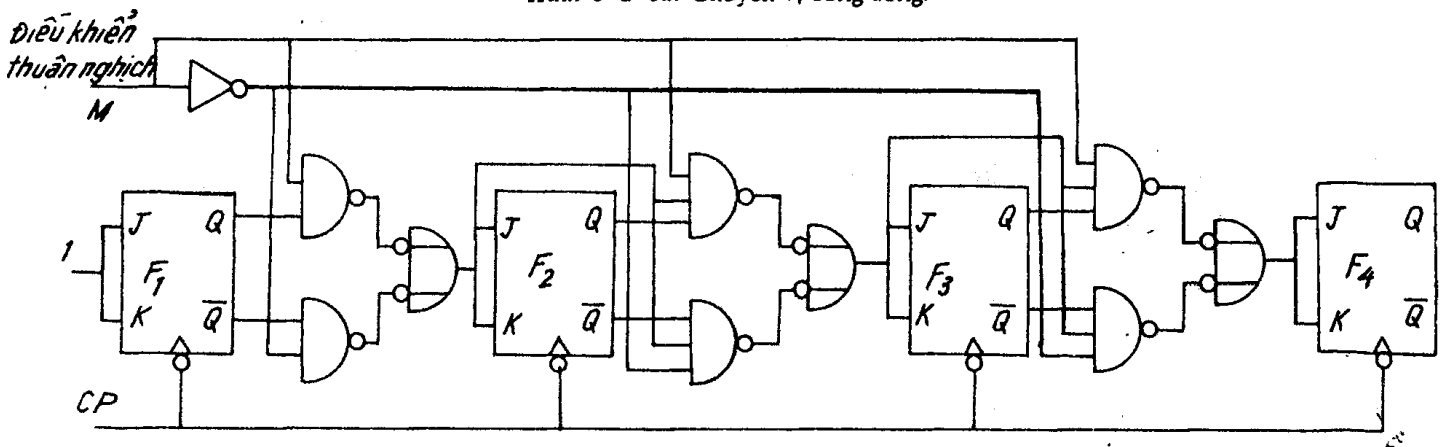
So sánh hình 6-2-4 với hình 6-2-1, ta thấy sự khác biệt của bộ đếm nghịch so với bộ đếm thuận là đầu ra $\bar{Q}$ (đảo) của FF cung cấp tín hiệu chuyển vị. Vậy từ bộ đếm thuận sẵn có, nếu ta tháo dây nối ở đầu Q, rồi đầu nối vào đầu $\bar{Q}$, ta sẽ có bộ đếm nghịch.

c) Bộ đếm thuận nghịch nhị phân đồng bộ

Kiểu mạch có đầu vào điều khiển đếm thuận, đếm nghịch.



Hình 6-2-6a. Chuyển vị song song.



Hình 6-2-6b. Chuyển vị nối tiếp.

Hình 6-2-6 bộ đếm thuận nghịch nhị phân đồng bộ có đầu vào điều khiển xét sơ đồ hình 6-2-6. Ta thấy bộ đếm gồm bộ đếm thuận và bộ đếm nghịch gộp lại với nhau, có thêm một số cổng điều khiển. Tín hiệu điều khiển đếm thuận hoặc đếm nghịch thông qua các cổng điều khiển để thực hiện sự điều khiển biến bộ đếm thành đếm thuận hay đếm nghịch. Sử dụng phương pháp phân tích logic, ta tìm đồ hình trạng thái như hình 6-2-7.

Bộ đếm trên đây, ngoài đầu vào đếm CP ra, còn có đầu vào điều khiển đếm thuận hoặc đếm nghịch. Vậy nó được gọi là bộ đếm thuận nghịch nhị phân đồng bộ kiểu có đầu vào điều khiển thuận hoặc nghịch.

Trong đồ hình trạng thái, con số trên dấu gạch xiên biểu thị trị số tín hiệu M điều khiển thuận/nghịch, tương ứng $M = 1/10$.

1/ 1/ 1/ 1/ 1/ 1/ 1/
0000 → 0001 → 0010 → 0011 → 0100 → 0101 → 0110 → 0111

1/ ↑ ↓ 1/
1111 ← 1110 ← 1101 ← 1100 ← 1011 ← 1010 ← 1001 ← 1000

1/ 1/ 1/ 1/ 1/ 1/ 1/

(a)

0/ 0/ 0/ 0/ 0/ 0/ 0/
0000 ← 0001 ← 0010 ← 0011 ← 0100 ← 0101 ← 0110 ← 0111

0/ ↓ ↑ 0/
1111 → 1110 → 1101 → 1100 → 1011 → 1010 → 1001 → 1000

0/ 0/ 0/ 0/ 0/ 0/ 0/

(b)

1/ 1/ 1/ 1/ 1/ 1/ 1/
0000 ⇌ 0001 ⇌ 0010 ⇌ 0011 ⇌ 0100 ⇌ 0101 ⇌ 0110 ⇌ 0111

0/ 0/ 0/ 0/ 0/ 0/ 0/
1/ 0/ 0/ 0/ 0/ 0/ 0/ ↓ ↑ 1/

0/ 0/ 0/ 0/ 0/ 0/ 0/
1111 ⇌ 1110 ⇌ 1101 ⇌ 1100 ⇌ 1011 ⇌ 1010 ⇌ 1001 ⇌ 1000

1/ 1/ 1/ 1/ 1/ 1/ 1/

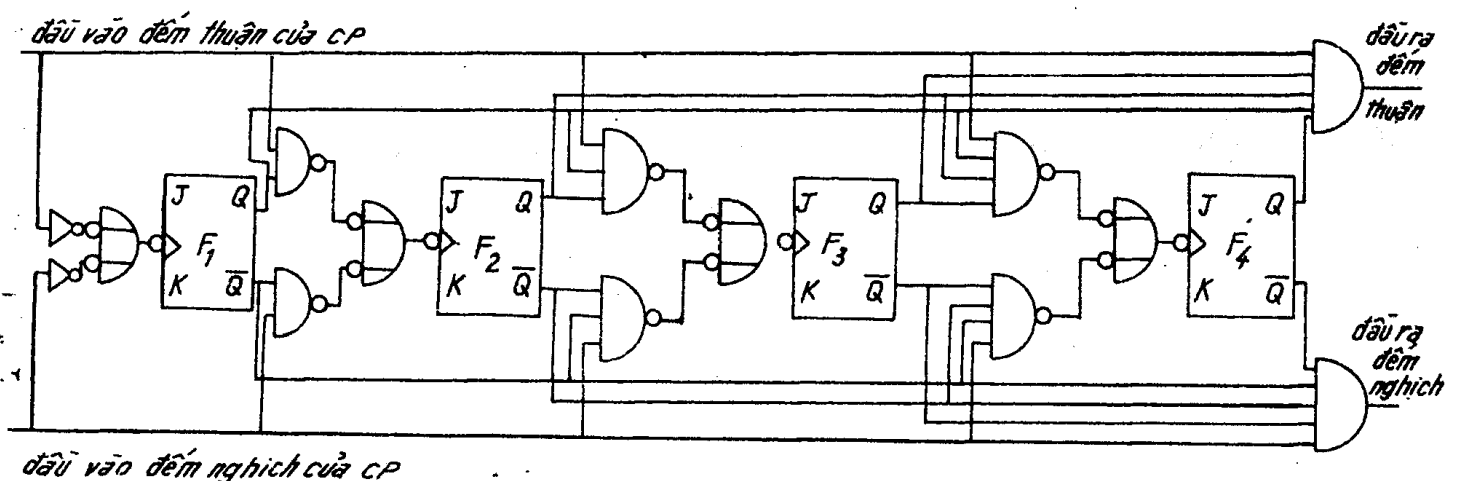
(c)

Hình 6-2-7.

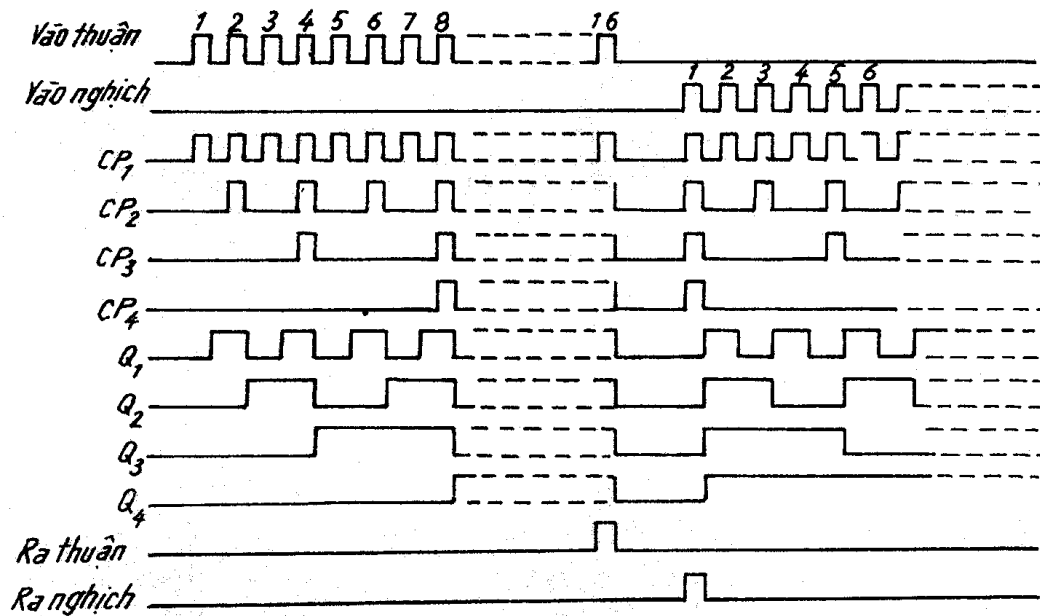
Đồ hình trạng thái của bộ đếm thuận
nghịch :

- a) Khi $M = 1$;
- b) Khi $M = 0$;
- c) Khi xét gộp $M = 0,1$.

Kiểu mạch có 2 đầu vào xung đồng hồ



Hình 6-2-8. Bộ đếm thuận nghịch 2 đầu vào xung đồng hồ.



Hình 6-2-9. Dạng sóng bộ đếm thuận nghịch 2 đầu vào xung đồng hồ.

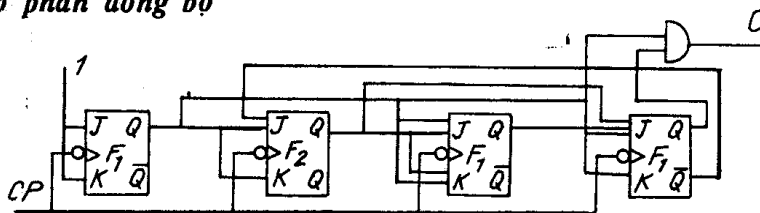
Xét sơ đồ hình 6-2-8. Mạch có hai đầu vào xung đếm (đồng hồ). Khi đưa xung đồng hồ vào đầu đếm thuận, lúc đó đầu đếm nghịch ở mức thấp, chỉ có các cổng điều khiển nửa trên thông, các cổng điều khiển nửa dưới ngắt, mạch thực hiện đếm thuận. Khi đưa xung đồng hồ vào đầu đếm nghịch, lúc đó đầu đếm thuận ở mức thấp, chỉ có các cổng điều khiển nửa dưới thông, các cổng điều khiển nửa trên ngắt, mạch thực hiện đếm nghịch.

Khi đếm thuận, xung chuyển vị (đầu ra thuận) sinh ra vào lúc từ mã $Q_4Q_3Q_2Q_1 = 1111$ ($= 15_{10}$) chuyển thành $Q_4Q_3Q_2Q_1 = 0000$. Khi đếm nghịch, xung chuyển vị (đầu ra nghịch) sinh ra vào lúc từ mã $Q_4Q_3Q_2Q_1 = 0000$ chuyển thành $Q_4Q_3Q_2Q_1 = 1111$ ($= 15_{10}$). Xem dạng sóng bộ đếm trên hình 6-2-9.

Nếu cần tăng dung lượng đếm thì có thể mắc dây chuyển (nối tiếp nhau) các mạch đếm hình 6-2-8; trong mạch mắc dây chuyển, đầu ra đếm thuận của bộ đếm phía trước nối vào đầu vào đếm thuận của bộ đếm sau liền kế, đầu ra đếm nghịch của bộ đếm phía trước nối vào đầu vào đếm nghịch của bộ đếm sau liền kế.

Trên cơ sở mạch điện hình 6-2-8, người ta thêm các đầu vào xóa, lập, vào số liệu; người ta cũng dẫn tín hiệu đầu ra của Q của 4 Flip Flop ra ngoài, do đó tạo thành IC bộ đếm 4 bit, chẳng hạn T1193.

2) Bộ đếm thập phân đồng bộ



Hình 6-2-10. Bộ đếm thuận thập phân đồng bộ.

Bộ đếm thập phân là bộ đếm theo mã nhị - thập phân. Vì tương ứng với nhiều kiểu mã hóa của mã nhị - thập phân, nên cũng có nhiều kiểu bộ đếm thập phân khác nhau. Ở đây chỉ giới thiệu bộ đếm thập phân dùng mã nhị - thập phân 8421.

a) Bộ đếm thuận thập phân đồng bộ (Hình 6-2-10)

Cấu trúc mạch điện :

Mạch điện cấu trúc bằng 4 Flip Flop JK và cổng chuyển vị (nhớ) đầu ra C, xung đếm đầu vào là CP.

Nguyên lí công tác

Viết phương trình

Phương trình định thời

$$CP_1 = CP_2 = CP_3 = CP_4 = CP$$

$$C = Q_4^n Q_1^n \quad (6-2-7)$$

Phương trình kích

$$\left\{ \begin{array}{l} J_1 = \overline{K_1} = 1 \\ J_2 = Q_4^n Q_1^n \quad K_2 = Q_1^2 \\ J_3 = K_3 = Q_2^n Q_1^n \\ J_4 = Q_3^n Q_2^n Q_1^n K_4 = Q_1^n \end{array} \right. \quad (6-2-8)$$

(đầu vào J của F_4 trên hình 6-2-10 vẽ 3 đường, có thể hiểu rằng ở đó có cổng AND 3 đầu vào tương ứng)

Tìm phương trình trạng thái

$$\left\{ \begin{array}{l} Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} \\ Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_4^n Q_1^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n \\ Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = Q_2^n Q_1^n \overline{Q_3^n} + Q_2^n Q_1^n Q_3^n \\ Q_4^{n+1} = J_4 \overline{Q_4^n} \overline{K_4} Q_4^n = Q_3^n Q_2^n Q_1^n \overline{Q_4^n} + \overline{Q_1^n} Q_4^n \end{array} \right. \quad (6-2-9)$$

Tính toán

Bắt đầu từ giá trị $Q_4^n Q_3^n Q_2^n Q_1^n = 0000$, thay vào phương trình trạng thái (6-2-9) và phương trình đầu ra (6-2-7), ta được kết quả ở bảng 6-2-2

Bảng 6-2-2 : KẾT QUẢ TÍNH TOÁN

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1

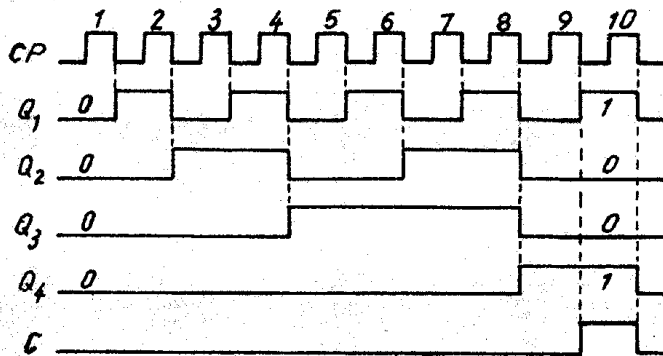
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1

Đồ hình trạng thái

Căn cứ vào bảng 6-2-2, ta có quan hệ chuyển đổi trạng thái Q^n sang Q^{n+1} và giá trị đầu ra C, do đó vẽ được đồ hình trạng thái hình 6-2-11.

Cần lưu ý rằng, những trạng thái liên tiếp nhau của mạch điện, một trạng thái ở thời điểm xét là Q^{n+1} đối với trạng thái trước liền kề (ở phía trái bảng 6-2-2), đồng thời là Q^n đối với trạng thái sau liền kề (ở phía phải bảng 6-2-2), vậy nên trong hai hàng liên nhau của bảng 6-2-2, một trạng thái ở phía phải hàng trên sẽ đồng thời ở phía trái hàng dưới. Kết quả, khi vẽ đồ hình trạng thái ta phải không bỏ sót bất kì trạng thái khả dĩ nào để có hình 6-2-11.

Nhận xét hình 6-2-11 : Mạch điện ở hình 6-2-10 đúng là bộ đếm thập phân dùng mã 8421. Xem đồ thị dạng sóng hình 6-2-12.



Hình 6-2-12.

Dạng sóng bộ đếm thập phân dùng mã 8421.

Hình 6-2-11. Đồ hình trạng thái của bộ đếm thập phân đồng bộ.

Giả thiết bộ đếm hình 6-2-10 là bộ đếm hàng đơn vị của hệ thập phân. Hình 6-2-12 chứng tỏ rằng khi mạch điện chuyển đổi đến trạng thái 1001 (= 9_{10}), tín hiệu chuyển vị (nhớ) trở thành mức cao, nhưng thật ra không tác động ngay, mà đợi đến sườn âm xung đồng hồ CP thứ 10 xuất hiện, thì tín hiệu C mới kích Flip Flop hàng chục của hệ thập phân chuyển đổi trạng thái, đồng thời bộ đếm hàng đơn vị trở về 0, tức

mạch điện trở về trạng thái 0000. Tất nhiên Flip Flop hàng chục cũng được kích bằng sườn âm.

Trạng thái được sử dụng, trạng thái cấm, tự khởi động

Như đã từng nói trước đây, những trạng thái từ mã được dùng khi mã hóa (biên mã) gọi là trạng thái được sử dụng, những trạng thái từ mã không được dùng khi mã hóa gọi là trạng thái cấm. Trong hình 6-2-11, các trạng thái từ mã 1010 + 1111 là trạng thái cấm, vì chúng không được dùng khi mã hóa 8421.

Khi vì một nguyên nhân nào đó, chẳng hạn do nhiễu gây ra, mạch điện rơi vào trạng thái cấm, dưới tác động của xung đồng hồ CP, mà mạch điện có thể trở lại trạng thái được sử dụng, ta nói mạch đã có thể tự khởi động.

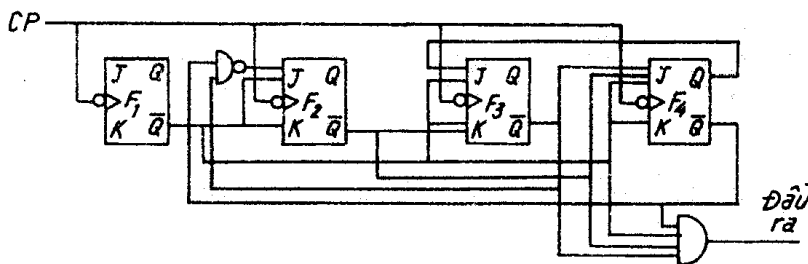
Dưới tác dụng của xung đếm đầu vào, bộ đếm vẫn công tác tuần hoàn. Ở tình huống bình thường, sự tuần hoàn đều đặn theo chu kì về trạng thái ban đầu mỗi chu kì gọi là sự tuần hoàn được sử dụng. Ngược lại, sự tuần hoàn trong trạng thái cấm gọi là sự tuần hoàn cấm. Chúng ta sẽ rõ thêm tình huống này khi trao đổi ở tiết 6-3 sau đây.

Hình 6-2-11 chứng tỏ rằng bộ đếm thuận thập phân theo mã 8421 nói ở trên là có thể tự khởi động.

b) Bộ đếm nghịch thập phân đồng bộ

Mạch điện hình 6-2-13 khá đơn giản, chúng ta dễ dàng phân tích theo phương pháp tương tự đã dùng ở trên.

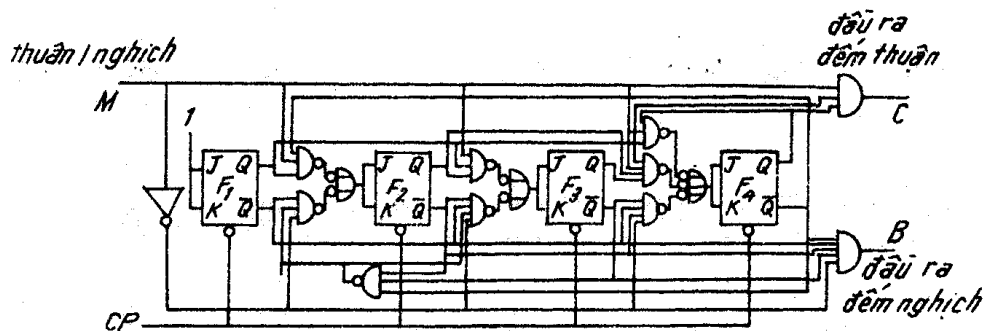
Có hai cách để cấu trúc bộ đếm thập phân đồng bộ nhiều số từ bộ đếm 1 số. Cách thứ nhất là nối dây chuyển các bộ đếm 1 số, đầu ra của bộ đếm trọng số bé nối với đầu vào bộ đếm trọng số lớn tiếp theo. Sự làm việc của bộ đếm 1 số là đồng bộ, nhưng sự làm việc giữa chúng là dị bộ.



Hình 6-2-13. Bộ đếm nghịch thập phân đồng bộ.

Cách thứ hai là nối đầu ra của bộ đếm trọng số bé với tất cả các đầu vào đồng bộ của 4FF bộ đếm trọng số lớn tiếp theo, cũng nối đến đầu vào cổng chuyển vị đầu ra của bộ đếm này, còn các xung đồng hồ của các bộ đếm đều là xung đếm đầu vào CP. Trong cách thứ hai, không những từng bộ đếm 1 số là đồng bộ, mà sự làm việc của toàn bộ mạch nối ghép để đếm nhiều số cũng là đồng bộ.

c) Bộ đếm thuận nghịch thập phân đồng bộ



Hình 6-2-14. Bộ đếm thuận nghịch thập phân đồng bộ kiểu điều khiển thuận/ngược.

Xét hình 6-2-14. 4FFJK mắc thành các FFT.

Khi tín hiệu thuận/ngược $M = 1$, bộ đếm là thuận, $M = 0$ bộ đếm là nghịch.

Phương trình định thời $CP_1 = CP_2 = CP_3 = CP_4 = CP$ (6-2-10)

Phương trình đầu ra $C = M Q_4^n Q_1^n$ (6-2-11)

$$B = \overline{M} \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \quad (6-2-12)$$

Phương trình kích

$$\left\{ \begin{array}{l} T_1 = 1 \\ T_2 = \overline{M Q_1^n \overline{Q_4^n}} + \overline{M \overline{Q_1^n} Q_2^n \overline{Q_3^n} \overline{Q_4^n}} \\ \quad = \overline{M Q_1^n \overline{Q_4^n}} + \overline{M \overline{Q_1^n} (Q_2^n + Q_3^n + Q_4^n)} \\ T_3 = \overline{M Q_1^n Q_2^n} + \overline{M \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} \overline{Q_4^n}} \\ \quad = \overline{M Q_1^n Q_2^n} + \overline{M \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n)} \\ T_4 = \overline{M Q_1^n Q_4^n} + \overline{M Q_1^n Q_2^n Q_3^n} + \overline{M \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n}} \\ \quad = \overline{M (Q_1^n Q_4^n + Q_1^n Q_2^n Q_3^n)} + \overline{M \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n}} \end{array} \right. \quad (6-2-13)$$

Với $M = 1$, từ (6-2-11), (6-2-12), (6-2-13) ta có :

$$C = Q_4^n Q_1^n \quad B = 0 \quad (6-2-14)$$

$$T_1 = 1 \quad T_2 = Q_1^n \overline{Q_4^n} \quad T_3 = Q_1^n Q_2^n \quad T_4 = Q_1^n Q_4^n + Q_1^n Q_2^n Q_3^n \quad (6-2-15)$$

Thay giá trị (6-2-15) vào phương trình đặc trưng của FFT là

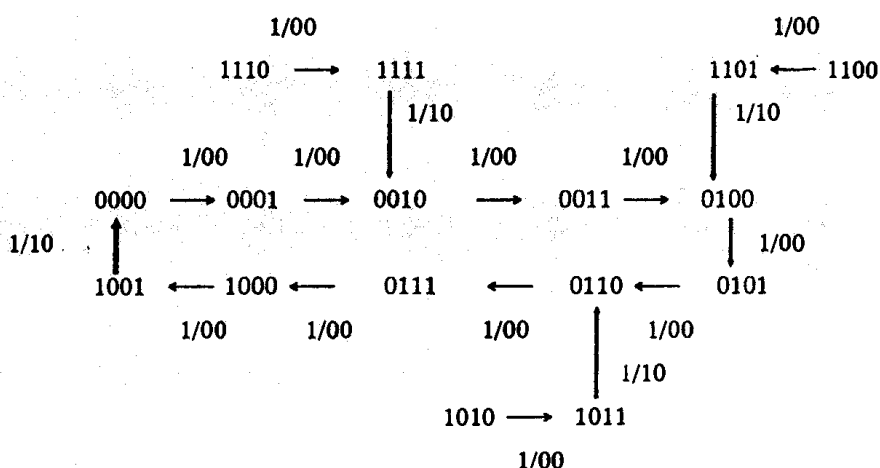
$$Q^{n+1} = T \overline{Q^n} + \overline{T} Q^n$$

Ta có : $Q_1^{n+1} = \overline{Q_1^n} \quad Q_2^{n+1} = Q_1^n \overline{Q_4^n} \overline{Q_2^n} + \overline{Q_1^n \overline{Q_4^n} Q_2^n}$

$$Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n Q_2^n Q_3^n} Q_4^{n+1} = (Q_1^n Q_4^n + Q_1^n Q_2^n Q_3^n) \overline{Q_4^n} + \overline{Q_1^n Q_4^n + Q_1^n Q_2^n Q_3^n} Q_4^n \quad (6-2-16)$$

Giả định trạng thái hiện tại, tuần tự thay vào (6-2-14) và (6-2-16) để tính toán, kết quả ta có đồ hình trạng thái hình 6-2-15.

Có thể thấy rằng, khi $M = 1$, mạch điện thực hiện đếm thuận thập phân theo mã 8421 và có thể tự khởi động.



Hình 6-2-15.

Đồ hình trạng thái khi $M = 1$.

(Giải thích kí hiệu bên cạnh mũi tên : M/CB)

Khi $M = 0$, từ (6-2-11) (6-2-12) (6-2-13), ta có :

$$C = 0 \quad B = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \quad (6-2-17)$$

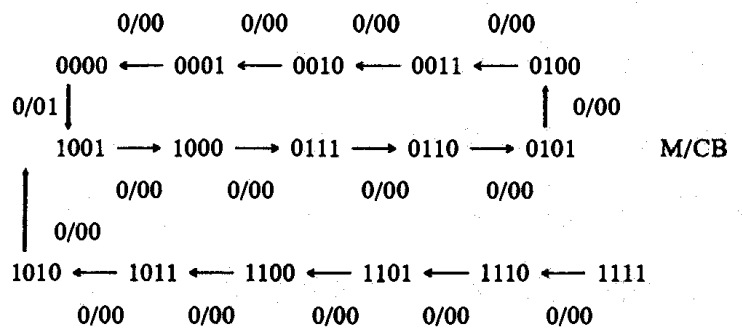
$$\begin{cases} T_1 = 1 ; T_2 = \overline{Q_1^n} (Q_2^n + Q_3^n + Q_4^n) \\ T_3 = \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) ; T_4 = \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} \end{cases} \quad (6-2-18)$$

Thay giá trị (6-2-18) vào phương trình đặc trưng của FFT, được phương trình trạng thái như sau :

$$\begin{cases} Q_1^{n+1} = \overline{Q_1^n} \\ Q_2^{n+1} = \overline{Q_1^n} (Q_2^n + Q_3^n + Q_4^n) \overline{Q_2^n} + \overline{Q_1^n} (Q_2^n + Q_3^n + Q_4^n) Q_2^n \\ \quad = \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) + Q_1^n Q_2^n \\ Q_3^{n+1} = \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) \overline{Q_3^n} + \overline{Q_1^n} \overline{Q_2^n} (Q_3^n + Q_4^n) Q_3^n \\ \quad = \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} Q_4^n + (Q_1^n + Q_2^n) Q_3^n \\ Q_4^{n+1} = \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} \overline{Q_4^n} + \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} Q_4^n \end{cases} \quad (6-2-19)$$

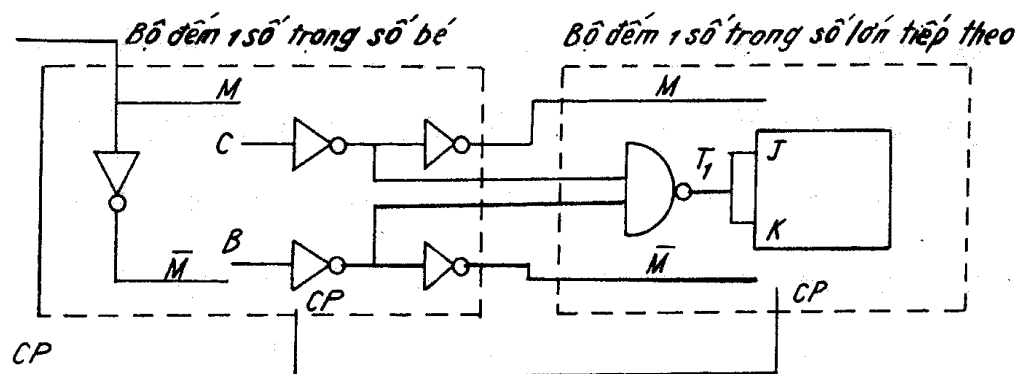
Giả định trạng thái hiện tại, tuần tự thay vào (6-2-17) và (6-2-19) để tính toán, kết quả ta có đồ hình trạng thái hình 6-2-16.

Có thể thấy rằng, khi $M = 0$, mạch điện thực hiện đếm nghịch thập phân theo mã 8421 và có thể tự khởi động.



Hình 6-2-16.

Đồ hình trạng thái khi $M = 0$.



Hình 6-2-17. Cách ghép nối nhiều bộ đếm thuận nghịch thập phân đồng bộ 1 số thành nhiều số.

Phương pháp ghép nối nhiều bộ đếm thuận nghịch thập phân đồng bộ được trình bày ở hình 6-2-17.

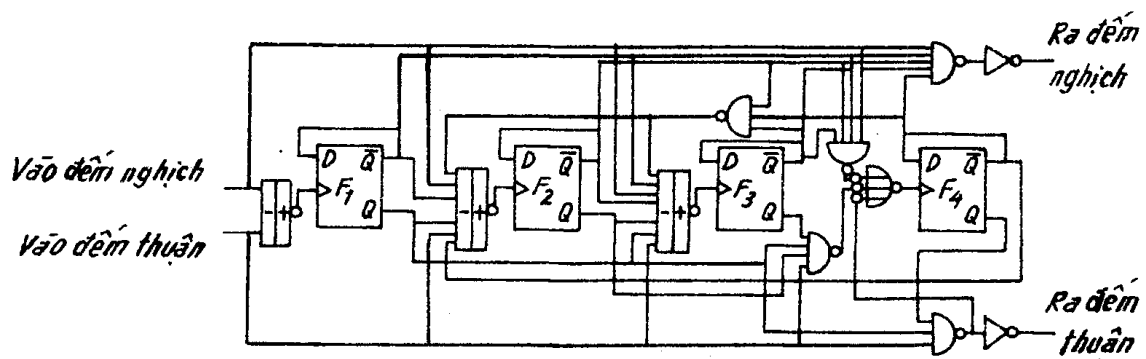
Khi bộ đếm trọng số bé $C = 1$ thì ở bộ đếm trọng số lớn $M = 1$, $T_1 = 1$, nó sẽ công tác chế độ đếm thuận.

Khi bộ đếm trọng số bé $B = 1$ thì ở bộ đếm trọng số lớn $\bar{M} = 1$, $T_1 = 1$, nó sẽ đếm nghịch.

Khi bộ đếm trọng số bé $C = B = 0$ thì ở bộ đếm trọng số lớn $M = \bar{M} = T_1 = 0$ và nó ngừng đếm.

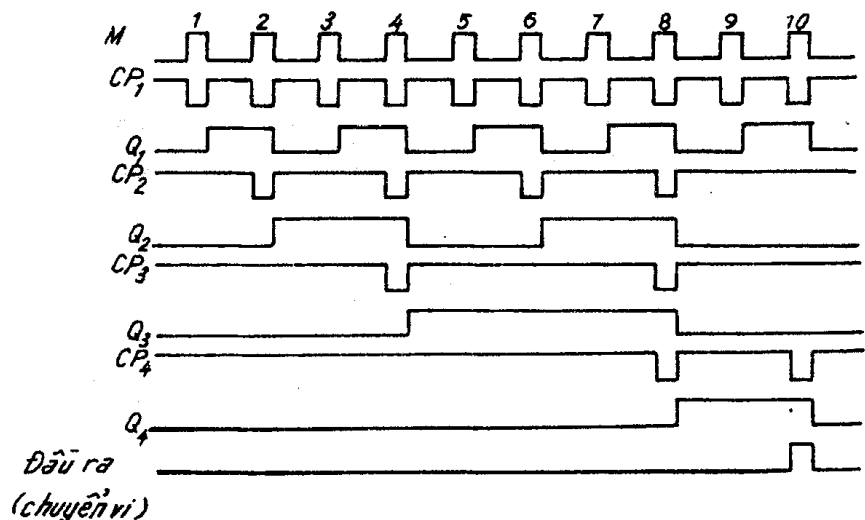
Xem lại hình 6-2-14, sơ đồ sử dụng Flip Flop T, xung CP liên tục đưa đến đồng thời tất cả đầu vào đồng hồ của các FF. Trạng thái đầu vào T quyết định sự chuyển đổi trạng thái của FF. $T = 1$ thì FF phải chuyển đổi, $T = 0$ thì FF phải không chuyển đổi.

Hình 6-2-18 dưới đây giới thiệu mạch điện bộ đếm thuận nghịch sử dụng Flip Flop T'.



Hình 6-2-18a. Sơ đồ logic bộ đếm thuận nghịch thập phân đồng bộ kiểu 2 đầu vào đồng hồ.

Flip Flop T' sẽ chuyển đổi trạng thái mỗi khi xung đồng hồ đến. Xung CP là phải đi qua các cổng điều khiển mới đến được đầu vào đồng hồ của FF. Vậy FF muốn lật thì cổng phải mở, FF cần giữ nguyên trạng thái thì cổng phải đóng. Xung đếm thuận, xung đếm nghịch được đưa đến bằng hai đầu vào riêng biệt. Khi đưa



Hình 6-2-18b.

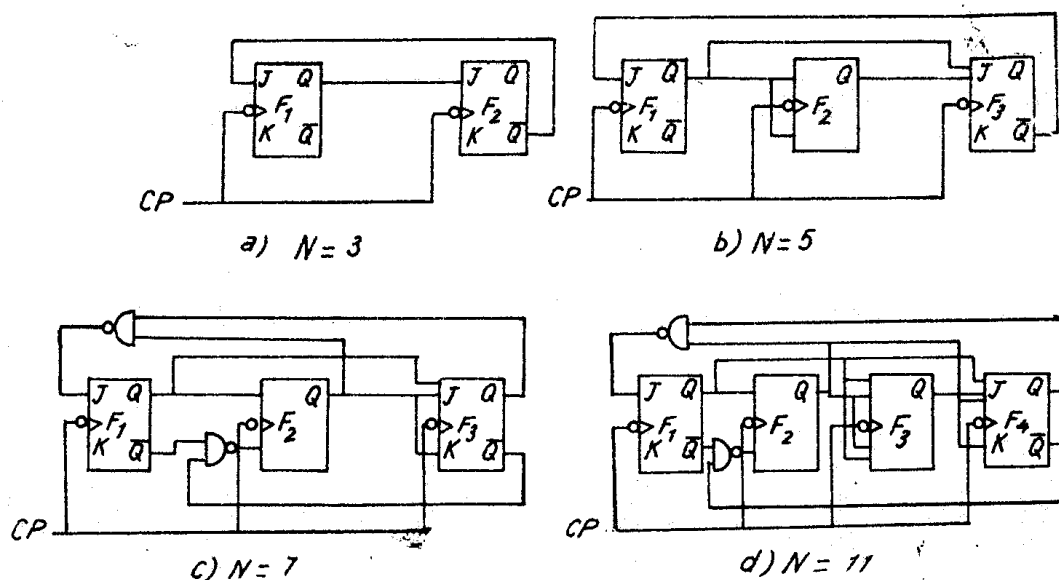
Dạng sóng bộ đếm hình 6-2-18a trường hợp đếm thuận.

vào xung đếm thuận thì bộ đếm thực hiện đếm thuận. Khi đưa vào đầu vào đếm nghịch thì bộ đếm đếm nghịch. Không cho phép hai đầu vào đồng thời có xung đếm. Khi ghép nối bộ đếm, chỉ cần nối đầu ra đếm thuận của bộ đếm 1 số trọng số bé với đầu vào đếm thuận của bộ đếm 1 số trọng số lớn hơn kế tiếp, tương tự cho đếm nghịch, nghĩa là nối dây chuyển.

Sử dụng phương pháp phân tích logic, tham khảo phần 6-2-2-1c, tương tự, ta có thể tìm đồ hình trạng thái của mạch điện hình 6-2-18a. Còn dạng sóng thì xem hình 6-2-18b.

3) Bộ đếm N phân đồng bộ

Sử dụng FF₁ ta có thể tùy ý xây dựng bộ đếm đồng bộ với hệ số đếm N bất kì (N phân) và dung lượng bất kì. Xem hình 6-2-19.



Hình 6-2-19. Bộ đếm đồng bộ N phân.

6.2.3. Bộ đếm dị bộ

1) Bộ đếm nhị phân dị bộ

Đem Flip Flop T' mắc dây chuyển với nhau thì được bộ đếm nhị phân dị bộ, kết cấu khá đơn giản.

a) Bộ đếm thuận nhị phân dị bộ

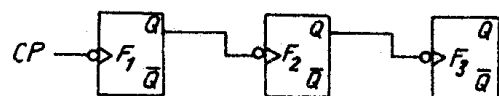
Cấu trúc mạch điện

Xem hình 6-2-20

Nguyên lý làm việc

Viết phương trình

Phương trình định thời $CP_1 = CP, CP_2 = Q_1, CP_3 = Q_2$ (6-2-20)



Hình 6-2-20. Bộ đếm thuận nhị phân dị bộ.

Hình 6-2-22 là dạng sóng, ta thấy rõ đặc điểm kích bằng sườn âm của các FF bộ đếm.

Nhận xét các hình 6-2-21 và 6-2-22 : Mạch điện hình 6-2-20 là sơ đồ bộ đếm thuận nhị phân 3 số nhị bộ.

Bộ đếm thuận nhị bộ kích bằng sườn dương (Hình 6-2-23)

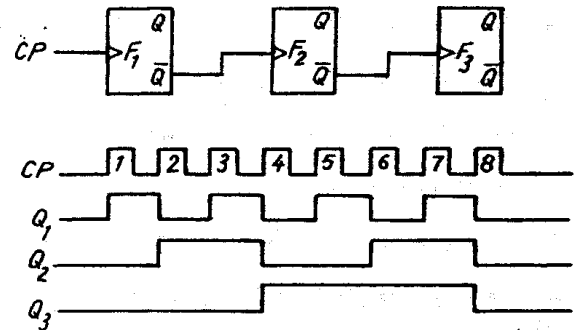
Nguyên lý công tác của sơ đồ mạch hình 6-2-23 cũng giống sơ đồ mạch hình 6-2-10. Những Flip Flop T' được sử dụng trong sơ đồ đòi hỏi phải kích bằng sườn dương. Vậy đầu vào của FF trọng số lớn phải nối với đầu ra đảo, $\bar{Q}$ của FF trọng số bé hơn kế tiếp.

$$CP_2 = \bar{Q}_1, \quad CP_3 = \bar{Q}_2$$

Chỉ cần chú ý đặc điểm điều kiện định thời kích bằng sườn dương thì ta dễ dàng hiểu được mạch đếm hình 6-2-23.

Hình 6-2-24 là sơ đồ mạch điện bộ đếm thuận nhị phân nhị bộ 3 số.

Ở đây Flip Flop T' được cấu trúc từ Flip Flop JK và Flip Flop D.

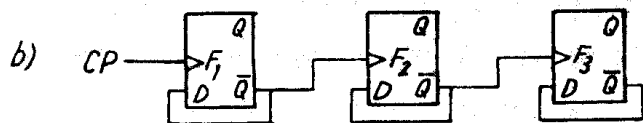


Hình 6-2-23. Bộ đếm thuận nhị phân nhị bộ kích bằng sườn dương.



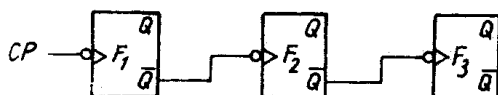
Hình 6-2-24.

- a) dùng Flip Flop JK ;
b) dùng Flip Flop D.



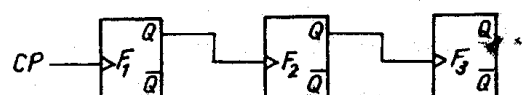
b) *Bộ đếm nghịch nhị phân nhị bộ*

Sơ đồ bộ đếm này trên hình 6-2-25 sử dụng Flip Flop T'.



Hình 6-2-25.

a) Kích bằng sườn âm ;

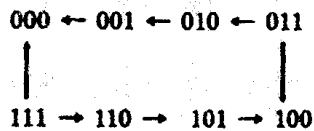


b) Kích bằng sườn dương.

Khi không ngừng đưa xung đếm CP vào bộ đếm nghịch, tình huống chuyển đổi trạng thái của mạch điện như bảng 6-2-4, đồ hình trạng thái hình 6-2-26 và dạng sóng hình 6-2-27

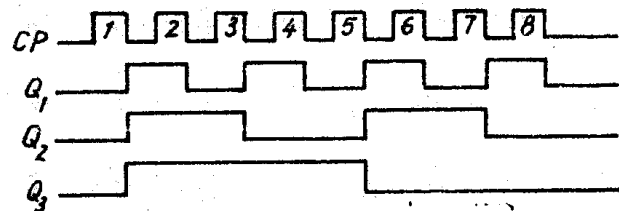
Bảng 6-2-4 : BẢNG CHỨC NĂNG

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	
0	0	0	1	1	1	CP ₁ CP ₂ CP ₃
0	0	1	0	0	0	CP ₁
0	1	0	0	0	1	CP ₁ CP ₂
0	1	1	0	1	0	CP ₁
1	0	0	0	1	1	CP ₁ CP ₂ CP ₃
1	0	1	1	0	0	CP ₁
1	1	0	1	0	1	CP ₁ CP ₂
1	1	1	1	1	0	CP ₁



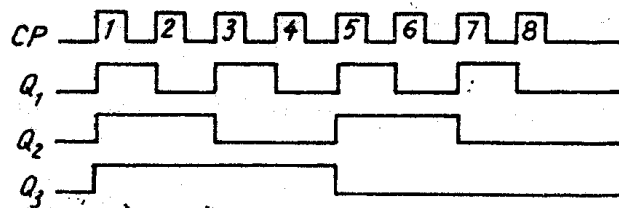
Hình 6-2-26.

Đồ hình trạng thái.



Hình 6-2-27.

- a) Kích bằng sườn âm ;
 b) Kích bằng sườn dương.



Hình 6-2-26 chứng tỏ rõ ràng rằng số trị của bộ đếm là giảm không ngừng theo chế độ đếm nghịch nhị phân.

c) Quy luật nối ghép các bộ đếm nhị phân dị bộ

Sự nối ghép giữa các bộ đếm nhị phân dị bộ khá đơn giản. Đầu ra Flip Flop trọng số bé nối vào đầu xung đồng hồ của Flip Flop trọng số lớn. Quy luật nối ghép xem bảng 6-2-5.

Bảng 6-2-5 : QUY LUẬT NỐI GHÉP CÁC BỘ ĐẾM NHỊ PHÂN DỊ BỘ

Quy luật nối ghép	Cách kích của Flip Flop T'	
	sườn dương	sườn âm
Đếm thuận	$CP_i = \bar{Q}_{i-1}$	$CP_i = Q_{i-1}$
Đếm nghịch	$CP_i = Q_{i-1}$	$CP_i = \bar{Q}_{i-1}$

Trong bảng trên CP_i là xung đồng hồ của Flip Flop F_i , Q_{i-1} và $\bar{Q}_{i-1}$ là tín hiệu ra của Flip Flop F_{i-1} có trọng số bé hơn liền kề với F_i . Nếu dùng loại Flip Flop kích bằng sườn dương thì xung đồng hồ CP_i của F_i nối vào $\bar{Q}_{i-1}$ của F_{i-1} , nếu

dùng loại Flip Flop kích bằng sườn âm thì CP_i nối vào Q_{i-1} để cấu trúc bộ đếm thuận. Còn để cấu trúc thành bộ đếm nghịch thì ngược lại.

d) *Đặc điểm bộ đếm nhị phân*

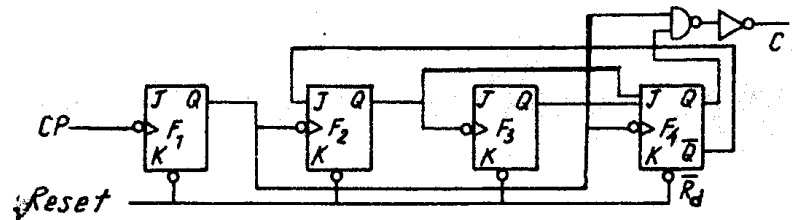
Ưu điểm : Cách nối ghép bộ đếm và Cấu trúc bộ đếm đều đơn giản

Nhược điểm : Tần số công tác thấp, xung nhiễu quá độ từ trạng thái mã hóa này sang trạng thái mã hóa khác lớn.

2) *Bộ đếm thập phân di bộ*

a) *Bộ đếm thuận thập phân di bộ*

Cấu trúc mạch điện



Hình 6-2-28.

Bộ đếm thuận thập
phân di bộ.

Sơ đồ hình 6-2-28 bao gồm 4 Flip Flop JK và hai cổng. CP là xung đếm đầu vào, C là tín hiệu chuyển vị (nhớ) đưa đến bộ đếm trọng số lớn hơn

Nguyên lí làm việc

Viết phương trình

Phương trình định thời : $CP_1 = CP$ $CP_2 = CP_4 = Q_1$ $CP_3 = Q_2$ (6-2-22)

Phương trình đầu ra : $C = Q_4^n Q_1^n$ (6-2-23)

Phương trình kích :

$$\begin{aligned} J_1 &= K_1 = 1 & J_2 &= \overline{Q_4^n} & K_2 &= 1 \\ J_3 &= K_3 = 1 & J_4 &= Q_3^n Q_2^n & K_4 &= 1 \end{aligned} \quad (6-2-24)$$

(Tạm quy ước rằng các đầu vào để trống là nối vào mức logic 1, đầu vào nào có nhiều đường nối coi như ở đó có mạch AND)

Tìm phương trình trạng thái

Thay giá trị (6-2-24) vào phương trình đặc trưng của Flip Flop JK, ta có :

$$\begin{cases} Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} & \text{với điều kiện xuất hiện sườn âm CP} \\ Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_4^n} Q_2^n & \text{với điều kiện xuất hiện sườn âm } Q_1 \\ Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = \overline{Q_3^n} & \text{với điều kiện xuất hiện sườn âm } Q_2 \\ Q_4^{n+1} = J_4 \overline{Q_4^n} + \overline{K_4} Q_4^n = Q_3^n Q_2^n \overline{Q_4^n} & \text{với điều kiện xuất hiện sườn âm } Q_1 \end{cases} \quad (6-2-25)$$

Tiến hành tính toán

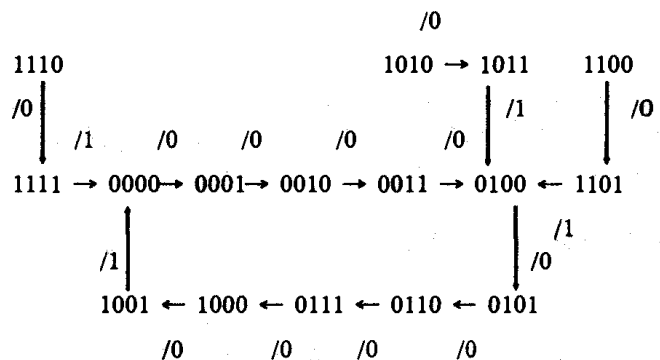
Giả định trạng thái, tuần tự thay vào (6-2-25) và (6-2-23) để tính ra kết quả như bảng 6-2-6. Khi tính toán cần lưu ý điều kiện định thời. Chỉ khi sườn âm xung kích tương ứng xuất hiện thì trạng thái Flip Flop mới chuyển đến trạng thái kế tiếp theo phương trình.

Bảng 6-2-6 : BẢNG TRẠNG THÁI CỦA BỘ ĐẾM THUẬN THẬP PHÂN DỊ BỘ

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C	
0	0	0	0	0	0	0	1	0	CP ₁
0	0	0	1	0	0	1	0	0	CP ₁ CP ₂ CP ₄
0	0	1	0	0	0	1	1	0	CP ₁
0	0	1	1	0	1	0	0	0	CP ₁ CP ₂ CP ₃ CP ₄
0	1	0	0	0	1	0	1	0	CP ₁
0	1	0	1	0	1	1	0	0	CP ₁ CP ₂ CP ₄
0	1	1	0	0	1	1	1	0	CP ₁
0	1	1	1	1	0	0	0	0	CP ₁ CP ₂ CP ₃ CP ₄
1	0	0	0	1	0	0	1	0	CP ₁
1	0	0	1	0	0	0	0	1	CP ₁ CP ₂ CP ₄
1	0	1	0	1	0	1	1	0	CP ₁ CP ₂ CP ₃ CP ₄
1	0	1	1	0	1	0	0	0	CP ₁
1	0	1	1	1	1	1	1	0	CP ₁ CP ₂ CP ₃ CP ₄
1	1	0	0	1	1	0	0	0	CP ₁
1	1	0	1	0	1	0	1	0	CP ₁ CP ₂ CP ₃ CP ₄
1	1	1	0	0	1	1	1	0	CP ₁
1	1	1	1	0	0	0	0	1	CP ₁ CP ₂ CP ₃ CP ₄

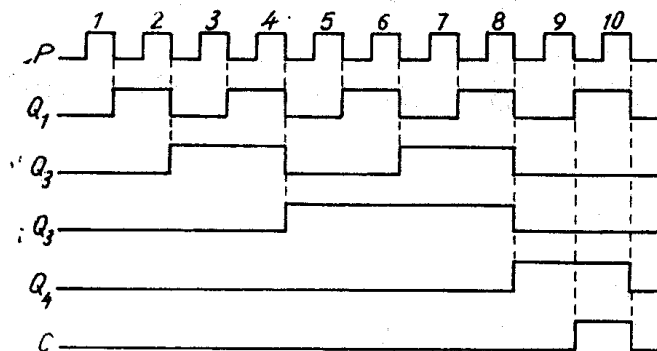
Vẽ đồ hình trạng thái

Căn cứ vào kết quả tính toán ở bảng 6-2-6 có thể vẽ đồ hình trạng thái như ở hình 6-2-29. Đồ hình này chứng tỏ rằng mạch điện có sơ đồ ở hình 6-2-28 là bộ đếm thuận thập phân dị bộ theo cách mã hóa 8421, hơn nữa mạch điện có thể tự khởi động. Xem dạng sóng hình 6-2-30.



Hình 6-2-29.

Đồ hình trạng thái bộ đếm thuận thập phân dị bộ.

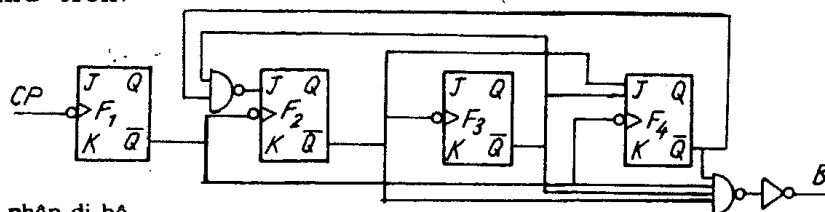


Hình 6-2-30.

Dạng sóng bộ đếm thuận thập phân dị bộ.

b) Bộ đếm nghịch thập phân dị bộ (hình 6-2-31)

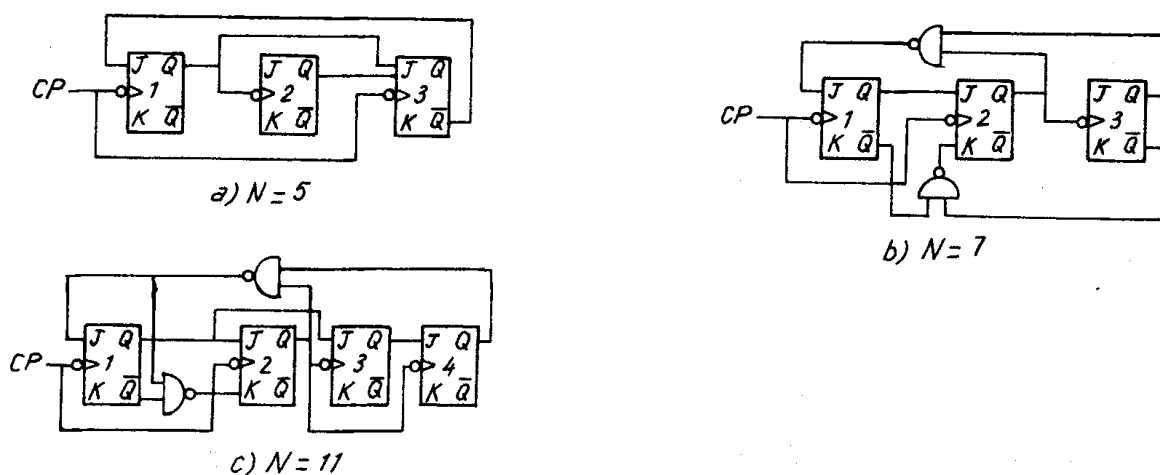
Phương pháp phân tích như trên.



Hình 6-2-31. Bộ đếm nghịch thập phân dị bộ.

Về cách ghép nối các bộ đếm thập phân dị bộ 1 số thành bộ đếm nhiều chữ số : ghép nối dây chuyển, đầu ra của bộ đếm trọng số bé được nối vào đầu vào CP của bộ đếm trọng số lớn hơn kế tiếp.

c) Bộ đếm N phân dị bộ (hình 6-2-32)



Hình 6-2-32. Bộ đếm N phân dị bộ.

d) Xóa và cài đặt ban đầu các bộ đếm dị bộ

Xóa bộ đếm là đưa tất cả Flip Flop của bộ đếm về trạng thái 0 trước khi bắt đầu công tác. Đối với Flip Flop D có mạch ổn định theo nguyên lý duy trì - ngăn trở thì cần chọn đầu vào R_d là mạch tín hiệu xóa Flip Flop về 0 (Đầu vào R bị trạng thái xung đồng hồ CP ảnh hưởng). Vì trong bộ đếm dị bộ, đầu vào CP của các Flip Flop có thể là 1, cũng có thể là 0.

Cài đặt ban đầu là làm cho bộ đếm trước khi bắt đầu công tác phải ở sẵn trạng thái quy định bằng cách điều khiển đầu vào dị bộ. Cùng với một nguyên nhân đã nói trên, đối với Flip Flop D duy trì - ngăn trở thì cần chọn đầu vào S_d ; đầu vào S_d này không bị ảnh hưởng của CP (như đầu vào S). Đối với bộ đếm nghịch dị bộ, đầu tiên đặt tất cả Flip Flop về trạng thái 1, sau đó theo trạng thái quy định mà xóa những Flip Flop được chọn về 0, để đạt được mục đích là cài đặt ban đầu cho bộ đếm. Sở dĩ như vậy vì trong bộ đếm nghịch dị bộ, FF trọng số bé lật từ 0 sang 1 sẽ đưa ra tín hiệu chuyển vị (nhớ) cho FF trọng số lớn hơn, làm nó lật. Do đó làm hỏng sự cài đặt ban đầu. Đối với bộ đếm thuận dị bộ, khi cài đặt ban đầu thông qua đầu vào dị bộ, đầu tiên đặt tất cả FF ở trạng thái 0, sau đó mới chọn FF để lập 1. Nếu dùng các tín hiệu đảo nhau đồng thời đưa vào đầu R_d , S_d để cài đặt ban đầu thì không còn lo bị ảnh hưởng gì nữa.

6.2.4. Bộ đếm IC cỡ trung (MSI)

Các vi mạch MSI bộ đếm có nhiều chủng loại, chức năng mạnh, dùng tiện lợi.

1) Ví dụ phân tích

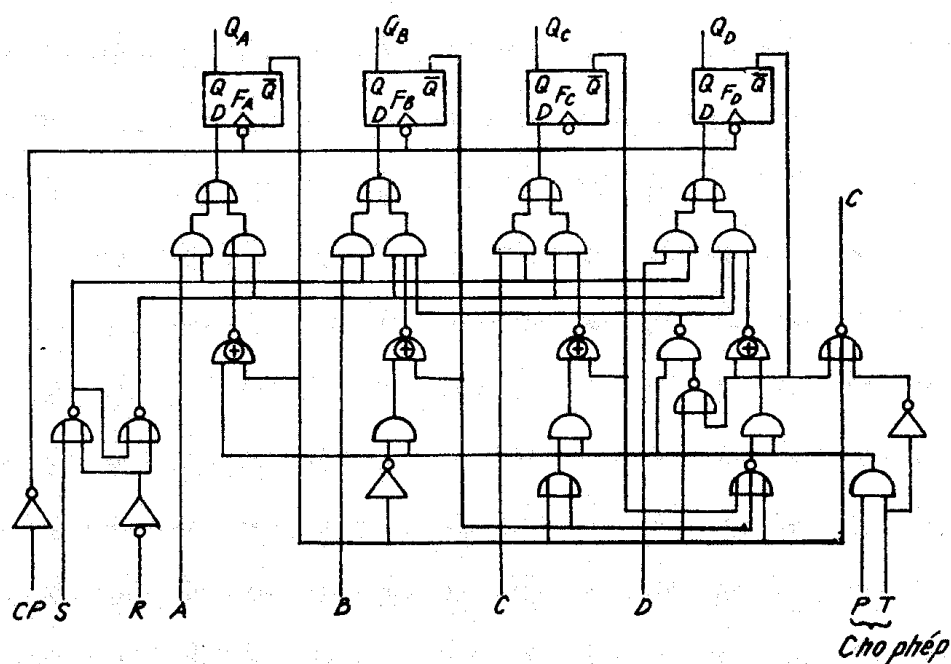
Hình 6-2-33 là bộ đếm thuận thập phân đồng bộ MSI.

Mạch điện bao gồm 4 Flip Flop D và nhiều cổng, 4 đầu vào dữ liệu A, B, C, D một đầu lập S, một đầu xóa R, hai đầu vào P, T bốn đầu ra Q_A , Q_B , Q_C , Q_D và đầu chuyển vị (nhớ).

a) Phương trình đầu ra và phương trình trạng thái

Phương trình đầu ra và phương trình trạng thái

$$\text{Phương trình đầu ra } C = \overline{Q_D^n} + \overline{Q_A^n} + \overline{T} = Q_D^n Q_A^n T \quad (6-2-26)$$



Hình 6-2-33. Bộ đếm MSI.

Phương trình kích

$$\begin{aligned} D_A &= \overline{\overline{R}} + S A + \overline{\overline{R} + S + \overline{R}} PT \oplus \overline{Q_A^n} \\ D_A &= R \overline{S} A + \overline{R \overline{S}} + \overline{R} PT \oplus \overline{Q_A^n} = R \overline{S} A + RSPT + \overline{Q_A^n} \\ D_B &= \overline{\overline{R}} + S B + \overline{\overline{R} + S + \overline{R}} PT \overline{Q_A^n} \oplus \overline{Q_B^n} PT \overline{Q_A^n} + \overline{Q_D^n} \\ D_B &= R \overline{S} B + RS PT \overline{Q_A^n} \oplus \overline{Q_B^n} PT \overline{Q_A^n} Q_D^n \\ D_C &= \overline{\overline{R}} + S C + \overline{\overline{R} + S + \overline{R}} PT \overline{Q_A^n} + \overline{Q_B^n} \oplus \overline{Q_C^n} \\ D_C &= R \overline{S} C + RSPT \overline{Q_A^n} Q_B^n \oplus \overline{Q_C^n} \\ D_D &= \overline{\overline{R}} + S D + \overline{\overline{R} + S + \overline{R}} PT \overline{Q_A^n} + \overline{Q_D^n} PT \overline{Q_A^n} + \overline{Q_B^n} + \overline{Q_C^n} \oplus \overline{Q_D^n} \\ D_D &= R \overline{S} D + RS PT \overline{Q_A^n} Q_D^n PT \overline{Q_A^n} Q_B^n Q_C^n \oplus \overline{Q_D^n} \end{aligned} \quad (6-2-27)$$

Phương trình trạng thái

Thay giá trị (6-2-27) vào phương trình đặc trưng của Flip Flop D, ta có :

$$\begin{cases} Q_A^{n+1} = R\bar{S}A + RS\overline{PT} \oplus \bar{Q}_A^n \\ Q_B^{n+1} = R\bar{S}B + RSPT\overline{Q_A^n} \oplus \bar{Q}_B^n \overline{PTQ_A^n Q_D^n} \\ Q_C^{n+1} = R\bar{S}C + RS\overline{PTQ_A^n} \overline{Q_B^n} \oplus Q_C^n \\ Q_D^{n+1} = R\bar{S}D + RSPT\overline{Q_A^n Q_D^n} \overline{PTQ_A^n Q_B^n Q_C^n} \oplus \bar{Q}_D^n \end{cases} \quad (6-2-28)$$

b) 4 chế độ công tác

Xóa

$R = 0$, với sự xuất hiện sườn dương xung đồng hồ CP, bộ đếm bị xóa.

Thay giá trị $R = 0$ vào (6-2-28), ta có :

$$Q_A^{n+1} = 0 \quad Q_B^{n+1} = 0 \quad Q_C^{n+1} = 0 \quad Q_D^{n+1} = 0$$

Cài đặt ban đầu

$R = 1, S = 0$ với sự xuất hiện sườn dương CP, bộ đếm thiết lập số, tức là đưa dữ liệu đầu vào DCBA vào bộ đếm.

Thay giá trị $R = 1, S = 0$ vào (6-2-28), ta có :

$$Q_A^{n+1} = A \quad Q_B^{n+1} = B \quad Q_C^{n+1} = C \quad Q_D^{n+1} = D$$

Duy trì nguyên trạng (nhớ)

$R = S = 1, P.T = 0$ với sự xuất hiện sườn dương CP, bộ đếm duy trì trạng thái vốn có, tức là cấm lật.

Thay giá trị $R = S = 1, PT = 0$ vào (6-2-28), ta có

$$Q_A^{n+1} = Q_A^n \quad Q_B^{n+1} = Q_B^n \quad Q_C^{n+1} = Q_C^n \quad Q_D^{n+1} = Q_D^n$$

Đếm

$R = S = 1, P = T = 1$, bộ đếm thực hiện chức năng đếm.

Thay giá trị $R = S = P = T = 1$ vào (6-2-26), (6-2-28), ta có :

$$\begin{cases} Q_A^{n+1} = \bar{Q}_A^n \\ Q_B^{n+1} = Q_B^n \bar{Q}_A^n + \bar{Q}_D^n \bar{Q}_B^n Q_A^n \\ Q_C^{n+1} = \bar{Q}_C^n Q_B^n Q_A^n + Q_C^n \overline{Q_B^n Q_A^n} \\ Q_D^{n+1} = \bar{Q}_D^n Q_C^n Q_B^n Q_A^n + Q_D^n \bar{Q}_A^n \end{cases} \quad (6-2-29)$$

$$C = Q_D^n Q_A^n \quad (6-2-30)$$

Nếu đặt $Q_A = Q_1, Q_B = Q_2, Q_C = Q_3, Q_D = Q_4$ thì các công thức (6-2-29) (6-2-30) hoàn toàn trùng hợp với các công thức (6-2-9) và (6-2-7) của bộ đếm

thuận thập phân đồng bộ. Do đó có thể dùng chung bảng chức năng, để hình trạng thái (bảng (6-2-2) và hình (6-2-11))

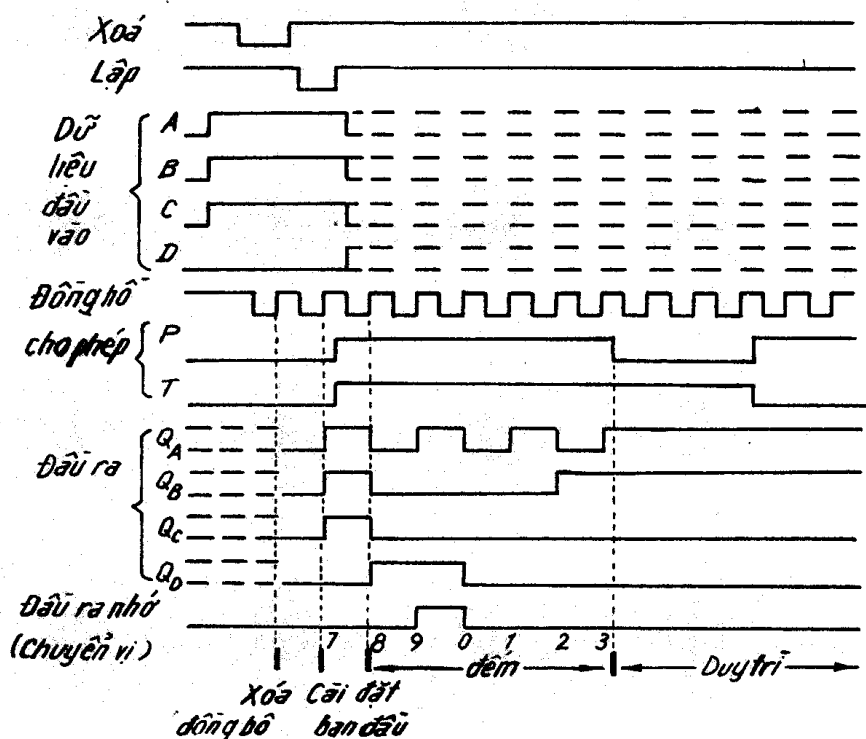
Qua trình bày trên đây, căn cứ phương trình đầu ra và phương trình trạng thái (6-2-26) và (6-2-28) có thể liệt kê thành bảng chức năng 6-2-7.

Bảng 6-2-7 : BẢNG CHỨC NĂNG BỘ ĐẾM HÌNH 6-2-33

P	T	R	S	CP	Chức năng
H	H	H	H	↑	Đếm
x	x	H	L	↑	Cài đặt ban đầu
L	H	H	H	x	Duy trì nguyên trạng
x	L	H	H	x	Duy trì C = 0
x	x	L	x	↑	Xóa

H biểu thị mức cao, L biểu thị mức thấp, x biểu thị tùy ý, ↑ biểu thị sườn dương xung đồng hồ.

Hình 6-2-34 là dạng sóng của bộ đếm ; hình 6-2-34 phản ánh toàn diện tình huống công tác của mạch điện hình 6-2-33



Hình 6-2-34. Dạng sóng bộ đếm.

2) Sử dụng bộ đếm IC cấu trúc bộ đếm N phân

Trên cơ sở các bộ đếm thuận thập phân (mã hóa 8421) và nhị phân dạng IC, bằng phương pháp phản hồi để xóa, chúng ta có thể cấu trúc bộ đếm N phân.

a) Các bước cơ bản

Giả sử S_0 biểu thị 0, S_1 biểu thị 1, ..., S_{N-1} biểu thị N-1, S_N biểu thị N. Phương pháp phản hồi để xóa có các bước sau :

- Viết ra mã nhị phân của S_N
- Tìm logic phản hồi để xóa - biểu thức của R_d
- Vẽ sơ đồ logic

b) Công thức logic phản hồi để xóa

Logic phản hồi để xóa là biểu thức hàm số của đầu xóa di bộ R_d của bộ đếm IC.

$$R_d = \bar{P} = \overline{\prod_{1-n} Q^1} \quad (6-2-31)$$

Trong công thức : P là mã của trạng thái S_N , $\prod_{1-n} Q^1$ là tích các giá trị Q của các FF trạng thái 1 tương ứng S_N . Trong mã trạng thái của S_N còn bao gồm $\prod_{1-n} Q^0$, đó là tích các giá trị $\bar{Q}$ của các FF trạng thái 0 tương ứng S_N . Nhưng trong bộ đếm N phân sử dụng logic phản hồi để xóa, vì các mã nhị phân $S_{n+1}, S_{n+2}, \dots, S_{2^n-1}$ không được dùng nên được lợi dụng để đơn giản hóa hàm logic (tối thiểu hóa), kết quả $\prod_{1-n} Q^0$ bị bỏ đi cả :

$$P = \prod_{1-n} Q^1 \cdot \prod_{1-n} Q^0 = \prod_{1-n} Q^1 \quad (6-2-32)$$

Bây giờ dùng bảng Karnaugh 3 biến làm ví dụ để thuyết minh sự đúng đắn của (6-2-32).

$N = 4 : S_N = S_4 = 100 ; S_N = P_4 = Q_3^n \quad m_5 + m_7$ dùng để tối thiểu hóa

$N = 5 : S_N = S_5 = 110 ; P_N = P_5 = Q_3^n Q_1^n \quad m_6, m_7$ dùng để tối thiểu hóa

$N = 6 : S_N = S_6 = 110 ; P_N = P_6 = Q_3^n Q_2^n \quad m_7$ dùng để tối thiểu hóa

$N = 7 : S_N = S_7 = 111 ; P_N = P_7 = Q_3^n Q_2^n Q_1^n$ không đơn giản hóa được

Ví dụ trên đây rất đơn giản nhưng minh họa (6-2-32) là chính xác.

Nếu dùng bảng Karnaugh 4 biến, 5 biến cũng thấy (6-2-32) là đúng.

c) Ví dụ

Ví dụ 6-2-1 : Hãy xây dựng bộ đếm $N = 12$ bằng bộ đếm thuận nhị phân đồng bộ 4 số.

1 - Viết mã nhị phân của S_N

$$N = 12 \quad S_N = S_{12} = 1100$$

2 - Tìm logic phản hồi để xóa

$$R_d = \prod_{i=n} Q^i = \overline{Q_4} Q_3$$

3 - Vẽ sơ đồ logic

Phương pháp này tồn tại hai vấn đề :

- Trạng thái quá độ S_N cực ngắn
- Độ tin cậy phản hồi xóa tương đối kém

Vấn đề trạng thái quá độ S_N

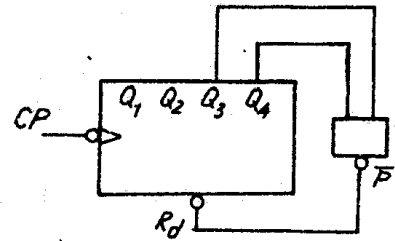
Theo tư tưởng trên đây, bộ đếm N bắt đầu đếm từ S_0 , đến lúc đạt số đếm S_{N-1} nếu thêm một xung đếm thì phải lập tức bị xóa về 0. Thực tế mạch điện phản hồi để xóa không lập tức về 0. Đầu tiên mạch chuyển đổi đến trạng thái S_N , làm cho $R_d = \overline{P} = 0$. Vì $R_d = 0$ nên bộ đếm reset, trạng thái S_N tiếp theo bị mất làm triệt tiêu tín hiệu $R_d = 0$. S_N tồn tại trong thời gian chừng xấp xỉ trễ truyền đạt 3 cấp cổng. Tuy trạng thái quá độ của S_N là cực ngắn, nhưng không thể thiếu ; không có trạng thái quá độ đó thì không có cách nào tạo ra tín hiệu xóa về 0.

Vấn đề độ tin cậy phản hồi xóa tương đối kém

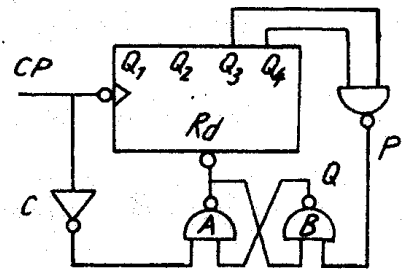
Vì đặc tính công tác xung và tình huống phụ tải của các Flip Flop bộ đếm là không giống nhau, lại luôn luôn chịu tác động của nhiễu dù nhiễu dù ít, nên có thể xảy ra tình trạng có FF vẫn còn giữ nguyên trạng thái 1, trong khi đó có FF đã lật về 0. Do $R_d = \overline{P}$, ta biết rằng chỉ cần một FF bất kì lật về 0 thì S_N mất, rồi tín hiệu $R_d = 0$ cũng mất. Một khi $R_d = 0$ mất thì FF nào không kịp lật sẽ không có cách nào lật về không nữa. Hình 6-2-36 là mạch điện giải quyết vấn đề này. Trong mạch cải tiến, Flip Flop RS kéo dài $R_d = 0$ một chút, do đó bảo đảm tín hiệu reset có thời gian tác dụng đủ dài để bộ đếm xóa về 0 chắc chắn.

Bình thường Flip Flop RS căn bản (do các cổng A, B cấu trúc nên) ở trạng thái 0 dưới tác dụng của CP, $R_d = \overline{Q} = 1$.

Khi bộ đếm đếm đến giá trị $S_{N-1} = S_{11} = 1011$, nếu xuất hiện thêm 1 xung đếm CP, vào khoảng sườn âm của nó bộ đếm lật từ S_{n-1} đến $S_N = S_{12} = 1100$, làm cho $\overline{P} = \overline{Q_4} Q_3 = 0$, Flip Flop RS căn bản lập 1, $Q = 1$, $\overline{Q} = R_d = 0$, bộ đếm reset về 0, tức là lật về $S_0 = 0000$. Chỉ khi nào bộ đếm bắt đầu đếm lại từ S_0 , sườn dương xung CP qua cổng C được đảo pha rồi mới lật Flip Flop RS cơ bản về 0, $Q = 0$, $\overline{Q} = 1 = R_d$ (tín hiệu xóa về 0 bị triệt tiêu). Vậy thời gian $R_d = 0$



Hình 6-2-35. Bộ đếm $N = 12$.



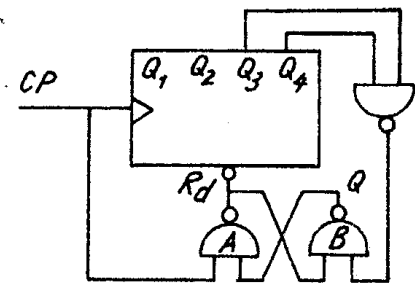
Hình 6-2-36. Mạch cải tiến của bộ đếm.

kéo dài thêm nhiều ; nếu tỉ số bề rộng xung CP với chu kì của nó là 50% thì thời gian tương ứng $R_d = 0$ là một nửa chu kì xung CP.

Nếu bộ đếm nhị phân cấu trúc bằng mạch kích bằng sườn dương xung đếm CP thì không cần cổng NOT (C) nữa, mạch điện như hình 6-2-37.

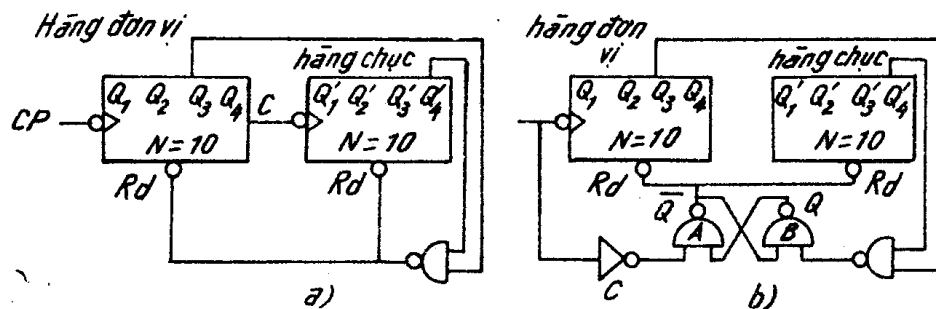
Nếu không có yêu cầu đặc biệt cao về độ tin cậy, nơi chung người ta vẫn hay dùng mạch điện đơn giản hình 6-2-35.

Sử dụng bộ đếm IC cấu trúc bộ đếm N phân rất đơn giản tiện lợi. Cách làm này cũng khá kinh tế. Dùng 2 IC bộ đếm nhị phân 4 số có thể cấu trúc bộ đếm $N = 1 + 256$. Dùng 2 IC bộ đếm thập phân có thể cấu trúc bộ đếm $N = 1 + 100$. Hình 6-2-38 biểu thị bộ đếm $N = 84$ cấu trúc từ 2 IC bộ đếm thập phân.



Hình 6-2-37.

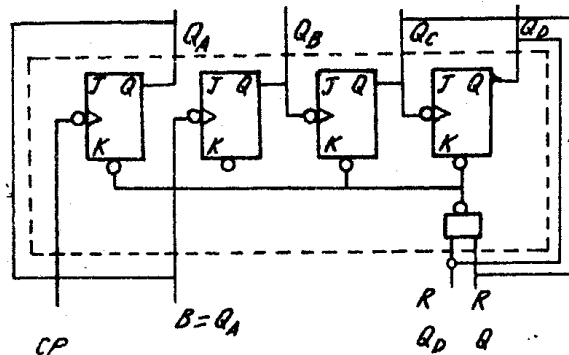
Bộ đếm nhị phân kích sườn dương.



Hình 6-2-38. Bộ đếm $N = 84$:

a) Sơ đồ nguyên lý ; b) Mạch cải tiến.

Hình 6-2-39 là bộ đếm $N = 12$ cấu trúc từ bộ đếm nhị phân dị bộ 4 số (IC). Phần trong khung nét đứt là sơ đồ logic của IC. Nối Q_A và B với nhau thì được bộ đếm thuận nhị phân dị bộ 4 số. Rồi căn cứ vào quy định phân hồi xóa về 0, ta nối Q_D với $R_{o(1)}$, Q_C với $R_{o(2)}$ thì bây giờ có bộ đếm thuận dị bộ $N = 12$. Xung đếm CP đưa đến đầu vào A.



Hình 6-2-39. Bộ đếm thuận dị bộ $N = 12$.

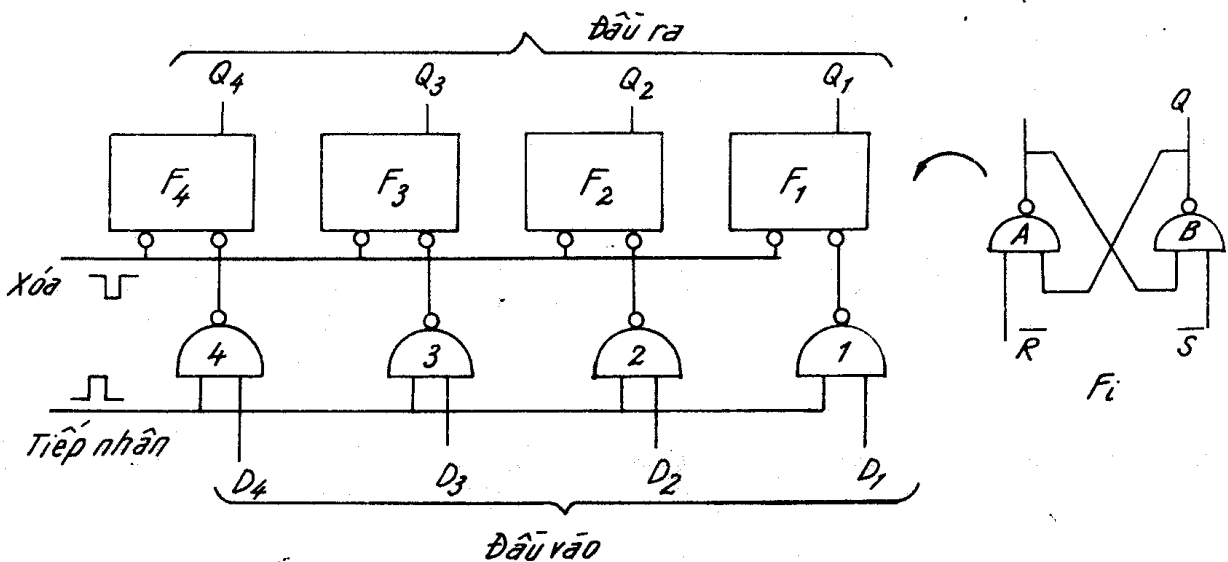
6.3. BỘ NHỚ

Bộ nhớ là một linh kiện quan trọng của mạch số. Bộ nhớ thường được dùng để lưu giữ tạm thời dữ liệu, lệnh... Một Flip Flop có thể nhớ 1 bit (nhị phân), muốn nhớ mã nhị phân n bit phải dùng n Flip Flop.

6.3.1. Bộ nhớ cơ bản

Mạch điện này chỉ có chức năng tiếp nhận tín hiệu nhị phân mã hóa và xóa tín hiệu đã nhớ trước. Căn cứ vào sự khác biệt trong cách tiếp nhận tín hiệu nhị phân mã hóa, bộ nhớ cơ bản chia làm hai loại : hai nhịp và một nhịp.

1) Cách tiếp nhận hai nhịp



Hình 6-3-1. Cách tiếp nhận hai nhịp.

a) Cấu trúc mạch điện

Hình 6-3-1 là bộ nhớ 4 bit do các Flip Flop RS cơ bản cấu trúc nên. Mạch điện có 4 đầu vào dữ liệu $D_4 D_3 D_2 D_1$, một đầu vào xóa, một đầu vào điều khiển tiếp nhận dữ liệu và 4 đầu ra $Q_4 Q_3 Q_2 Q_1$.

b) Quá trình tiếp nhận tín hiệu nhị phân mã hóa

Đầu tiên phải xóa về 0 : Dùng xung âm (gọi là xung xóa hay xung Reset) đưa các FF đều lật về 0.

Sau đó là nạp số liệu : Dùng xung dương (gọi là xung tiếp nhận hay xung nạp số liệu) để mở thông các cổng 1 ÷ 4, đưa từ mã $D_4 D_3 D_2 D_1$ nạp vào bộ nhớ và lưu giữ lại.

Từ phương trình đặc trưng của Flip Flop RS cơ bản, sau khi xóa về 0 :

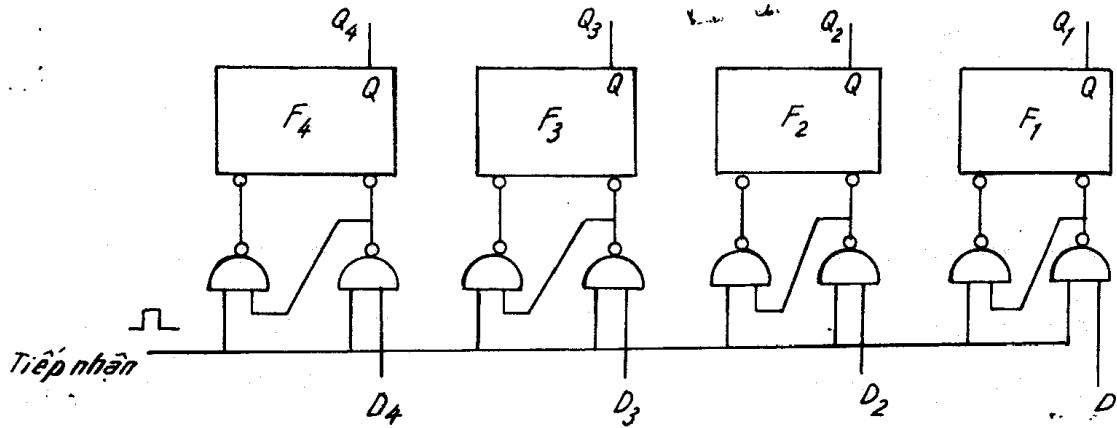
$$Q_4^n Q_3^n Q_2^n Q_1^n = 00000$$

Khi xung nạp xuất hiện :

$$Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = D_4 D_3 D_2 D_1$$

Vì cả quá trình công tác gồm 2 bước, cho nên được gọi là cách tiếp nhận hai nhịp.

2) Cách tiếp nhận một nhịp (mạch điện 6-3-2)



Hình 6-3-2. Cách tiếp nhận một nhịp.

Trong hình 6-3-2, $F_4 F_3 F_2 F_1$ là 4 Flip Flop RS cơ bản, $D_4 D_3 D_2 D_1$ là đầu vào số liệu, $Q_4 Q_3 Q_2 Q_1$ là đầu ra, ngoài ra còn có đầu vào điều khiển tiếp nhận. Nếu xem xét toàn bộ các FF và các cổng của nó một thể thì mạch điện 6-3-2 thực tế là do 4 mạch chốt D cấu trúc nên, với đầu vào điều khiển tiếp nhận là đầu vào xung đồng hồ của mạch chốt, tức là CP.

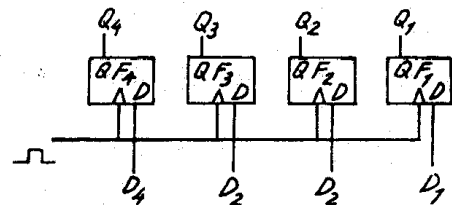
Phương trình đặc trưng của mạch chốt D là

$$Q^{n+1} = D \quad \text{với điều kiện xuất hiện CP.}$$

Vậy trong mạch điện hình 6-3-2, khi xuất hiện xung tiếp nhận, Flip Flop chuyển đổi trạng thái

$$Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = D_4 D_3 D_2 D_1$$

tức là bộ nhớ tiếp nhận và lưu giữ tín hiệu nhị phân mã hóa. Mạch điện này hoàn thành chức năng bộ nhớ chỉ trong một bước, nên được gọi là mạch tiếp nhận một nhịp. Rõ ràng chúng ta có thể dùng các loại Flip Flop D, RS, JK để cấu trúc bộ nhớ cơ bản. Hình 6-3-3 giới thiệu bộ nhớ 4 bit dùng Flip Flop D.

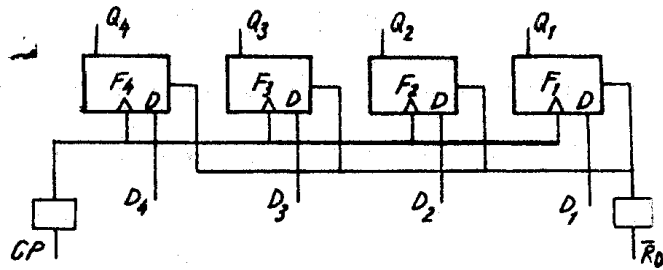


Hình 6-3-3. Bộ nhớ tiếp nhận một nhịp dùng Flip Flop D.

3) IC bộ nhớ cơ bản

Vì mạch bộ nhớ cơ bản bao gồm các Flip Flop và các tổng điều khiển liên quan được chế tạo trong một chip. Căn cứ vào sự khác biệt về cấu trúc, các vi mạch bộ nhớ phân thành bộ nhớ đơn (chỉ có 1 bộ nhớ trong 1 vỏ) và bộ nhớ ghép (một số bộ nhớ được đóng gói chung trong 1 vỏ)

Hình 6-3-4 là bộ nhớ 4 bit dùng Flip Flop D, ngoài ra còn hay ghép các bộ nhớ kép 2×5 , 2×6 v.v... Các bộ nhớ do mạch chốt cấu trúc nên thường có mạch chốt 2 chiều 8 bit, mạch chốt 4 bit có đầu vào xóa và mạch chốt kép 2×4 . IC bộ nhớ ghép điển hình có bộ nhớ 4×4 , 8×2 v.v...



Hình 6-3-4. IC bộ nhớ 4 Flip Flop D.

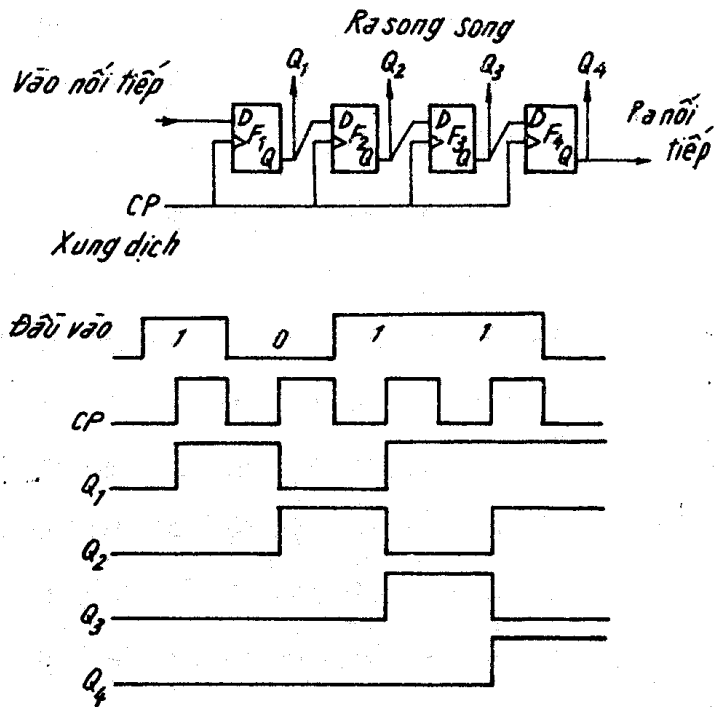
6.3.2. Bộ ghi dịch

Bộ ghi dịch ngoài chức năng lưu giữ ra, còn có chức năng dịch từng bit theo nhịp xung đồng hồ. Dữ liệu lưu giữ trong bộ ghi dịch dưới tác dụng của xung dịch (shift) có thể tuần tự dịch trái hay dịch phải.

1) Bộ ghi dịch một hướng

Hình 6-3-5 là bộ ghi dịch một hướng cấu trúc bằng Flip Flop D. Đầu ra Q của mỗi FF tuần tự nối đến đầu vào D của FF tiếp sau; chỉ có đầu vào D của FF thứ nhất tiếp nhận dữ liệu.

Cứ mỗi khi xuất hiện sườn dương xung đồng hồ thì dữ liệu mã hóa được dịch vào F_1 , đồng thời trạng thái của mỗi FF cũng dịch đến FF tiếp theo. Giả sử từ mã đầu vào là 1011, dưới tác dụng của xung dịch, thì tình huống dịch của từ mã trong bộ ghi dịch như bảng 6.3.1. Có thể thấy rằng, sau khi có 4 xung CP, từ mã 4 bit 1011 đã dịch vừa hết vào bộ ghi dịch. Lúc này, có thể lấy ra 4 bit song song của từ mã 1011 từ 4 đầu ra Q của các FF.



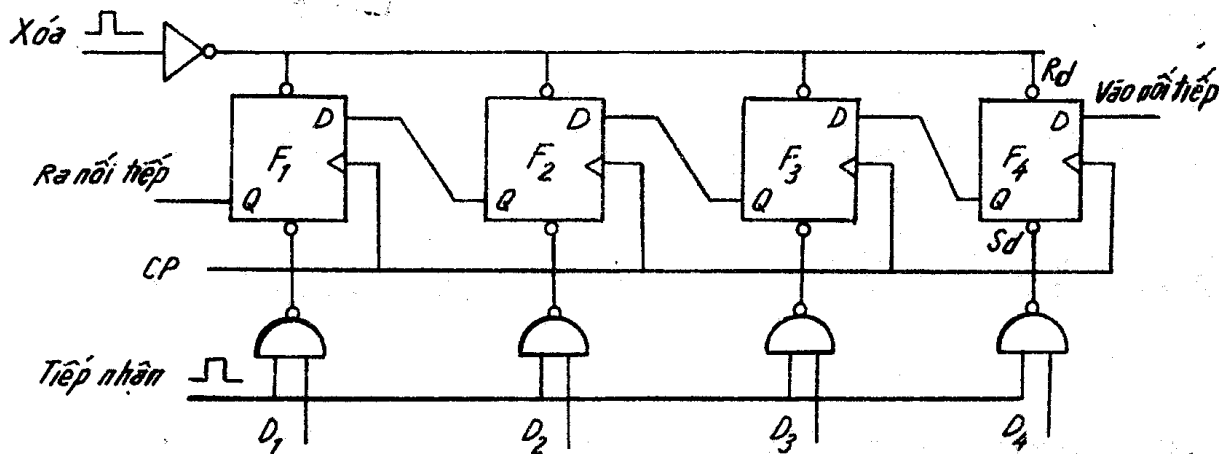
Hình 6-3-5. Bộ ghi dịch một hướng.

Bảng 6-3-1 : TÌNH HUỐNG DỊCH TỪ MÃ TRONG BỘ GHI DỊCH

CP	Từ mã trong bộ ghi dịch			
Thứ tự	F ₁	F ₂	F ₃	F ₄
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	0	1	0
4	1	1	0	1

Flip Flop cuối cùng (đầu ra Q) có thể làm đầu ra nối tiếp của từ mã. Muốn thế, chỉ cần qua thời gian 4 xung đồng hồ nửa thì 4 bit nối tiếp của từ mã được dịch ra ở đây. Đó là phương pháp đưa ra các bit nối tiếp. Vậy mạch điện hình 6-3-5 được gọi là bộ ghi dịch một hướng vào nối tiếp, ra nối tiếp / song song.

Đầu vào bộ ghi dịch cũng có thể dùng cách vào song song - Hình 6-3-6 là bộ ghi dịch vào nối tiếp / song song, ra nối tiếp.



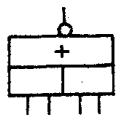
Hình 6-3-6. Bộ ghi dịch một hướng vào nối tiếp / song song.

Khi vào song song thì dùng cách tiếp nhận ra nối tiếp hai nhịp. Nhịp thứ nhất : xung xóa đưa đến đầu R_d xóa tất cả các FF, nhịp thứ hai : xung tiếp nhận đưa đến mở các cổng để tiếp nhận dữ liệu ở đầu S_d .

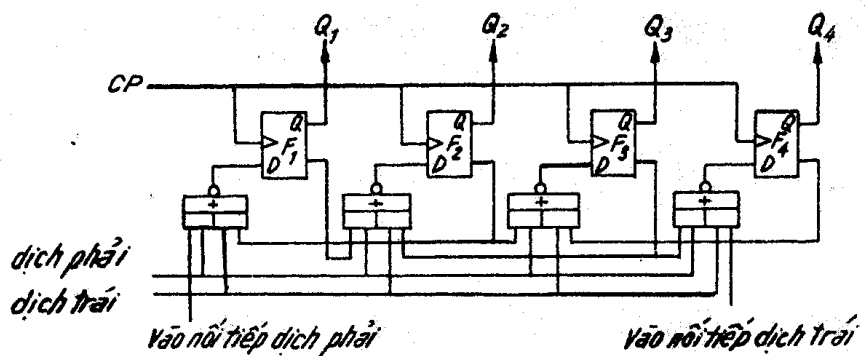
Trong một chip IC hiện nay, bộ ghi dịch có từ mã dài nhiều bit.

2) Bộ ghi dịch hai hướng

(ghi chú :



mạch NORAND
xem phần 3-3-4)



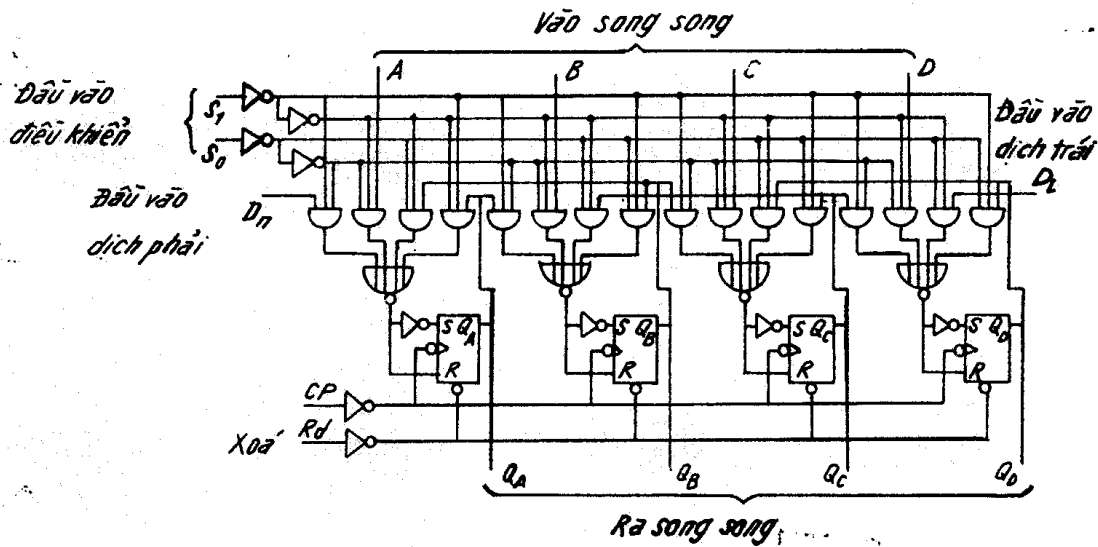
Hình 6-3-7. Bộ ghi dịch hai hướng.

Xét mạch hình 6-3-7. Dữ liệu có thể tuần tự dịch từ F_1 đến F_4 (dịch phải), cũng có thể dịch từ F_4 đến F_1 (dịch trái), vậy chúng ta gọi đây là bộ ghi dịch hai hướng.

Khi tín hiệu dịch phải bằng 1, cổng AND bên trái của mạch NORAND mở thông đầu $\bar{Q}$ của FF bên trái thông qua NORAND (đã đảo mức logic) nối vào đầu vào D

của FF bên phải (tương đương đầu Q của FF trái nối vào đầu D của FF bên phải liền kề). Vậy khi xung dịch phải xuất hiện, dữ liệu được dịch từ trái sang phải. Ngược lại, khi tín hiệu dịch trái bằng 1, thì dữ liệu dịch từ phải sang trái. Đầu vào là tín hiệu đảo, qua mạch NORAND đảo pha, tín hiệu được lưu giữ trong bộ nhớ. Nếu tín hiệu đầu vào không đảo, thì tín hiệu được lưu giữ là đảo.

3) Vi mạch bộ ghi dịch MSI



Hình 6-3-8. Bộ ghi dịch MSI.

Hình 6-3-8 là vi mạch bộ ghi dịch MSI 4 bit hai hướng tính năng mạch. Mạch điện dùng phần tử nhớ là Flip Flop RS master slave mắc thành FFD, có hai đầu điều khiển S_0 , S_1 , 4 đầu vào dữ liệu song song A B C D, đầu vào dữ liệu nối tiếp D_R (dịch phải) và đầu vào dữ liệu nối tiếp D_L (dịch trái), một đầu vào xóa, một đầu vào đồng hồ CP, 4 đầu ra Q_A Q_B Q_C Q_D .

4 mạch NORAND làm thành bộ chọn lựa 4 đường thông. Các tín hiệu S_0 , S_1 điều khiển sự chọn lựa.

Phần tử nhớ là Flip Flop D, có phương trình đặc trưng :

$$Q^{n+1} = D$$

Khi $S_0 S_1 = 00$, từ sơ đồ logic, ta có :

$$Q_A^{n+1} = \overline{\overline{Q_A^n}} = Q_A^n, Q_B^{n+1} = \overline{\overline{Q_B^n}} = Q_B^n, Q_C^{n+1} = \overline{\overline{Q_C^n}} = Q_C^n; Q_D^{n+1} = \overline{\overline{Q_D^n}} = Q_D^n \quad (6-3-1)$$

Xung đồng hồ xuất hiện thì bộ nhớ giữ nguyên trạng thái.

Khi $S_0 S_1 = 01$, ta có :

$$Q_D^{n+1} = \overline{\overline{D_L}} = D_L, Q_C^{n+1} = \overline{\overline{Q_D^n}} = Q_D^n; Q_B^{n+1} = \overline{\overline{Q_C^n}} = Q_C^n, Q_A^{n+1} = \overline{\overline{Q_B^n}} = Q_B^n \quad (6-3-2)$$

Với tác dụng của xung đồng hồ, bộ nhớ công tác ở chế độ dịch trái tín hiệu vào nối tiếp.

Khi $S_0S_1 = 11$, ta có

$$Q_D^{n+1} = \overline{\overline{D}} = D, Q_C^{n+1} = \overline{\overline{C}} = C, Q_B^{n+1} = \overline{\overline{B}} = B, Q_A^{n+1} = \overline{\overline{A}} = A \quad (6-3-3)$$

Khi xuất hiện xung đồng hồ, bộ nhớ tiếp nhận tín hiệu đầu vào song song.

Khi $S_0S_1 = 10$, ta có :

$$Q_A^{n+1} = \overline{\overline{D}}_R = D_R, Q_B^{n+1} = \overline{\overline{Q}}_A^n = Q_A^n, Q_C^{n+1} = \overline{\overline{Q}}_B^n = Q_B^n, Q_D^{n+1} = \overline{\overline{Q}}_C^n = Q_C^n \quad (6-3-4)$$

Với tác dụng của xung đồng hồ, bộ nhớ công tác ở chế độ dịch phải tín hiệu vào nối tiếp.

Nếu ở đầu vào R_d có xung dương, thì bộ nhớ bị xóa về 0. Bảng 6-3-2 tóm tắt chức năng bộ ghi dịch đã giới thiệu như trên.

Bảng 6-3-2 : BẢNG CHỨC NĂNG

Chức năng	R_d	S_0	S_1	CP
Xóa về 0	H	x	x	x
giữ nguyên trạng	L	L	L	↑
dịch trái	L	L	H	↑
vào dữ liệu song song	L	H	H	↑
dịch phải	L	H	L	↑

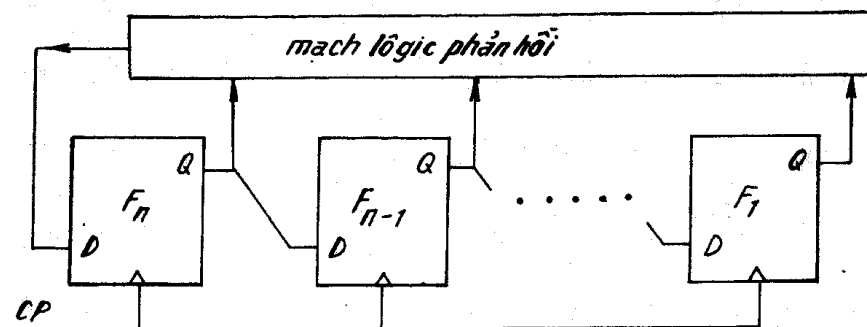
6.3.3. Ví dụ về ứng dụng bộ nhớ

Bộ nhớ, đặc biệt bộ ghi dịch, có ứng dụng rất rộng rãi : biến đổi từ mã nhị phân từ các bit nối tiếp thành các bit song song và ngược lại, dùng để cấu trúc bộ đếm kiểu ghi dịch rất tiện lợi v.v... Ở đây trình bày làm ví dụ về bộ đếm kiểu ghi dịch.

Nếu đem tín hiệu đầu ra của bộ ghi dịch phản hồi theo một cách xác định đến đầu vào nối tiếp D_n (đầu vào đồng bộ của Flip Flop D F_n) thì có thể cấu trúc thành bộ đếm cho nhiều mã đặc thù khác nhau. Hình 6-3-9 giới thiệu một cấu

Hình 6-3-9.

Bộ đếm kiểu ghi dịch.

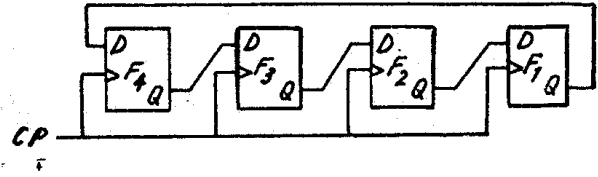


trúc như vậy. Dùng mạch ghi logic phân hồi khác nhau thì có được các bộ đếm khác nhau. Dưới đây trình bày mấy mạch điện thường dùng.

1) Bộ đếm vòng

a) Cấu trúc mạch điện

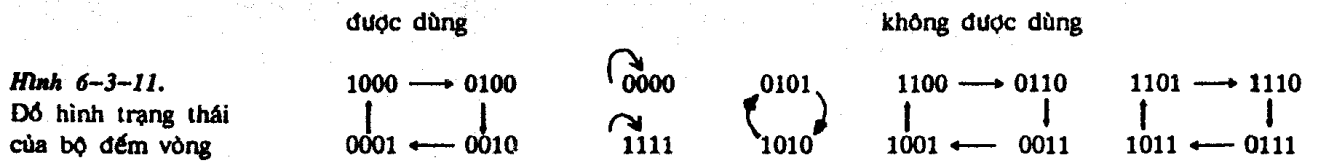
Lấy $D_n = Q_1$, tức là nối đầu ra Q_1 của F_1 vào đầu vào D_n của F_n . Vậy khi đó các Flip Flop tạo thành mạch vòng, nên có tên là bộ đếm vòng; thực chất là bộ ghi dịch tự tuần hoàn. Hình 6-3-10 là bộ đếm vòng $n = 4$.



Hình 6-3-10. Bộ đếm vòng.

b) Nguyên lý công tác

Bằng phương pháp phân tích logic, ta có thể tìm được đồ hình trạng thái của bộ đếm vòng, như hình 6-3-11



Hình 6-3-11.
Đồ hình trạng thái của bộ đếm vòng

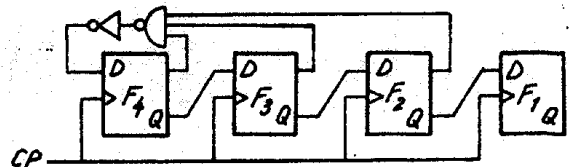
Nhận xét hình 6-3-11 : khi tác dụng xung đếm đầu vào CP, mạch tuần hoàn dịch 1, cũng có thể tuần hoàn dịch 0. Nếu chọn dùng tuần hoàn dịch 1 thì các trạng thái của bộ đếm là 1000, 0100, 0010, 0001. Khi công tác, đầu tiên nên dùng xung khởi động đưa bộ đếm vào trạng thái sử dụng, ví dụ 1000, sau đó hãy tác động CP vào.

c) Vấn đề tự khởi động

Đồ hình trạng thái cho chúng ta biết rằng bộ đếm loại này không thể tự khởi động giá như chịu tác động của nhiễu hay sự cố nguồn điện mà mạch rơi vào trạng thái không được dùng thì bộ đếm sẽ mãi mãi nằm trong vòng tuần hoàn không được dùng; chỉ có khởi động lại thì mạch mới có thể trở về trạng thái được dùng.

Hình 6-3-12 là bộ đếm vòng 4 bit có thể tự khởi động từ sơ đồ logic ta có phương trình kích

$$\begin{aligned} D_4 &= \bar{Q}_4^n \bar{Q}_3^n \bar{Q}_2^n & D_3 &= Q_4^n \\ D_2 &= Q_3^n & D_1 &= Q_3^n \end{aligned} \quad (6-3-5)$$



Hình 6-3-12.

Bộ đếm vòng 4 bit tự khởi động.

Thay các giá trị trên vào phương trình đặc trưng của Flip Flop D, ta có :

$$\begin{aligned} Q_4^{n+1} &= \bar{Q}_4^n \bar{Q}_3^n \bar{Q}_2^n & Q_3^{n+1} &= Q_4^n \\ Q_2^{n+1} &= Q_3^n & Q_1^{n+1} &= Q_2^n \end{aligned} \quad (6-3-6)$$

Giả định trạng thái đầu là 0000, tuần tự thay vào (6-3-6) tiến hành tính, ta được bảng 6-3-3

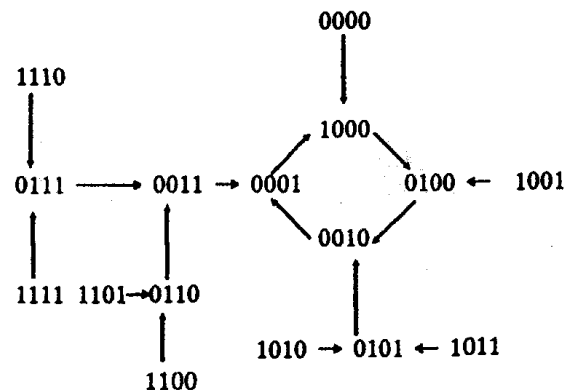
Bảng 6-3-3. BẢNG CHỨC NĂNG

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	1	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	0	0	1	0
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	1
1	0	1	1	0	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1

Hình 6-3-13 là đồ hình trạng thái của mạch hình 6-3-12.

Hình 6-3-13.

Đồ hình trạng thái
của bộ đếm vòng có
thể tự khởi động.



d) Đặc điểm

Ưu điểm của bộ đếm vòng : tất cả các Flip Flop bình thường chỉ chọn một Flip Flop ở trạng thái 1 (những Flip Flop còn lại ở trạng thái 0). Vậy có thể lấy đầu ra của bộ đếm vòng từ đầu Q của các Flip Flop mà không cần bộ giải mã. Khi liên tục có xung CP đầu vào, các đầu ra Q, $\bar{Q}$ của các Flip Flop sẽ cho ra xung vuông luân lưu. Vì thế mạch điện này còn gọi là bộ phân phối xung vòng.

Nhược điểm : hiệu suất sử dụng trạng thái là thấp, nhớ N số cần N Flip Flop (cần dùng nhiều Flip Flop).

2) Bộ đếm vòng xoắn

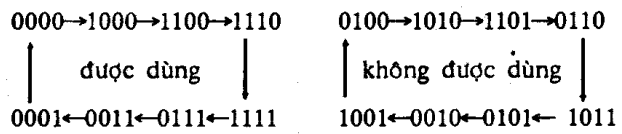
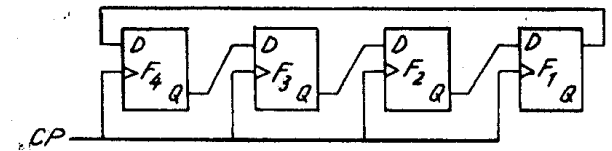
Đặc điểm cấu trúc của bộ đếm vòng xoắn là

$$D_n = \bar{Q}_1^n \quad (6-3-7)$$

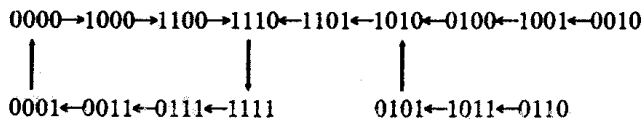
Xem sơ đồ logic và đồ hình trạng thái của mạch đếm vòng - xoắn 4 bit

hình 6-3-14 có 8 trạng thái được dùng. Có 8 trạng thái không được dùng. Mạch không thể tự khởi động. Trước khi đếm, cần thiết lập trạng thái 0000 cho bộ đếm vòng - xoắn.

Hình 6-3-15 bộ đếm vòng - xoắn có thể tự khởi động.

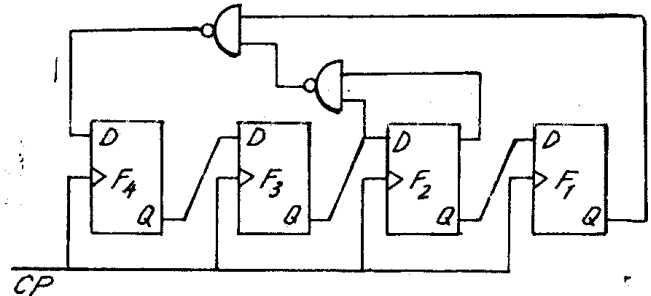


Hình 6-3-14. Bộ đếm vòng xoắn



Hình 6-3-15.

Bộ đếm vòng xoắn 4 bit có thể tự khởi động.



Đặc điểm của bộ đếm vòng - xoắn là chỉ có một Flip Flop duy nhất chuyển đổi trạng thái trong mỗi lần đếm ; vậy không tồn tại nguy hiểm chạy đua khi giải mã, hơn nữa các cổng giải mã đều chỉ cần hai đầu vào. Nhược điểm của bộ đếm vòng - xoắn vẫn là chưa tận dụng hết các trạng thái bộ đếm. Trong bộ đếm n bit ($n \geq 3$) thì có $2^n - 2n$ trạng thái không được dùng.

3) Bộ đếm kiểu ghi dịch độ dài cực đại

Ý nói bộ đếm kiểu ghi dịch có độ dài đếm $N = 2^n - 1$. Mạch logic phản hồi của bộ đếm này dùng cổng XOR. Bảng 6-3-4 là logic phản hồi khi $n = 3 \div 12$

Bảng 6-3-4. LOGIC PHẢN HỒI CỦA BỘ ĐẾM KIỂU GHI DỊCH ĐỘ DÀI CỰC ĐẠI

Bộ ghi dịch n bit	logic phản hồi
3	$D_3 = Q_1 \oplus Q_2, Q_1 \oplus Q_3$
4	$D_4 = Q_1 \oplus Q_2, Q_1 \oplus Q_4$
5	$D_5 = Q_1 \oplus Q_3, Q_1 \oplus Q_4$
6	$D_6 = Q_1 \oplus Q_2, Q_1 \oplus Q_6$
7	$D_7 = Q_1 \oplus Q_2, Q_1 \oplus Q_7$
8	$D_8 = Q_1 \oplus Q_3 \oplus Q_4 \oplus Q_5, Q_1 \oplus Q_5 \oplus Q_6 \oplus Q_7$
9	$D_9 = Q_1 \oplus Q_5, Q_1 \oplus Q_6$
10	$D_{10} = Q_1 \oplus Q_4, Q_1 \oplus Q_8$
11	$D_{11} = Q_1 \oplus Q_3, Q_1 \oplus Q_{10}$
12	$D_{12} = Q_1 \oplus Q_2 \oplus Q_5 \oplus Q_7, Q_1 \oplus Q_7 \oplus Q_9 \oplus Q_{12}$

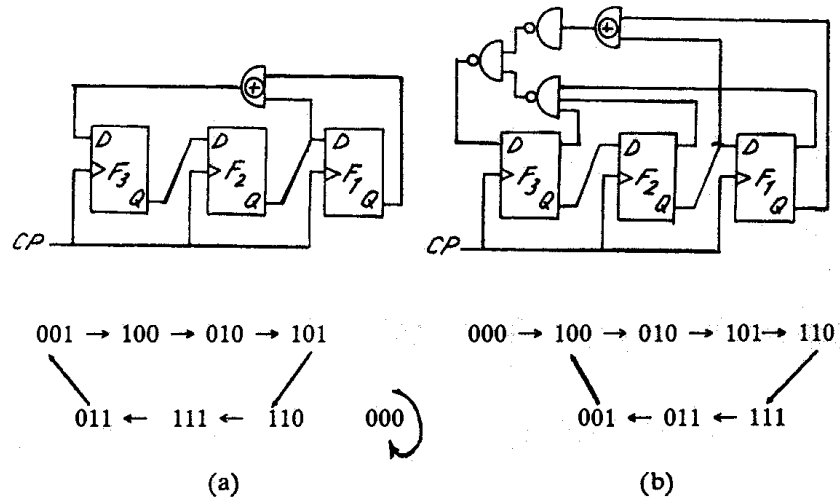
Hình 6-3-16 là sơ đồ logic và đồ hình trạng thái của bộ đếm kiểu ghi dịch độ dài cực đại 3 bit. Bất kể nhiều ít 0, logic cổng XOR là 0. Vậy trong bộ đếm này, trạng thái toàn 0 không được dùng, cấu thành vòng không được dùng.

Hình 6-3-16.

Bộ đếm kiểu ghi dịch

độ dài cực đại 3 bit :

- a) Không thể tự khởi động ;
- b) Có thể tự khởi động.



Trong bộ đếm kiểu ghi dịch độ dài cực đại thì các trạng thái của bộ đếm tương đối được tận dụng, logic phản hồi rất đơn giản. Vậy nó kinh tế hơn bộ đếm nhị phân đồng bộ. Nhất là khi độ dài đếm khá dài thì ưu điểm này càng rõ rệt.

4) Thực hiện phương pháp tự khởi động của bộ đếm điều khiển ghi dịch

Các mạch cơ bản của bộ đếm : vòng, vòng - xoắn, kiểu độ dài cực đại v.v... đều không thể tự khởi động. Muốn giữ nguyên các trạng thái được dùng của các bộ đếm, mà mạch có thể tự khởi động, ta phải giải quyết vấn đề đó như dưới đây.

a) Các bước cơ bản :

- Vẽ ra mạch điện cơ bản và đồ hình trạng thái của nó.
- Sửa đổi quan hệ chuyển đổi trạng thái không được dùng, thực hiện tự khởi động của đồ hình trạng thái.

- Tìm logic phản hồi

- Vẽ sơ đồ logic

b) Ví dụ : thiết kế bộ đếm vòng - xoắn 3 bit có thể tự khởi động.

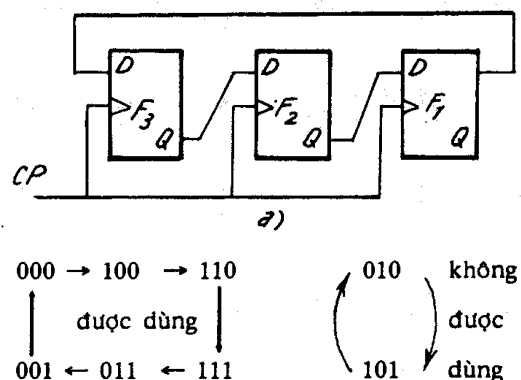
Vẽ ra mạch điện cơ bản và đồ hình trạng thái của nó

Xem hình 6-3-17

Hình 6-3-17. Bộ đếm vòng - xoắn 3 bit :

a) Sơ đồ logic ;

b) Đồ hình trạng thái.

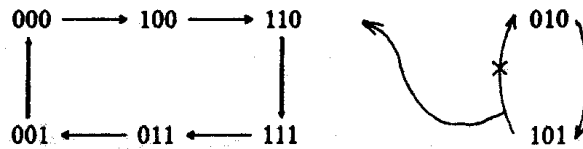


Sửa đổi vòng trạng thái không được dùng, thực hiện tự khởi động

Công việc sửa đổi là cắt đứt vòng trạng thái không được dùng, nối ghép trạng thái không được dùng tại chỗ đứt vào trạng thái được dùng tương ứng để thực hiện tự khởi động. Xem hình 6-3-18.

Hình 6-3-18.

Đồ hình trạng thái của mạch có thể tự khởi động



Khi ghép nối trạng thái không được dùng cần chú ý rằng từ Flip Flop tương ứng bit cao nhất F_n đến Flip Flop tương ứng bit thấp nhất F_1 có quan hệ ghi dịch bit cố định; trạng thái hiện tại của bit cao hoàn toàn quyết định trạng thái kế tiếp của bit thấp; chúng ta chỉ sửa đổi được trạng thái kế tiếp của F_n (trong ví dụ này là F_3). Căn cứ vào vòng trạng thái không được dùng vốn có, trạng thái kế tiếp của F_3 là 0. Sau khi sửa đổi, trạng thái kế tiếp của F_3 là 1. Nếu bộ đếm lạc vào vòng trạng thái không được dùng, nó chuyển đến 101, đợi xung CP nữa thì tự động theo cách ghép nối trạng thái của chúng ta, chuyển đến 110.

Tìm logic phản hồi

Đầu tiên căn cứ quan hệ logic cần để tự khởi động, ta vẽ ra bảng Karnaugh của Q_n^{n+1} (trong ví dụ này là Q_3^{n+1}), rồi tìm hàm logic của Q_n^{n+1} .

Tiếp theo, ta so sánh với phương trình đặc trưng của Flip Flop F_n , tức là tìm ra logic phản hồi.

Từ hình 6-3-18 ta vẽ bảng Karnaugh hình 6-3-19.

Từ hình 6-3-19, ta có :

$$Q_3^{n+1} = \bar{Q}_1^n + Q_3^n Q_2^n \quad (6-3-8)$$

Phương trình đặc trưng của Flip Flop D là :

$$Q^{n+1} = D$$

$$\text{Vậy } D_3 = \bar{Q}_1^n + Q_3^n Q_2^n \quad (6-3-9)$$

Vẽ sơ đồ logic

$$D_3 = \overline{\overline{Q_1^n} + Q_3^n Q_2^n} = Q_1^n \overline{Q_3^n Q_2^n}$$

$Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
0	1	0	0	x
1	1	1	0	1

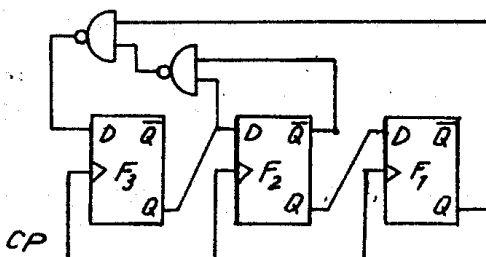
Hình 6-3-19.

Bảng Karnaugh của Q_3^{n+1}

Xem hình 6-3-20

Hình 6-3-20.

Bộ đếm vòng - xoắn có thể tự khởi động.



Cần nói rõ rằng, nếu mạch điện có nhiều trạng thái không được dùng, thì trong số đó có trạng thái có thể trực tiếp chuyển thành trạng thái được dùng, những trạng thái khác có thể qua một hay nhiều trạng thái không được dùng trung gian trước khi chuyển thành trạng thái được dùng. (Thể hiện trong đồ hình trạng thái tự khởi động).

6.4. BỘ TẠO XUNG TUẦN TỰ

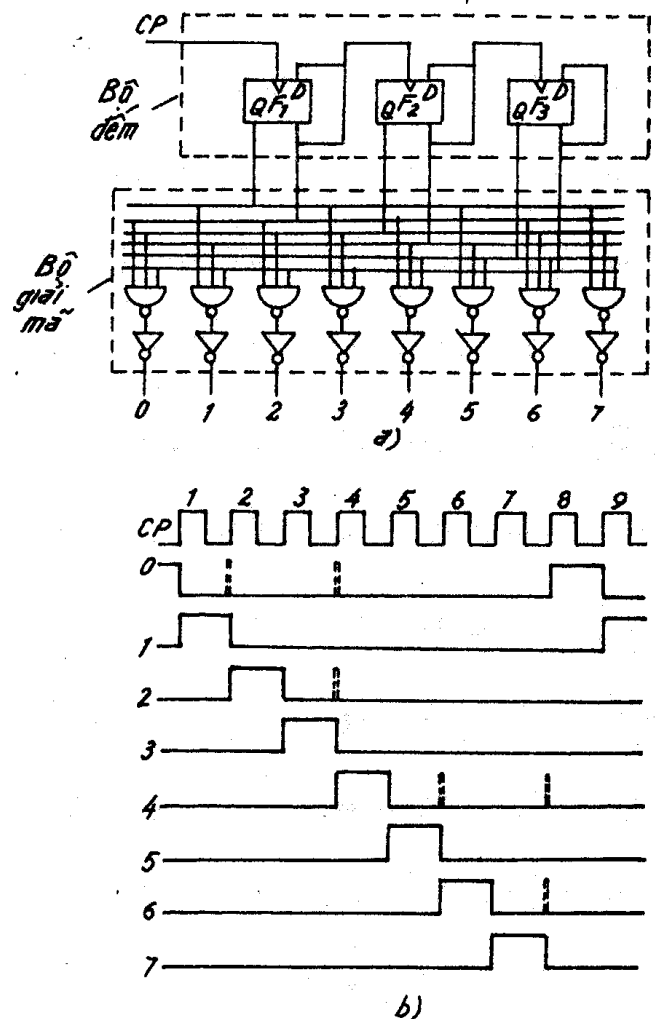
Trong các thiết bị điều khiển kĩ thuật số và máy tính số thường yêu cầu các phép toán và thao tác phải tiến hành tuần tự theo quy định trước một cách chính xác. Do đó phần điều khiển không chỉ tạo ra các tín hiệu điều khiển mà còn phân bố thời gian tuần tự cho các tín hiệu điều khiển đó. Phương pháp hay dùng nhất là sử dụng bộ tạo xung tuần tự (bộ phát xung nhịp) để tạo ra các xung tuần tự có thứ tự thời gian trước sau ; những xung này làm chuẩn thời gian cho sự hiệp đồng của các bộ phận trong toàn máy.

Bộ tạo xung tuần tự thông thường bao gồm bộ đếm và bộ giải mã như hình 6-4-1a.

Xung đồng hồ thời gian chuẩn được đưa vào đầu vào bộ đếm. Nhờ bộ giải mã sẽ biến đổi các trạng thái bộ đếm thành xung tuần tự trên các đầu ra như hình 6-4-1b.

Bộ đếm hình 6-4-1a là dị bộ. Khi xuất hiện xung đồng hồ thì các FF không lật đồng thời mà có trước có sau so với nhau. Ngoài ra, trong mỗi lần chuyển đổi trạng thái, có thể có nhiều FF cùng lật, nên sinh ra hiện tượng nguy hiểm : chạy đua. Do đó, tạo ra xung nhiễu ở đầu ra bộ giải mã (của bộ tạo xung tuần tự) ; xung nhiễu đôi khi được gọi là tạp âm quá độ. Ví dụ, như ở hình 6-4-1b : khi bộ đếm chuyển từ 001 thành 010, giả sử F_1 lật sang 0 trước khi F_2 lật thành 1, trong thời gian quá độ sẽ xuất hiện trạng thái 000 (ngắn ngủi).

Do đó, có xung hẹp sinh ra trên đầu ra "0". Tương tự, khi từ 011 thành 100 thì cũng có thể xuất hiện xung nhiễu quá độ trên đầu ra "0". Các đầu ra khác cũng có thể xuất hiện xung nhiễu quá độ. Chẳng hạn, trên dây "2" khi từ 011 thành 100, trên dây "4" khi từ 101 thành 110...



Hình 6-4-1. Bộ tạo xung tuần tự :

- a) sơ đồ logic ;
- b) dạng sóng.

Có những phương pháp sau đây để trừ bỏ xung nhiễu quá độ :

1) Dùng bộ đếm vòng. Chúng ta đã xem xét mạch điện bộ đếm vòng ở tiết 6-3-3. Vì đầu ra Q của mỗi Flip Flop đã là xung tuần tự, không cần bộ giải mã, nên tuy rằng có thể có nhiều FF lật khi bộ đếm chuyển đổi, vẫn không thể sinh ra xung nhiễu quá độ.

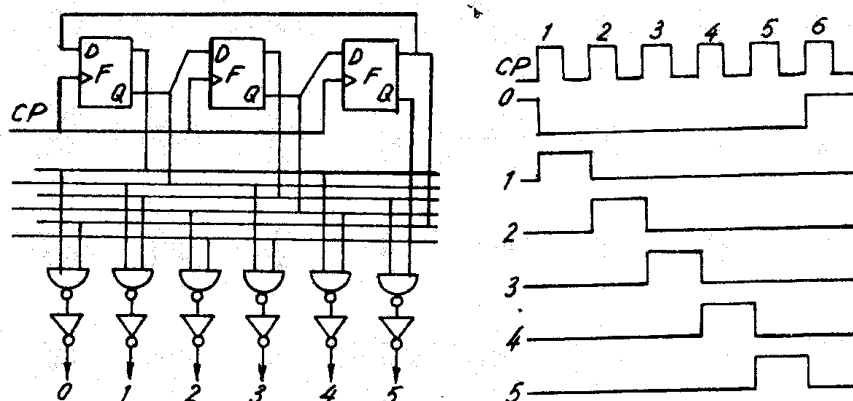
Như ta đã nói, nhược điểm của mạch này là không kinh tế : cứ tăng thêm một đầu ra phải có thêm một Flip Flop.

2) Dùng bộ đếm mỗi lần trị số đếm thay đổi chỉ có một Flip Flop lật. Thuộc về loại này là bộ đếm dùng mã Gray và bộ đếm vòng - xoắn (bộ đếm Johnson). Ví dụ : hình 6-4-2

Hình 6-4-2.

Bộ tạo xung tuần tự dùng bộ đếm vòng - xoắn

a) Sơ đồ logic ;
b) Dạng sóng.

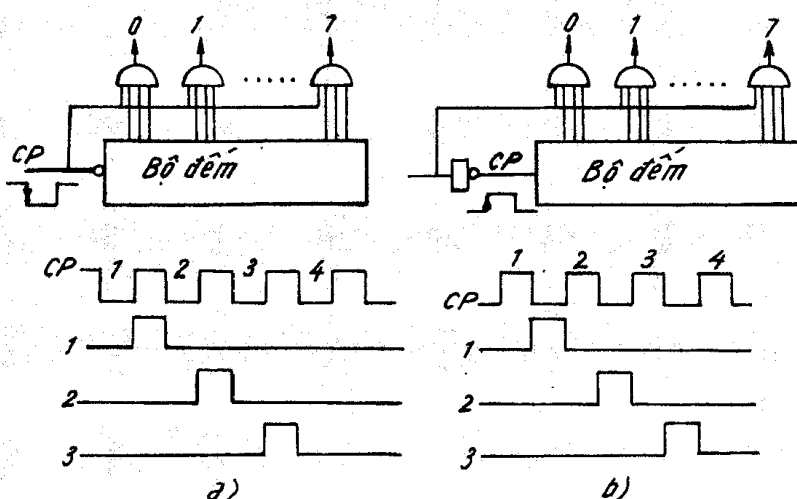


3) Ứng dụng phương pháp trừ bỏ hiện tượng nguy hiểm "chạy đua" đã giới thiệu ở tiết 4.9.2. Ví dụ, dùng xung đếm đầu vào để khóa cổng giải mã.

Hình 6-4-3.

Dùng xung đồng hồ để khóa cổng giải mã trừ bỏ "chạy đua" :

a) Kích bằng sườn âm ;
b) Kích bằng sườn dương.



Khi kích FF bằng sườn âm CP, dùng CP khóa cổng giải mã như hình 6-4-3a. Khi kích FF bằng sườn dương CP thì dùng $\overline{CP}$ khóa cổng giải mã như hình 6-4-3b. Xung đầu ra bây giờ tuy vẫn tuần tự theo thời gian, nhưng không còn nối sát nhau nữa.

Sử dụng bộ đếm đồng bộ có vẻ không sinh ra nhiều, vì trên lý thuyết cho là tất cả các FF đều lật đồng thời. Thực ra, các FF đều không thể hoàn toàn như nhau, phụ tải và dây nối lắp ráp của các FF cũng không hoàn toàn giống nhau, nghĩa là các FF không hoàn toàn đồng thời cùng lật, cũng tức là không thể triệt để trừ bỏ "chạy đua" được.

6.5. BỘ NHỚ RAM VÀ DỤNG CỤ GHÉP ĐIỆN TÍCH CCD

6.5.1. Bộ nhớ RAM (Random Access Memory - bộ nhớ đọc / viết)

RAM là một phần không thể thiếu của máy tính điện tử số. Trước đây, RAM là bộ nhớ bằng xuyên từ. Hiện nay, RAM là bộ nhớ bán dẫn, ; RAM bán dẫn có ưu điểm tốc độ lớn, thể tích nhỏ, dung lượng lớn, tiết kiệm điện năng và độ tin cậy cao.

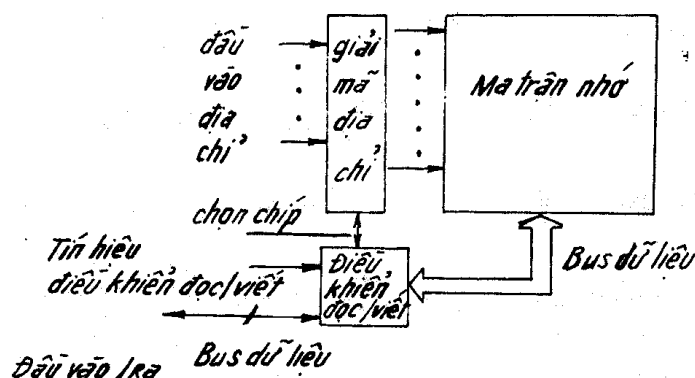
1) Kết cấu của RAM bán dẫn

Trong máy tính điện tử số, cả chương trình và số liệu đều biểu thị bằng số nhị phân - RAM bán dẫn là vi mạch (IC) cỡ lớn, bao gồm hàng trăm, nghìn phần tử nhớ để lưu giữ số nhị phân đó. Như ta đã biết, một phần tử nhớ có thể nhớ 1 số nhị phân (1bit). Căn cứ vào số bit, RAM có 2 hình thức kết cấu tổ chức bộ nhớ là : nhiều từ 1 bit và nhiều từ nhiều bit. Trong kết cấu nhiều từ 1 bit, mỗi tổ chức cơ sở của bộ nhớ chỉ nhớ 1 bit. Ví dụ, RAM 1024×1 là bộ nhớ có 1024 phần tử nhớ 1 bit. Trong kết cấu nhiều từ nhiều bit, mỗi tổ chức cơ sở của bộ nhớ lưu giữ nhiều bit. Ví dụ, RAM 256×4 là bộ nhớ có 256 phần tử nhớ 4 bit. Tích số của số phần tử cơ sở và số bit mỗi phần tử đó là dung lượng của bộ nhớ RAM. Ví dụ, RAM 16384×1 có dung lượng 16 Kbit (1 Kbit = 1024 bit). Nói chung RAM bán dẫn có cấu trúc nhiều từ 1 bit.

Hình 6-5-1 là sơ đồ khối điển hình của RAM, nó bao gồm các khối sau :

Hình 6-5-1.

Kết cấu của RAM.



a) Bộ giải mã địa chỉ. Trong RAM có rất nhiều phần tử nhớ ; để phân biệt, từng phần nhớ được gán một địa chỉ. Mỗi lần đọc hoặc viết chỉ có thể làm việc với một phần tử nhớ có địa chỉ đã cho. Hoặc là viết vào phần tử **xét**, hoặc là đọc ra nội dung đã viết vào trước đó, quá trình này gọi là truy nhập **xuất** bộ nhớ. Mã

nhị phân biểu thị địa chỉ cần truy nhập truy xuất được đưa vào bộ giải mã địa chỉ. Sau khi đã giải mã, ở đầu ra ta có tín hiệu tích cực một dây tương ứng để mở thông đường vào / ra cho tín hiệu dữ liệu được viết / đọc vào phần tử nhớ có địa chỉ đó.

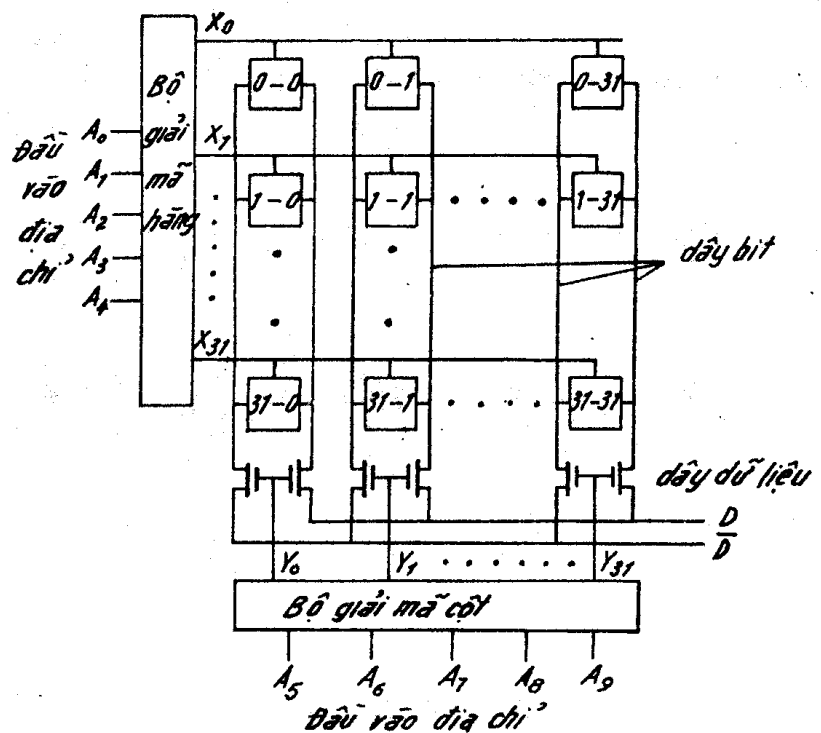
b) *Điều khiển đọc / viết.* Đối với phần tử nhớ được chọn theo địa chỉ, sự đọc ra hay viết vào tùy thuộc sự điều khiển của tín hiệu điều khiển đọc / viết. Ví dụ, $R/\overline{W}$, mức logic 1 là đọc, mức logic 0 là viết. Cũng có RAM có hai trường dây tín hiệu riêng để điều khiển đọc / viết.

c) *Đầu vào / ra.* Bằng các đầu vào / ra mà RAM trao đổi tin tức với bộ xử lý trung ương (CPU - Central Processing Unit). Các đường dây dữ liệu là hai chiều, do tín hiệu điều khiển đọc / viết mà khi đọc, nó là đầu ra ; khi viết, nó là đầu vào. Số đầu vào / ra này phụ thuộc vào số bit trong một địa chỉ. Ví dụ, RAM 1024×1 mỗi địa chỉ là của một phần tử nhớ nên tương ứng chỉ có một đầu vào / ra. RAM 256×4 mỗi địa chỉ là của 1 nhóm 4 phần tử nhớ nên tương ứng có 4 đầu vào / ra. Cũng có RAM dây dữ liệu vào riêng, dây dữ liệu ra riêng. Đầu ra nói chung là mạch ra 3 trạng thái hay mạch hở cực góp (colector)

d) *Điều khiển chọn chip.* Do sự hạn chế về khả năng tích hợp RAM trên mỗi chip, bộ nhớ RAM của máy tính phải do nhiều chip RAM ghép nối logic với nhau. Khi CPU truy nhập truy xuất bộ nhớ theo địa chỉ thì địa chỉ đó thường tương ứng với một chip RAM nào đó được chọn. Điều khiển chọn chip nhằm mục đích đó. Nếu tín hiệu chọn chip dẫn vào chip RAM nào ở mức tích cực thì chip đó được chọn. Tín hiệu đầu ra bộ giải mã của chip xét sẽ điều khiển mở thông đường vào / ra cho việc trao đổi dữ liệu giữa CPU và phần tử nhớ có địa chỉ CPU phát ra. (Những chip RAM khác không có tín hiệu chọn chip ở mức tích cực thì không được chọn, nghĩa là bị ngắt khỏi liên hệ với CPU)

e) *Ma trận nhớ.* Các phần tử nhớ của RAM thường được bố trí dạng ma trận, gọi là ma trận nhớ. Đầu ra bộ giải mã địa chỉ điều khiển sự nối / ngắt giữa phần tử nhớ trong ma trận với đầu vào / ra của bộ nhớ. Phần tử nhớ tương ứng với địa chỉ được giải mã được nối thông, những phần tử khác bị ngắt.

Hình 6-5-2 là ma trận nhớ và bộ giải mã địa chỉ của RAM 1024×1 . Ma trận này có hình thức kết cấu nhiều từ 1 bit, cấu trúc thành ma trận 32×32 , mỗi khối vuông nhỏ trong hình vẽ là một phần tử nhớ ; sự nối thông với mạch ngoài của phần tử nhớ do tín hiệu đầu ra bộ giải mã địa chỉ điều khiển. Có 10 dây địa chỉ, tương ứng 1024 địa chỉ của



Hình 6-5-2. Ma trận nhớ RAM 1024×1 bit.

1024 phần tử nhớ. Giải mã địa chỉ phân làm hai : bộ giải mã hàng và bộ giải mã cột. Các dây địa chỉ $A_0, \dots, A_4$ là đầu vào bộ giải mã hàng. Đầu ra bộ giải mã hàng là 32 dây $X_0, X_1, \dots, X_{31}$ là các dây chọn hàng ; các dây địa chỉ $A_5, \dots, A_9$ là đầu vào bộ giải mã cột. Đầu ra bộ giải mã cột là 32 dây $Y_0, Y_1, \dots, Y_{31}$ là các dây chọn cột. Dây chọn hàng X_i điều khiển sự nối thông của mỗi phần tử nhớ trong hàng tương ứng của ma trận nhớ với dây bit. Dây chọn cột Y_j điều khiển sự nối thông của dây bit mỗi cột tương ứng với dây dữ liệu $D, \bar{D}$. Ví dụ, khi $X_0 = 1, Y_0 = 1$, 32 phần tử nhớ 0-0 ÷ 0-31 của hàng thứ nhất trong ma trận nhớ được nối thông với dây bit tương ứng. Trong 32 đôi dây bit thì chỉ có đôi dây được Y_0 điều khiển mới nối thông với dây dữ liệu. Vậy chỉ có mỗi phần tử nhớ 0-0 là được nối thông với dây dữ liệu. Phần tử nhớ 0 - 0 trên đây được đọc hay được viết, vấn đề này do tín hiệu dây đọc / viết điều khiển. Nếu là đọc thì tín tức lưu trữ trong phần tử nhớ 0-0 sẽ xuất ra dây dữ liệu, đầu vào / ra và truyền đến CPU. Nếu là viết thì CPU đưa tín tức cần được viết qua đầu vào / ra, dây dữ liệu và ghi vào phần tử nhớ 0-0. Tương tự, khi $X_{31} = 1, Y_{31} = 1$ thì phần tử nhớ 31-31 được nối thông với dây dữ liệu, với điều khiển đọc / viết, CPU thông qua BUS dữ liệu, đầu vào / ra, dây dữ liệu thực hiện đọc ra hay viết vào phần tử nhớ 31-31.

Hình 6-5-3 là mạch điện tương đối đơn giản dùng để điều khiển đọc / viết. Các cổng 1 ÷ 5 làm thành bộ phận điều khiển đọc / viết.

Khi $\overline{CS} = 0$; $R/W = 1$ thì $\overline{K_R} = 0$
 $\overline{K_W} = 1$ thực hiện đọc.

Khi $\overline{CS} = 0$; $R/W = 0$ thì $\overline{K_R} = 1$
 $\overline{K_W} = 0$ thực hiện viết.

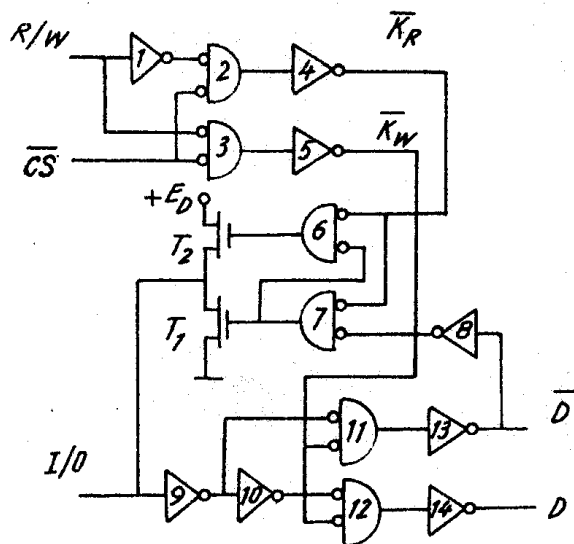
Các cổng 6,7 và bán dẫn MOS T_1, T_2 làm thành mạch đầu ra 3 trạng thái.

Khi $\overline{K_R} = 0$; $\overline{K_W} = 1$ thì cổng 11, 12 ngắt, cổng 6,7 sẵn sàng. Dữ liệu $\bar{D}$ qua cổng 8 đảo pha, qua mạch 3 trạng thái rồi ra đầu ra I/O : $I/O = \bar{D} = D$.

Vậy mạch đã thực hiện đọc.

Khi $\overline{K_R} = 1$; $\overline{K_W} = 0$ thì các cổng 6,7 bị ngắt, đầu ra của chúng là mức thấp làm cho bán dẫn T_1, T_2 bị khóa, mạch ra 3 trạng thái thể hiện trở kháng cao. Trong khi đó các cổng 11, 12 sẵn sàng, đường vào cho tín hiệu dữ liệu được mở thông qua các cổng 9, 10, 11, 12, 13, 14 với $D = I/O$ và $\bar{D} = \bar{I/O}$, tức thực hiện viết dữ liệu vào bộ nhớ.

Khi $\overline{CS} = 1$; $\overline{K_R} = 1$; $\overline{K_W} = 1$, nghĩa là khi chip RAM không được chọn thì mạch 3 trạng thái thể hiện trở kháng cao và các cổng 11, 12 cũng bị ngắt, I/O bị ngắt khỏi $D, \bar{D}$, tức là không đọc, không viết. RAM đã giới thiệu ở hình 6-5-2 lưu

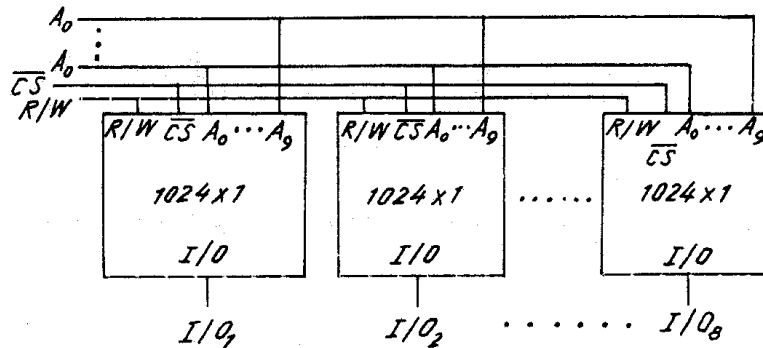


Hình 6-5-3. Mạch điều khiển đọc / viết của RAM

giữ 1 bit ở 1 địa chỉ. Thực tế thường dùng lưu giữ 8 bit hay 16 bit ở địa chỉ. Vậy nên phải ghép nối song song các RAM nhiều từ 1 bit. Hình 6-5-4 dưới đây giới thiệu 8 chip RAM 1024×1 cấu trúc thành bộ nhớ RAM 1024×8 . Trong hình này, các dây địa chỉ, dây đọc / viết, dây chọn chip đều nối song song, còn các dây I/O được dùng riêng rẽ.

Hình 6-5-4.

Bộ nhớ RAM
 1024×8 bit
 dùng 8 chip
 RAM 1024×1 .

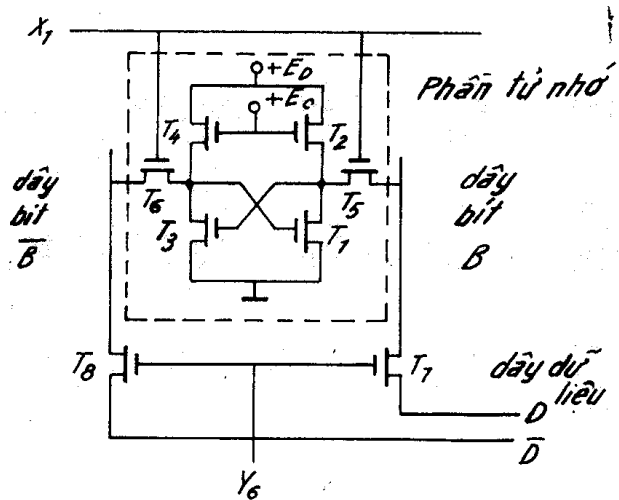


2) Phần tử nhớ RAM tĩnh

Phần tử nhớ là hạt nhân của bộ nhớ. Căn cứ sự khác biệt nguyên lý làm việc, chúng phân thành RAM tĩnh và RAM động. Căn cứ vào công nghệ sản xuất, chúng phân thành loại lưỡng cực và MOS. Vậy hình thức mạch điện rất đa dạng. Dưới đây trước tiên giới thiệu RAM tĩnh.

a) Phần tử nhớ NMOS 6 bóng bán dẫn

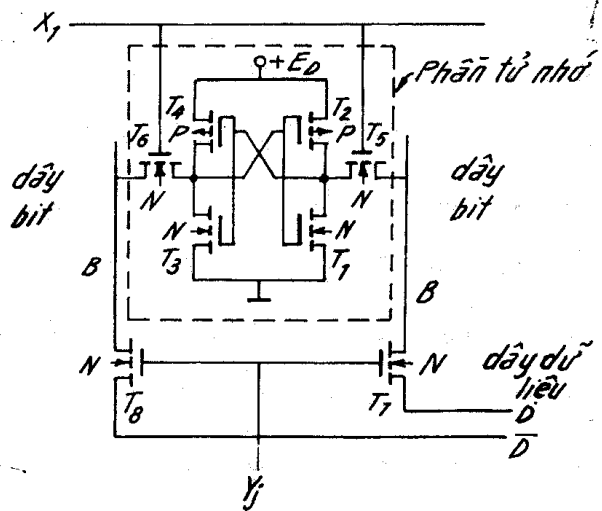
Mạch điện xem hình 6-5-5. T_1 và T_2 làm thành bộ đảo pha. T_3 và T_4 cũng làm thành một bộ đảo pha khác. Đầu vào đầu ra của hai bộ đảo pha nối chéo nhau tạo thành một Flip Flop RS cơ bản, nghĩa là cấu trúc nên phần tử nhớ. T_1 thông T_3 ngắt là trạng thái 0 ; T_3 thông và T_1 ngắt là trạng thái 1 - T_5 , T_6 là các bóng bán dẫn điều khiển. Dây X_i điều khiển T_5 , T_6 thông hoặc ngắt, do đó điều khiển sự nối thông đầu ra của Flip Flop với dây bit. Khi $X_i = 1$ thì T_5 , T_6 thông, do đó FF thông với dây bit. Khi $X_i = 0$ thì T_5 , T_6 ngắt, do đó FF bị ngắt khỏi dây bit. T_7 , T_8 là các bóng bán dẫn điều khiển sự nối thông dây bit với dây dữ liệu bằng tín hiệu dây Y_j , nguyên lý làm việc tương tự T_5 , T_6 . Không phải mỗi phần tử nhớ đều có riêng T_7 , T_8 này ; mà T_7 , T_8 là dùng chung cho cả cột phần tử nhớ (xem



Hình 6-5-5. Phần tử nhớ RAM tĩnh
 6 bóng bán dẫn MOS.

hình 6-5-5). Vậy chỉ phần tử nhớ nào mà các giá trị X_c , Y_j của nó đều là 1 thì mới được nối thông với dây dữ liệu, nghĩa là mới có thể tiến hành đọc / viết đối với phần tử đó. Ta nói phần tử nhớ $i-j$ đã được chọn. Bất kì thời điểm nào thì cũng chỉ có 1 dây X_i nào đó có thể có mức 1, và cũng chỉ có 1 dây Y_j nào đó có thể có mức 1. Nghĩa là khi truy nhập truy xuất, lúc nào cũng chỉ có một phần tử nhớ được chọn ; các phần tử nhớ khác giữ nguyên trạng thái, tức lưu giữ không đổi nội dung đã ghi vào.

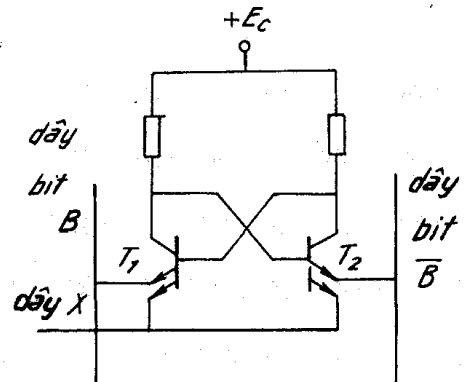
b) *Phần tử nhớ CMOS 6 bóng bán dẫn* (xem hình 6-5-6). Cấu trúc và nguyên lí công tác giống như mạch hình 6-5-5. $T_1 \div T_4$ làm thành Flip Flop RS cơ bản. T_7 , T_6 là bóng điều khiển sự nối thông FF với dây bit. T_7 , T_8 là bóng điều khiển sự nối thông dây bit với dây dữ liệu. Đặc điểm của mạch này là bóng bán dẫn phụ tải của bộ đảo pha loại MOS kênh P tăng cường. Phần tử nhớ CMOS chỉ cần tiêu tốn rất ít điện năng (cỡ μW). Vậy rất tiện dùng pin thay thế khi lưới điện bị sự cố nhằm giữ gìn thông tin đã ghi vào bộ nhớ.



Hình 6-5-6. Phần tử nhớ RAM tĩnh 6 bóng CMOS.

c) *Phần tử nhớ lưỡng cực* (xem hình 6-5-7). Mạch gồm 2 tranzito nhiều emitor và 2 điện trở, chúng cấu trúc nên Flip Flop. Một đôi emitor nối vào dây X, đôi emitor còn lại nối riêng rẽ vào dây bit B, $\bar{B}$.

Ở trạng thái lưu giữ số liệu, điện thế dây X cỡ 0,3V, điện thế dây bit cỡ 1,1V. Khi đó, dòng điện của tranzito thông sẽ chạy ra dây X, lớp tiếp giáp bán dẫn nối với dây bit phân cực nghịch làm hở mạch dây bit với FF.



Hình 6-5-7. Phần tử nhớ lưỡng cực.

Trạng thái phần tử nhớ có thể là 0 (T_1 thông, T_2 ngắt) hoặc có thể là 1 (T_2 thông, T_1 ngắt).

Khi phần tử nhớ được chọn (để vào / ra dữ liệu), điện thế dây X lên cao đến cỡ 2,2V, điện thế dây bit bé hơn, nên dòng điện qua tranzito thông sẽ chạy ra dây bit.

Giả sử cần đọc ra, thì chỉ cần xác định dòng điện trên một dây bit có hay không. Chẳng hạn xét dây bit $\bar{B}$: trạng thái phần tử nhớ là 1, T_2 thông, dòng điện ra dây $\bar{B}$, qua bộ khuếch đại đọc ra điện áp mức 1 ; trạng thái phần tử nhớ là 0, T_2 ngắt, không có dòng điện ra dây $\bar{B}$, đầu ra bộ khuếch đại đọc không có tín hiệu (điện áp mức 0).

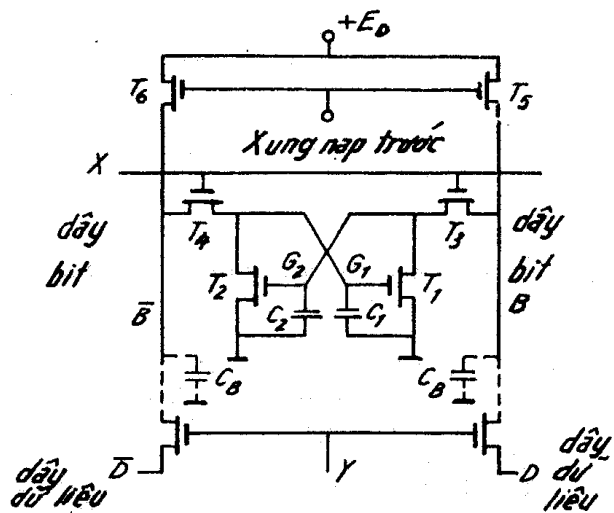
Giả sử cần viết vào giá trị 1, thì sau mạch đầu vào ta có $B = 1$, $\bar{B} = 0$, tương ứng T_1 ngắt, T_2 thông. Dòng điện của T_2 chạy ra dây bit $\bar{B}$. Sau khi dây X trở về mức thấp thì dòng điện của T_2 chuyển hướng chạy ra dây X, trạng thái phần tử nhớ không thay đổi, hoàn thành viết vào nó giá trị 1. Giả sử cần viết vào giá trị 0. Khi đó, $B = 0$, $\bar{B} = 1$ tương ứng T_1 thông, T_2 ngắt.

3) Phần tử nhớ RAM động

Phần tử nhớ động MOS sử dụng điện dung cực của (gate) của bóng bán dẫn MOS để nhớ tạm thời dữ liệu. Do có sự dò điện nên điện tích lưu giữ trên điện dung cực của bị suy giảm dần. Vậy để dữ liệu lưu giữ không bị mất đi, phải bù lượng điện tích bị dò mất bằng cách định kì nạp điện bổ sung cho điện dung cực của. Việc này được gọi là làm tươi dữ liệu bộ nhớ động.

Dưới đây giới thiệu mấy loại phần tử nhớ động thường gặp

a) *Phần tử nhớ động 4 bóng* (xem hình 6-5-8). T_1 và T_2 nối ghép chéo nhau. Dữ liệu (điện tích) lưu trữ trên C_1 và C_2 . Điện áp trên C_1 , C_2 điều khiển T_1 , T_2 thông hoặc ngắt. Khi C_1 nạp điện tích (điện áp trên C_1 lớn hơn điện áp cắt của T_1) và C_2 không có điện tích (điện áp trên C_2 nhỏ hơn điện áp cắt của T_2) thì T_1 thông, T_2 ngắt, tương ứng với trạng thái 0 của phần tử nhớ. Khi C_2 nạp điện tích, C_1 không có điện tích thì T_2 thông, T_1 ngắt, tương ứng với trạng thái 1 của phần tử nhớ. T_3 và T_4 là những bóng điều khiển sự nối thông phần tử nhớ với dây bit. T_5 và T_6 là mạch điện nạp trước của dây bit, dùng chung cho tất cả các phần tử nhớ cùng cột trong ma trận nhớ. Khi bắt đầu truy nhập truy xuất bộ nhớ, trên cực của của T_5 và T_6 có xung nạp trước nên T_5 , T_6 nối thông, do đó các dây bit B , $\bar{B}$ có mức điện áp cao vì thông đến nguồn E_D . Sau khi kết thúc xung nạp trước, T_5 và T_6 ngắt, dây bit cách li khỏi nguồn E_D . Nhưng do tác dụng của điện dung phân bố C_B và $C_{\bar{B}}$. Khi đó, mức điện áp cao của dây bit có thể duy trì thêm một khoảng thời gian nữa. Trong khoảng thời gian này, giả sử tiến hành đọc dữ liệu, dây X có mức cao, T_3 và T_4 thông. Giả sử phần tử nhớ có trạng thái 0 (T_1 thông, T_2 ngắt) thì G_1 có mức cao, G_2 có mức thấp. Lúc này C_B phóng điện qua T_1 và T_3 . Do đó dây bit B biến thành mức thấp. Do T_2 ngắt, dây bit $\bar{B}$ vẫn ở mức cao. Vậy dữ liệu nhớ trong phần tử đã được đọc ra dây bit B và $\bar{B}$. Nếu lúc này dây Y cũng ở mức cao thì tín hiệu sẽ đưa đến đầu ra của RAM qua dây dữ liệu D và $\bar{D}$.



Hình 6-5-8. Phần tử nhớ động MOS 4 bóng.

Vậy mạch điện nạp trước của dây bit có tác dụng gì ? Trong khoảng thời gian T_3 , T_4 thông, nếu dây bit không được nạp điện trước thì mức cao có được của dây $\bar{B}$ chỉ do C_1 phóng qua T_4 nạp vào C_B . Nếu thế, điện tích trên C_1 bị suy giảm. C_B có giá trị thậm chí lớn hơn C_1 (vì có nhiều phần tử nối vào dây bit). Vậy có thể G_1 không giữ nguyên mức cao sau 1 lần đọc, tức là dữ liệu bị mất. Nhờ có mạch điện nạp trước, điện thế dây bit $\bar{B}$ còn cao hơn điện thế G_1 một ít. Vậy khi đọc dữ liệu, điện tích trên C_1 không những không hề bị suy giảm, mà còn được làm tươi nhờ sự nạp điện thêm cho C_1 qua T_4 .

Khi tiến hành viết, đầu vào dữ liệu của RAM sẽ làm thay đổi trạng thái phần tử nhớ thông qua dây dữ liệu và dây bit, tức là đưa dữ liệu vào lưu giữ trong phần tử nhớ.

b) Phần tử nhớ động 3 bóng

Xem hình 6 - 5- 9. Dữ liệu lưu giữ ở điện dung C của cực bóng T_2 . Điện áp trên C điều khiển trạng thái T_2 . Các dây đọc /viết bit và dây chọn từ đều riêng biệt. Dây chọn đọc từ điều khiển bóng T_3 . Dây chọn viết từ điều khiển bóng T_1 . T_4 là bóng bán dẫn mạch nạp trước dùng chung cho cột phần tử nhớ của ma trận.

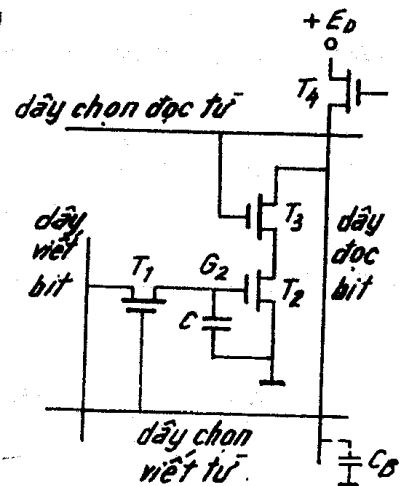
Quá trình đọc diễn ra như sau. Đầu tiên dây đọc bit được nạp trước đến mức cao. Tiếp theo, dây chọn đọc từ lên mức cao làm cho T_3 thông. Giả sử C được nạp điện đến mức lớn hơn điện áp cắt của T_2 làm T_2 thông. C_B phóng điện qua T_3 , T_2 làm cho dây đọc bit ở mức thấp. Giả sử C không có điện tích, thì T_2 ngắt, C_B không có đường phóng điện, mức điện trên dây đọc bit qua bộ khuếch đại đọc ra đưa đến đầu ra bộ nhớ.

Khi tiến hành viết, dây chọn viết từ có mức cao, T_1 thông, dữ liệu viết vào được đưa đến dây viết bit điều khiển mức điện áp trên điện dung C qua T_1 . Vậy đã đưa dữ liệu vào lưu giữ trong phần tử nhớ.

Điện áp trên C khi đọc (tức mức ở G_2) ngược pha với mức điện dây đọc bit. Mức điện dây viết bit khi viết cùng cao cùng thấp như mức ở G_2 . Nếu tiến hành đọc một cách chu kì, đưa dữ liệu ở C ra dây đọc bit, qua bộ đảo pha đưa vào dây viết bit, rồi tiến hành viết lại vào phần tử nhớ. Đó là phương pháp làm tươi phần tử nhớ một cách chu kì.

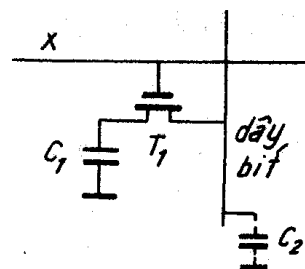
c) Phần tử nhớ động 1 bóng

Xem hình 6 - 5 - 10. Mạch này chỉ dùng một bóng bán dẫn MOS và một tụ điện. Dữ liệu lưu giữ ở điện dung C_1 . Bóng bán dẫn T điều khiển sự nối thông để đọc/viết ; đưa dữ liệu từ dây bit vào phần tử nhớ hoặc đưa dữ liệu từ phần tử nhớ ra dây bit.



Hình 6-5-9.

Phần tử nhớ động MOS 3 bóng.



Hình 6-5-10. Phần tử nhớ động MOS 1 bóng.

Khi viết, dây bit điều khiển mức điện trên C_1 qua T. Khi đọc, C_1 điều khiển mức điện trên C_B , tức đưa ra dữ liệu. Ví dụ, trên C_1 vốn mức V_1 , dây bit vốn $V_B = 0$ thì sau khi đọc, mức điện trên dây bit là $V_B = V_1 \times \frac{C_1}{C_1 + C_B}$

Nhược điểm của mạch này là điện tích trên phần tử nhớ C_1 bị suy giảm mỗi lần đọc. Vậy nên cần làm tươi sau mỗi lần đọc. Ngoài ra, do nhiều phần tử nối vào dây bit nên giá trị điện dung C_B tương đối lớn, $C_B \gg C_1$. Dữ liệu đọc ra có mức điện bé; giá trị mức logic 0 và mức logic 1 trên dây bit không khác xa nhau. Để xác định mức điện chênh lệch nhỏ trên dây bit cần phải dùng bộ khuếch đại đọc ra có độ nhạy cao.

Ba loại phần tử nhớ động trình bày trên đây đều có ưu nhược điểm. Mạch 4 bóng chiếm diện tích lớn trên chip nhưng không cần mạch làm tươi riêng, quá trình đọc ra đồng thời là quá trình làm tươi; vậy mạch phụ đơn giản. Mạch 3 bóng giảm diện tích một ít nhưng yêu cầu các dây chọn đọc/viết và dây dữ liệu đều riêng biệt, cần mạch ngoài điều khiển phản hồi để làm tươi; vậy dây nối với mạch ngoài tương đối nhiều hơn. Mạch 1 bóng đơn giản nhất. Nhưng yêu cầu bộ khuếch đại đọc ra độ nhạy cao và yêu cầu làm tươi sau mỗi lần đọc ra. Vậy mạch điện phụ ngoài phức tạp. RAM tĩnh so với RAM động: Số lượng bán dẫn nhiều hơn, độ tích hợp thấp hơn, nhưng không nhất thiết định kì làm tươi, mạch phụ đơn giản, sử dụng tiện.

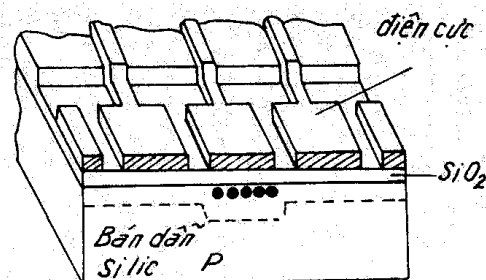
6.5.2. Dụng cụ ghép điện tích CCD (Charge Coupled Device)

Dụng cụ ghép điện tích CCD thuộc công nghệ MOS phát triển từ năm 1970. Ưu điểm của CCD là cấu trúc đơn giản, giá thành hạ, độ tích hợp cao, có thể chế tạo trên dây chuyền công nghệ MOS thông thường. CCD được quan tâm nhiều, hiện nay đã ứng dụng trong các bộ nhớ, xử lý tín hiệu và nhiếp ảnh. Nhược điểm của CCD là tốc độ chậm hơn bộ nhớ bán dẫn.

Sự khác biệt trong nguyên lý làm việc của CCD là ở chỗ nó dùng điện tích để biểu thị dữ liệu, chứ không phải là dòng hay áp. Về cơ bản, CCD là một bộ ghi dịch động, nên hiện nay dùng làm bộ nhớ nối tiếp.

1) Cấu trúc (Xem hình 6 - 5 - 11)

Trên đế bán dẫn Silic loại P (hoặc loại N), người ta tạo ra một lớp mỏng cách điện SiO_2 cỡ 1200 Å. Trên lớp cách điện này người ta cho lắng đọng một loạt các điện cực $10 \times 10 \mu\text{m}$ với giãn cách $< 3 \mu\text{m}$. Mỗi điện cực và lớp đế bán dẫn với lớp cách điện ở giữa chúng tạo thành một tụ điện. Vậy CCD là một dãy các tụ điện MOS cấu trúc nên. Những tụ điện này là phần tử nhớ mà có hay không có điện tích biểu thị các mức logic 1 hay 0. Điện tích nạp vào



Hình 6-5-11.

Sơ đồ mặt cắt của CCD.

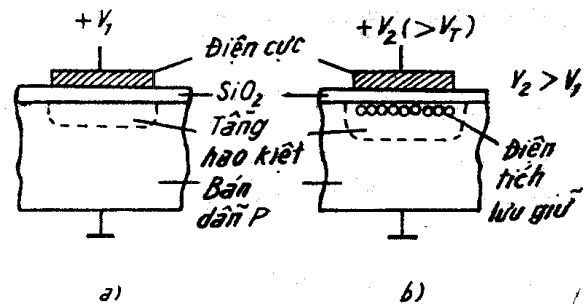
có thể dịch chuyển từ tụ điện nọ sang tụ điện kia tương tự như sự chuyển dịch mức trong bộ ghi dịch ta đã biết.

2) Lưu giữ điện tích

Giả sử đưa điện áp dương $+V_1$ vào điện cực. Những phần tử lỗ trống (hạt dẫn đa số) trong lớp Silic bên dưới điện cực bị đẩy đi khỏi tạo thành một tầng hao kiệt (Xem hình 6-5-12).

Độ dày của tầng hao kiệt tăng theo độ lớn của điện áp $+V_1$. Khi điện áp điện cực lớn hơn điện áp cắt của cấu trúc MOS, $+V_2 > V_T$, một rãnh loại N hình thành trên mặt đế Silic bên dưới điện cực đó.

Trong bóng bán dẫn MOS, hai phía là cực nguồn và cực máng, giữa chúng các hạt dẫn đa số có thể khuếch tán về phía đế Silic, nên quá trình tạo ra rãnh N là rất ngắn. Ở CCD thì khác, vì không có cực nguồn và cực máng, chỉ có các hạt dẫn thiểu số do nhiệt sinh ra khuếch tán về phía đế Silic, nên quá trình tạo ra rãnh N là khá dài hơn, cỡ nhiều giây đồng hồ. Trước khi rãnh N được tạo ra, nếu có điện tử từ bên ngoài nhập vào tầng hao kiệt thì nó sẽ khuếch tán về phía đế và tích lũy ở đó tạo thành điện tích lưu giữ (Xem hình 6-5-12b). Việc này xảy ra nhờ tác dụng điện trường. Nếu không có điện tử bên ngoài nhập vào thì không có điện tích lưu giữ tích tụ ở lớp đế dưới điện cực. Rõ ràng phương pháp lưu giữ điện tích chỉ có thể lưu giữ trong thời gian rất ngắn. Vì nếu thời gian đủ dài thì điện tử nhiệt tràn ngập lớp đế, bất kể có điện tích ngoài nhập vào hay không. Nói cách khác, tiến để làm việc của CCD phải là lượng điện tử bên ngoài nhập vào lớn hơn nhiều số điện tử nhiệt. Khu vực bên dưới điện cực có thể lưu giữ điện tích được gọi là vùng bẫy điện thế.



Hình 6-5-12.

CCD lưu giữ điện tích.

3) Chuyển dịch điện tích bằng cách thay đổi thích hợp điện áp đưa vào điện cực, điện tích tích tụ lưu giữ trong vùng bẫy điện thế có thể chuyển dịch từ miền gần điện cực này đến miền gần điện cực khác; hình 6-5-13. Vẽ 6 điện cực, điện cực 1,4 được cấp xung đồng hồ pha thứ nhất ϕ_1 , điện cực 2,5 được cấp xung đồng hồ pha thứ hai ϕ_2 , điện cực 3, 6 được cấp xung đồng hồ pha thứ ba ϕ_3 . Dạng sóng ba pha như hình 6-5-13d. Các pha lệch nhau $\frac{T}{3}$ với T là chu kì xung đồng hồ.

Hình 6-5-13a tương ứng thời điểm t_1 mà $\phi_2 = V_1$, $\phi_1 = \phi_3 = V_3$, lúc này tầng hao kiệt hình thành bên dưới tất cả các điện cực. Do giãn cách giữa các điện cực rất nhỏ nên tầng hao kiệt của các điện cực liên thông nhau. Trong tầng, điện thế càng gần đế càng thấp. Lúc này điện thế ϕ_2 cao nhất, nên tương ứng điện thế bề mặt đế Silic dưới điện cực 2,5 cũng cao nhất. Nếu điện tử nhập vào vùng bẫy điện thế 2 thì điện tử sẽ tích tụ ở vùng này và không chuyển dịch.

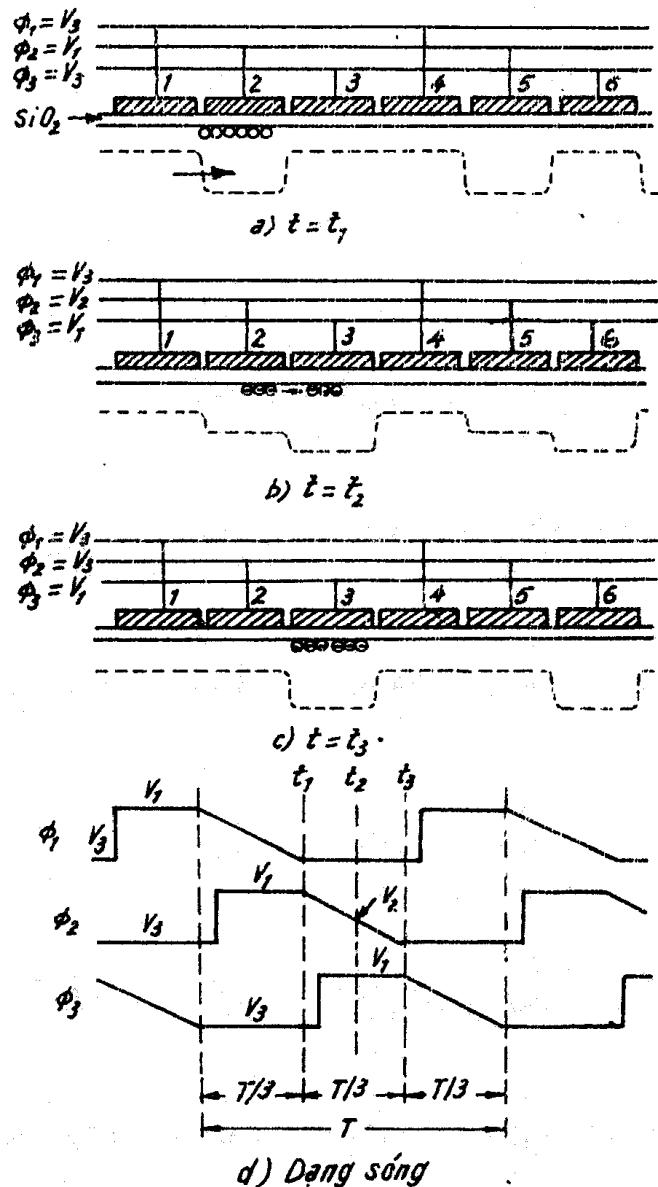
Hình 6-5-13b tương ứng thời điểm t_2 mà ϕ_3 lên mức V_1 , ϕ_2 giảm tới mức V_2 , ϕ_1 vẫn duy trì mức thấp nhất V_3 . Lúc này tầng hao kiệt của điện cực 3, 6 sâu nhất, điện thế bề mặt đế Silic dưới điện cực 3, 6 cao nhất. Vậy những điện tử lúc t_1 ở bẫy điện thế 2, bây giờ dịch chuyển sang bẫy điện thế 3 (bên cạnh có điện thế cao hơn). Ở t_1 bẫy điện thế 5 giả thiết không có điện tử, nên bây giờ (t_2) cũng không có điện tử dịch chuyển sang bẫy điện thế 6.

Hình 6-5-13c tương ứng thời điểm t_3 , khi mà việc chuyển dịch điện tích đã hoàn thành, điện tích đã dịch sang phải một điện cực và lưu giữ trong bẫy điện thế 3. Trong quá trình chuyển dịch đó, ϕ_1 liên tục duy trì mức điện thế thấp nhất để nhằm phòng ngừa điện tích dịch sang trái.

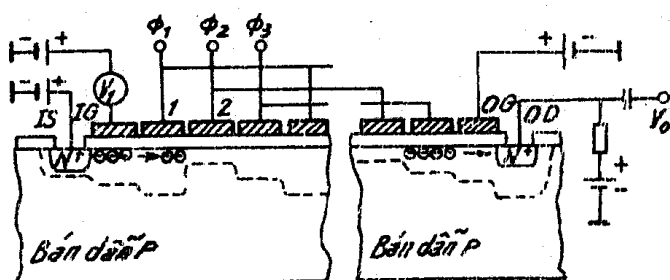
Từ t_1 đến t_3 là thời gian $\frac{1}{3}$ chu kỳ T , điện tích chuyển dịch một khoảng giữa hai điện cực cạnh nhau. Vậy sau một chu kỳ T thì điện tích chuyển dịch ba khoảng cách điện cực. Ba điện cực lân cận nhau cấu trúc thành 1 bit của bộ ghi dịch.

Nếu dùng hình dạng điện cực khác nhau và số pha đồng hồ khác nhau thì có thể tạo ra nhiều cách điều khiển điện tích chuyển dịch khác nhau.

4) Đầu vào và đầu ra mạch CCD thực tiễn phải có đầu vào để đưa dữ liệu vào và phải có đầu ra để lấy dữ liệu ra. Ở đầu vào CCD thì dòng (hoặc áp) phải biến đổi thành điện tích. Ở đầu ra của CCD thì điện tích phải biến đổi thành dòng (hoặc áp).



Hình 6-5-13. Sơ đồ 3 pha chuyển dịch điện tích của CCD.



Hình 6-5-14. Mạch vào và mạch ra của CCD.

Hình 6-5-14 là ví dụ về mạch điện đầu vào, đầu ra của CCD.

Hai bên điện cực cơ bản có thêm các điện cực sau : cực nguồn vào IS, cực máng ra OD, cực cổng vào OG, cực cổng ra OG mà các cực cổng thực chất là điện cực chuyển dịch dây dẫn riêng. Khi công tác, trên IS và IG đều có thiên áp dương để hình thành tầng hao kiệt bên dưới nó. Tầng hao kiệt này liên thông với tầng hao kiệt bên dưới điện cực chuyển dịch như hình vẽ. Khi mà điện cực 1 có điện thế cao nhất, tầng hao kiệt của nó sâu hơn tầng hao kiệt của IS, IG. IS (N^+) là một nguồn điện tử nhưng điện thế IS và IG quyết định điện tử có nhập vào vùng dưới điện cực 1 hay không. Nếu $V_{IG} > V_{IS}$ thì nhập được, nếu $V_{IG} < V_{IS}$ thì ngừng nhập. Vậy IS, IG và điện cực 1 tương tự một bóng bán dẫn MOS. Điện áp tín hiệu (dữ liệu vào) đưa nối tiếp vào IG hay vào IS điều khiển quan hệ điện thế tương đối của IS và IG, nghĩa là điều khiển nhập hay ngừng nhập. Sau khi kết thúc quá trình điều khiển nhập dữ liệu vào này, IG trở về mức điện thế thấp nhất làm cách li nguồn điện tử khỏi vùng bẫy điện thế bên dưới điện cực 1. Bây giờ có thể tiến hành điều khiển chuyển dịch điện tích.

Trong mạch ra, trên OG và OD đều có thiên áp dương, và có 1 điện trở nối tiếp vào mạch vòng của OD. Sau khi điện tích đã chuyển dịch đến điện cực chuyển dịch cuối cùng, nếu điện thế trên nó thấp hơn điện thế OG thì điện tích đi qua lớp đế Silic dưới OG để nhập vào khu vực máng Ra N^+ , sinh ra dòng điện trong mạch OD, tạo ra điện áp tín hiệu ra trên điện trở. Tác dụng của OG là giảm nhỏ ghép điện dung giữa điện cực chuyển dịch cuối cùng và OD. Nhờ vậy giảm nhỏ ảnh hưởng của xung đồng hồ đối với tín hiệu ra.

Phương pháp nhập điện tích trên đây gọi là phương pháp điện. Nếu dùng phần tử bán dẫn nhạy quang thì có thể nhập điện tích nhờ điện tử kích quang. Dựa vào nguyên lý nhập phương pháp quang có thể chế tạo máy ảnh chất rắn - ghép điện tích.

6.6. THIẾT KẾ MẠCH DÂY

Thiết kế là tổng hợp mạch điện, ngược với quá trình phân tích. Xuất phát từ yêu cầu đề ra, mục đích thiết kế là mạch logic thỏa mãn yêu cầu đó. Từ việc phân tích mạch dây, ta biết rằng có thể dễ dàng tìm phương trình định thời, phương trình kích, phương trình ra và vẽ sơ đồ logic. Trong tiết này ta sẽ tập trung tìm hiểu công việc thiết kế bộ đếm, đồng thời xem xét những nét chính công việc thiết kế mạch dây nói chung. Bộ đếm là một mạch dây tương đối đơn giản nhưng rất điển hình. Phương pháp thiết kế bộ đếm cũng rất điển hình. Và lại mục đích tìm hiểu công việc thiết kế không phải để giải quyết vấn đề thiết kế bất kì mạch dây phức tạp nào. Trên cơ sở nắm vững việc thiết kế bộ đếm, ta sẽ càng hiểu sâu toàn bộ nội dung chương này và sẽ có năng lực phân tích giải quyết những vấn đề mạch dây. Với tình hình sản xuất đại trà các IC số trung, đại quy mô hiện nay, với quan điểm người dùng, nhiệm vụ thiết kế có đôi khác.

6.6.1. Thiết kế bộ đếm đồng bộ

Dưới đây giới thiệu 2 phương pháp thiết kế bộ đếm đồng bộ (có thể dùng những phương pháp khác).

1) Phương pháp thứ nhất

a) Các bước cơ bản

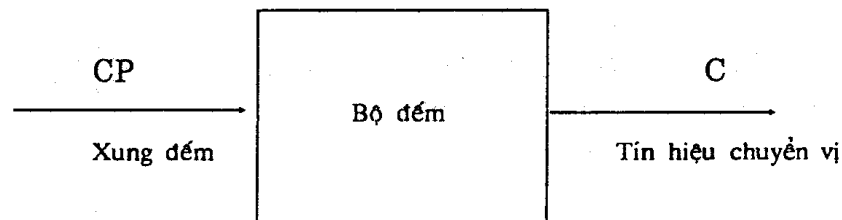
- Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.
- Xác định số lượng và chủng loại Flip Flop, chọn lựa sự mã hóa trạng thái.
- Tìm phương trình trạng thái và phương trình ra, kiểm tra khả năng tự khởi động.
- Tìm phương trình kích
- Vẽ sơ đồ logic

b) Ví dụ thiết kế

Ví dụ 6-6-1 : hãy thiết kế bộ đếm thuận thập phân đồng bộ.

Bài giải

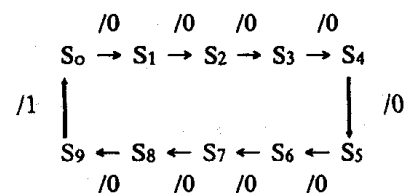
Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu



Hình 6-6-1. Mô hình yêu cầu của bộ đếm.

Bộ đếm cần có mười trạng thái, $N = 10$, biểu thị bằng $S_0, S_1, \dots, S_9$. Căn cứ quy luật đếm thuận thập phân, ta vẽ ra đồ hình trạng thái ban đầu như hình 6-6-2 dưới đây.

Đồ hình trạng thái phản ánh toàn diện yêu cầu thiết kế. Trong hình 6-6-2, S_0 thay mặt số 0, S_1 thay mặt số 1, ..., S_9 thay mặt số 9. Dưới tác động của xung đếm đưa vào, trạng thái mạch điện phải chuyển đổi trạng thái tuần tự theo luật đếm thuận. Tương ứng trạng thái S_9 thì $C = 1$, tương ứng các trạng thái khác thì $C = 0$. Khi bộ đếm từ S_9 chuyển đổi sang S_0 thì bộ đếm xóa về 0, tín hiệu chuyển vị (nhớ) kích lật bộ đếm trọng số lớn hơn.



Hình 6-6-2.

Đồ hình trạng thái ban đầu của bộ đếm thập phân đồng bộ.

Xác định số lượng và chủng loại Flip Flop, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$

Vậy $n = 4$, chọn Flip Flop JK.

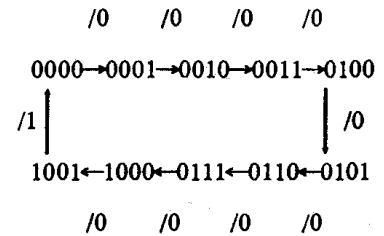
4 FF có tất cả 16 trạng thái, để biểu thị $S_0 \div S_9$ chỉ cần chọn 10 trạng thái, nên có nhiều phương án mã hóa. Chúng ta hãy chọn phương án mã hóa thông dụng nhất : mã 8421 ($Q_4 Q_3 Q_2 Q_1$)

$S_0 = 0000,$	$S_1 = 0001,$	$S_2 = 0010,$	$S_3 = 0011,$	$S_4 = 0100,$
$S_5 = 0101,$	$S_6 = 0110,$	$S_7 = 0111,$	$S_8 = 1000,$	$S_9 = 1001.$

Vẽ ra đồ hình trạng thái sau khi mã hóa như hình 6-6-3.

Hình 6-6-3.

Đồ hình trạng thái (sau khi chọn cách mã hóa) của bộ đếm.



Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động •

Tìm phương trình trạng thái

Trạng thái kế tiếp và đầu ra của bộ đếm đều là hàm số của trạng thái xét, mà trạng thái xét và trạng thái kế tiếp của bộ đếm đều biểu thị bằng trạng thái hiện tại và kế tiếp của các Flip Flop cấu trúc nên bộ đếm. Do vậy, căn cứ đồ hình trạng thái hình 6-6-3 ta vẽ ra bảng Karnaugh của đầu ra và trạng thái kế tiếp bộ đếm. Rồi từ đó tìm được phương trình trạng thái và phương trình ra của mạch điện.

6 trạng thái 1010 ÷ 1111 không được dùng, sẽ không xuất hiện trong khi bộ đếm làm việc bình thường, có thể giúp việc tối thiểu hóa.

Phương trình đặc trưng của Flip Flop JK là

$$Q^{n+1} = JQ^n + \bar{K}Q^n \quad (6-6-1)$$

Kết quả tối thiểu hóa phải được viết dưới dạng tương tự (6-6-1). Vì từ biểu thức hàm số trạng thái kế tiếp đó ta tìm phương trình kích.

Trong hình 6-6-4, trạng thái kế tiếp của bộ đếm được điền vào các ô, đó cũng là trạng thái kế tiếp của các FF cấu trúc bộ đếm.

$Q_4^n Q_3^n$ \ $Q_2^n Q_1^n$				
	00	01	11	10
00	0001	0010	0100	0011
01	0101	0110	1000	0111
11	x	x	x	x
10	1001	0000	x	x

Hình 6-6-4. Bảng Karnaugh trạng thái kế tiếp của bộ đếm.

Tương ứng sắp xếp trong mỗi ô là $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$. Từ đó ta có thể tách riêng thành bảng Karnaugh trạng thái kế tiếp của mỗi FF. Rồi dùng phương pháp đồ hình để tìm ra phương trình trạng thái. Nhưng chỉ cần chú ý đặc điểm sắp xếp không thay đổi của Q_4^{n+1} , Q_3^{n+1} , Q_2^{n+1} , Q_1^{n+1} , ta có thể tối thiểu hóa luôn.

$$\left\{ \begin{array}{l} Q_4^{n+1} = Q_3^n Q_2^n Q_1^n \bar{Q}_4^n + \bar{Q}_1^n Q_4^n \\ Q_3^{n+1} = Q_2^n Q_1^n \bar{Q}_3^n + (\bar{Q}_2^n + \bar{Q}_1^n) Q_3^n = Q_2^n Q_1^n \bar{Q}_3^n + \bar{Q}_1^n Q_2^n Q_3^n \\ Q_2^{n+1} = \bar{Q}_4^n Q_1^n \bar{Q}_2^n + Q_1^n Q_2^n \\ Q_1^{n+1} = \bar{Q}_1^n \end{array} \right. \quad (6-6-2)$$

Tìm phương trình ra

Căn cứ đồ hình trạng thái hình 6-6-3 ta được bảng Karnaugh của hàm số đầu ra C như hình 6-6-5. Kết quả tối thiểu hóa là :

$$C = Q_4^n Q_1^n \quad (6-6-3)$$

Q ₄ ⁿ Q ₃ ⁿ \ Q ₂ ⁿ Q ₁ ⁿ	Q ₂ ⁿ Q ₁ ⁿ			
	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	x	x	x	x
10	0	1	x	x

Hình 6-6-5.

Bảng Karnaugh của C.

Kiểm tra khả năng tự khởi động của bộ đếm

6 trạng thái không được dùng 1011 ÷ 1111 có khả năng tạo ra vòng tuần hoàn không được dùng, làm cho bộ đếm không tự khởi động. Sau khi đã tìm phương trình trạng thái và phương trình ra, bây giờ ta cần phân tích tình huống chuyển đổi của các trạng thái không được dùng. Nếu dưới tác dụng của xung đếm đầu vào mà bộ đếm không thể trở về trạng thái được dùng, tức là không thể tự khởi động, thì ta phải tìm mọi cách giải quyết. Chẳng hạn, ta chọn lại mã hóa trạng thái, hoặc sửa đổi trạng thái kế tiếp của các trạng thái không được dùng (như cách tự khởi động của bộ đếm kiểu ghi dịch), hoặc sử dụng đầu vào đị bộ cưỡng chế bộ đếm về trạng thái được dùng v.v...

Đưa các trạng thái không được dùng vào (6-6-2), (6-6-3) tiến hành tính toán, ta được bảng 6-6-1 sau :

Bảng 6-6-1 : TÌNH HUỐNG CHUYỂN ĐỔI TRẠNG THÁI KHÔNG ĐƯỢC DÙNG.

Q ₄ ⁿ	Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₄ ⁿ⁺¹	Q ₃ ⁿ⁺¹	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	C
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1

Từ bảng ta thấy các tình huống có thể xảy ra

/0 /1 /0 /1 /0 /1
1010→1011→0100, 1100→1101→0100, 1110→1111→0000

đều tự khởi động được.

Tìm phương trình kích

Đồng nhất các hệ số của (6-6-2) và (6-6-1) ta có phương trình kích là :

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = \overline{Q_4^n} Q_1^n & K_2 = Q_1^n \\ J_3 = K_3 = Q_2^n Q_1^n \\ J_4 = Q_3^n Q_2^n Q_1^n & K_4 = Q_1^n \end{cases} \quad (6-6-4)$$

Vẽ sơ đồ logic

Căn cứ vào đặc điểm bộ đếm đồng bộ - xung đếm đầu vào là xung đồng hồ của các FF, dựa vào phương trình kích (6-6-4) và phương trình ra (6-6-3), ta có thể vẽ được sơ đồ logic như hình 6-2-10.

Nếu việc chọn lựa mã hóa trạng thái theo các mã khác thì ta có thể đi đến bộ đếm thuận thập phân đồng bộ khác tương ứng (mã dư 3, mã Gray dư 3...)

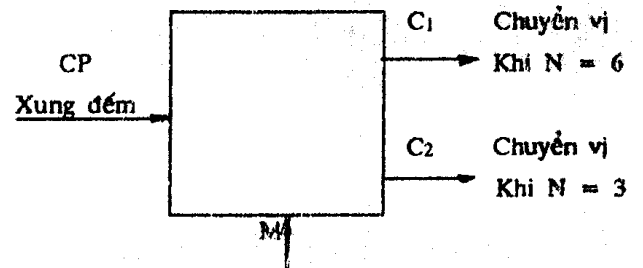
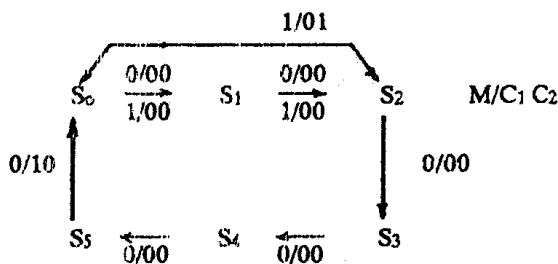
Ví dụ 6-6-2 : hãy thiết kế bộ đếm thuận đồng bộ điều khiển được, với $M = 0$ thì $N = 6$, với $M = 1$ thì $N = 3$.

Bài giải :

Phân tích yêu cầu, xây dựng đồ hình trạng thái ban đầu

Khi $M = 0$ thì $N = 6$

Khi $M = 1$ thì $N = 3$



Hình 6-6-6.

Mô hình yêu cầu của bộ đếm điều khiển.

Hình 6-6-7.

Đồ hình trạng thái ban đầu.

Xác định số lượng và loại FF, chọn lựa mã trạng thái

$$2^n \geq N = 6$$

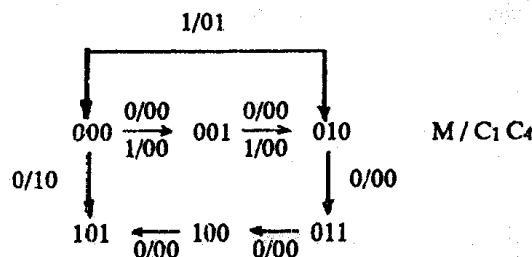
Vậy $n = 3$, chọn Flip Flop JK

Với mã hóa $Q_3 Q_2 Q_1$, chọn

$$S_0 = 000, S_1 = 001, S_2 = 010, S_3 = 011, S_4 = 100, S_5 = 101$$

Hình 6-6-8.

Đồ hình trạng thái (sau khi mã hóa).



Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động

Hình 6-6-9.

Bảng Karnaugh trạng thái kế tiếp của bộ đếm.

M Q ₃ ⁿ \ Q ₂ ⁿ Q ₁ ⁿ				
	00	01	11	10
00	001	010	100	011
01	101	000	×	×
11	×	×	×	×
10	001	010	×	000

Từ hình 6-6-9, tối thiểu hóa xong, ta có :

$$\begin{cases} Q_3^{n+1} = Q_2^n Q_1^n \bar{Q}_3^n + \bar{Q}_1^n Q_3^n \\ Q_2^{n+1} = \bar{Q}_3^n Q_1^n Q_2^n + \bar{M} \bar{Q}_1^n Q_2^n \\ Q_1^{n+1} = \bar{Q}_2^n \bar{Q}_1^n + \bar{M} \bar{Q}_1^n = (\bar{Q}_2^n + \bar{M}) \bar{Q}_1^n = \bar{Q}_2^n \bar{M} \bar{Q}_1^n \end{cases} \quad (6-6-5)$$

Phương trình ra :

Hình 6-6-10.

Bảng Karnaugh đầu ra.

a) của chuyển vị C₁ ;

b) của chuyển vị C₂.

M Q ₃ ⁿ \ Q ₂ ⁿ Q ₁ ⁿ				
	00	01	11	10
00	0	0	0	0
01	0	1	×	×
11	×	×	×	0
10	0	0	×	0

a)

M Q ₃ ⁿ \ Q ₂ ⁿ Q ₁ ⁿ				
	00	01	11	10
00	0	0	0	0
01	0	0	×	×
11	×	×	×	×
10	0	0	×	1

b)

Sau khi tối thiểu hóa bảng Karnaugh hình 6-6-10, ta được :

$$C_1 = Q_3^n Q_1^n \quad (6-6-6)$$

$$C_2 = M Q_2^n \quad (6-6-7)$$

Về tình huống chuyển đổi các trạng thái không được dùng, xem bảng 6-6-2 và bảng 6-6-3

Bảng 6-6-2 : TÌNH HUỐNG TRẠNG THÁI KHÔNG ĐƯỢC DÙNG KHI M = 0

Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₃ ⁿ⁺¹	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	C ₁	C ₂
1	1	0	1	1	1	0	0
1	1	1	0	0	0	1	0

Bảng 6-6-3 : TÌNH HUỐNG TRẠNG THÁI KHÔNG ĐƯỢC DỪNG KHI $M = 1$

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C_1	C_2
0	1	1	1	0	0	0	1
1	0	0	1	0	1	0	0
1	0	1	0	0	0	1	0
1	1	0	1	0	0	0	1
1	1	1	0	0	0	1	1

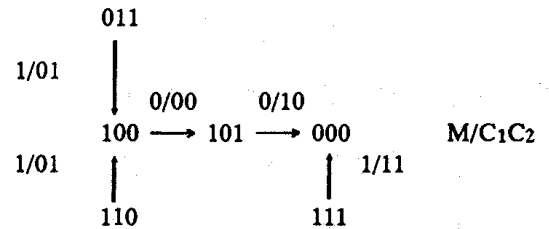
Hình 6-6-11.

Tình huống chuyển đổi trạng thái không được dừng :

a) Khi $M = 0$;

b) Khi $M = 1$.

0/00 0/10
110 → 111 → 000



a)

b)

Hình 6-6-11 chứng tỏ rằng mạch có khả năng tự khởi động

Tìm phương trình kích

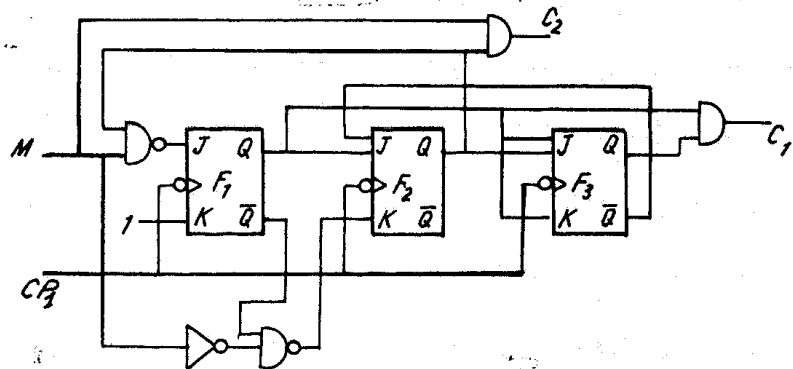
Đồng nhất các hệ số của (6-6-5) và (6-6-1) ta có :

$$\begin{cases} J_3 = Q_2^n Q_1^n & K_3 = Q_1^n \\ J_2 = \overline{Q_3^n} Q_1^n & K_2 = \overline{M} \overline{Q_1^n} \\ J_1 = Q_2^n M & K_1 = 1 \end{cases} \quad (6-6-8)$$

Vẽ sơ đồ logic

Hình 6-6-12.

Bộ đếm điều khiển được.



Đặc điểm của phương pháp thiết kế trình bày trên đây là sau khi chọn lựa mã hóa trạng thái thì dùng bảng Karnaugh tìm phương trình trạng thái, rồi kết hợp với phương trình đặc trưng của FF mà tìm ra phương trình kích, để cuối cùng hoàn thành thiết kế bộ đếm đồng bộ mong muốn.

2) Phương pháp thứ hai

a) Các bước cơ bản

- Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu.

- Xác định số lượng và chủng loại FF, chọn lựa sự mã hóa trạng thái
- Kê ra bảng sử dụng
- Tìm phương trình kích và phương trình ra
- Vẽ sơ đồ logic
- Kiểm tra khả năng tự khởi động

b) Ví dụ thiết kế

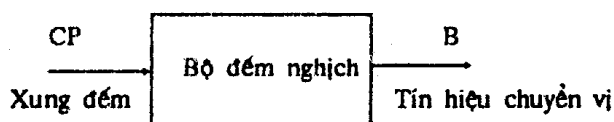
Ví dụ 6-6-3 : hãy thiết kế bộ đếm nghịch thập phân đồng bộ

Bài giải :

Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu

Hình 6-6-13.

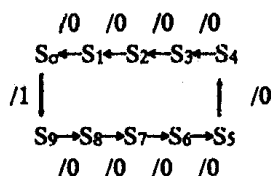
Mô hình yêu cầu của bộ đếm nghịch.



Bộ đếm có $N = 10$ tương ứng các trạng thái bộ đếm là $S_0, S_1, \dots, S_9$. Căn cứ quy luật đếm nghịch, ta vẽ được đồ hình trạng thái ban đầu như hình 6-6-14

Hình 6-6-14.

Đồ hình trạng thái ban đầu của bộ đếm nghịch.



Xác định số lượng và chủng loại FF, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$

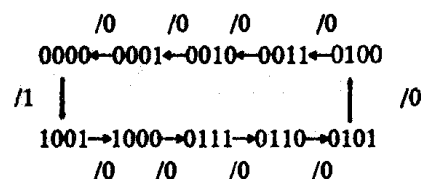
Vậy $n = 4$. Chọn Flip Flop JK.

Dùng mã 8421

$S_0 = 0000, S_1 = 0001, S_2 = 0010, S_3 = 0011, S_4 = 0100$
 $S_5 = 0101, S_6 = 0110, S_7 = 0111, S_8 = 1000, S_9 = 1001$

Hình 6-6-15.

Đồ hình trạng thái bộ đếm nghịch (sau khi mã hóa).



Kê ra bảng sử dụng

Căn cứ đồ hình trạng thái kê ra bảng trạng thái bộ đếm, từ yêu cầu chuyển đổi trạng thái của bảng trạng thái đó mà xác định yêu cầu kích đối với mỗi FF, kết quả ta được bảng sử dụng như dưới đây (bảng 6-6-4).

Bảng 6-6-4 : BẢNG SỬ DỤNG CỦA BỘ ĐẾM NGHỊCH

Q_3^t	Q_2^t	Q_1^t	Q_0^t	Q_3^{t+1}	Q_2^{t+1}	Q_1^{t+1}	Q_0^{t+1}	B	J_4 K_4	J_3 K_3	J_2 K_2	J_1 K_1
0	0	0	0	1	0	0	1	1	1 x	0 x	0 x	1 x
0	0	0	1	0	0	0	0	0	0 x	0 x	0 x	x 1
0	0	1	0	0	0	0	1	0	0 x	0 x	x 1	1 x
0	0	1	1	0	0	1	0	0	0 x	0 x	x 0	x 1
0	1	0	0	0	0	1	1	0	0 x	x 1	1 x	1 x
0	1	0	1	0	1	0	0	0	0 x	x 0	0 x	x 1
0	1	1	0	0	1	0	1	0	0 x	x 0	x 1	1 x
0	1	1	1	0	1	1	0	0	0 x	x 0	x 0	x 1
1	0	0	0	0	1	1	1	0	x 1	1 x	1 x	1 x
1	0	0	1	1	0	0	0	0	x 0	0 x	0 x	x 1

Khi xác định yêu cầu kích (từ yêu cầu chuyển đổi trạng thái) cần sử dụng bảng đầu vào kích của FF ; nếu nắm vững kĩ năng thì có thể sử dụng phương trình đặc trưng.

Tìm phương trình kích và phương trình ra

Dựa vào quan hệ logic đã biết trong bảng sử dụng vẽ bảng Karnaugh. Từ đó tìm phương trình kích và phương trình ra. Xem hình 6-6-16 và 6-6-17.

$Q_3^t \backslash Q_2^t Q_1^t$	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	x	x	x	x
10	x	x	x	x

(a) $J_4 = \overline{Q_3} \overline{Q_2} \overline{Q_1}$

$Q_3^t \backslash Q_2^t Q_1^t$	00	01	11	10
00	x	x	x	x
01	x	x	x	0
11	x	x	x	x
10	1	0	x	x

(b) $K_4 = \overline{Q_1}$

$Q_3^t \backslash Q_2^t Q_1^t$	00	01	11	10
00	0	0	0	0
01	x	x	x	x
11	x	x	x	x
10	1	0	x	x

(c) $J_2 = Q_3 \overline{Q_1}$

$Q_3^t \backslash Q_2^t Q_1^t$	00	01	11	10
00	x	x	x	x
01	1	0	0	0
11	x	x	x	x
10	x	x	x	x

(d) $K_3 = \overline{Q_2} \overline{Q_1}$

$Q_3^t \backslash Q_2^t Q_1^t$	00	01	11	10
00	0	0	x	x
01	1	0	x	x
11	x	x	x	x
10	1	0	x	x

(e) $J_2 = Q_3 \overline{Q_1} + Q_3 \overline{Q_2}$

$Q_3^t \backslash Q_2^t Q_1^t$	00	01	11	10
00	x	x	0	1
01	x	x	0	1
11	x	x	x	x
10	x	x	x	x

(f) $K_2 = \overline{Q_1}$

Hình 6-6-16. Bảng Karnaugh của đầu vào kích.

(Từ bảng sử dụng 6-6-4, ta trực tiếp rút ra ngay $J_1 = K_1 = 1$)

Hình 6-6-17.
Bảng Karnaugh của
chuyển vị B.

$Q_2^1 Q_1^1$ \ $Q_2^0 Q_1^0$		$Q_2^0 Q_1^0$			
		00	01	11	10
00		1	0	0	0
01		0	0	0	0
11		x	x	x	x
10		0	0	x	x

$$B = \overline{Q_2^1} \overline{Q_1^1} \overline{Q_2^0} \overline{Q_1^0}$$

Vẽ sơ đồ logic

Xem hình 6-2-13

Kiểm tra khả năng tự khởi động

Sử dụng cách phân tích logic để vẽ đồ hình trạng thái, từ đó thấy được mạch có tự khởi động hay không.

Đặc điểm của phương pháp thiết kế thứ hai này là sau khi đã chọn lựa mã hóa trạng thái, căn cứ đồ hình trạng thái kẻ ra bảng sử dụng rồi dùng bảng Karnaugh tìm phương trình kích. So sánh với phương pháp thứ nhất ta thấy chỗ mạnh hơn là dùng bảng sử dụng nên không cần giải phương trình logic, dùng bảng Karnaugh để đi đến phương trình kích một cách dễ dàng ; chỗ yếu hơn là có rắc rối, dễ nhầm khi xác định yêu cầu kích, nhất là bộ đếm nhiều số.

Hai phương pháp được giới thiệu trên là rất cơ bản, phổ dụng, có thể áp dụng nguyên tắc của nó vào thiết kế mạch dãy nói chung.

6.6.2. Thiết kế bộ đếm dị bộ

Dưới đây chọn ra một phương pháp cơ bản trong nhiều phương pháp có thể thực hiện thiết kế bộ đếm dị bộ. Nói chung mạch điện bộ đếm dị bộ đơn giản hơn mạch điện bộ đếm đồng bộ.

1) Các bước cơ bản

- Phân tích yêu cầu thiết kế, xác định đồ hình trạng thái ban đầu.
- Xác định số lượng và loại hình FF, chọn lựa mã hóa trạng thái
- Vẽ đồ thị dạng sóng, chọn xung đồng hồ.
- Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động
- Tìm phương trình kích
- Vẽ sơ đồ logic

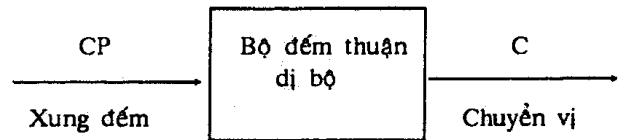
2) Ví dụ thiết kế

Ví dụ 6-6-4 : hãy thiết kế bộ đếm thuận thập phân dị bộ

Bài giải :

Phân tích yêu cầu thiết kế, xây dựng đồ thị hình trạng thái ban đầu

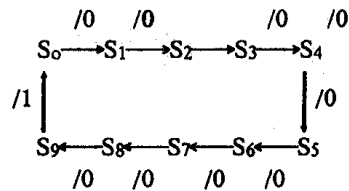
$N = 10$ sử dụng 10 trạng thái $S_0, S_1, \dots, S_9$



Hình 6-6-18.

Bộ đếm thuận thập phân dị bộ.

a) Mô hình bộ đếm yêu cầu



b) Đồ hình trạng thái ban đầu

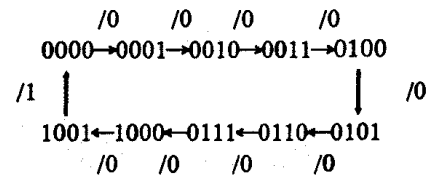
Chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$ vậy $n = 4$, chọn Flip Flop D. Chọn mã 8421, $Q_4 Q_3 Q_2 Q_1$

$S_0 = 0000, S_1 = 0001, S_2 = 0010, S_3 = 0011, S_4 = 0100$
 $S_5 = 0101, S_6 = 0110, S_7 = 0111, S_8 = 1000, S_9 = 1001$

Hình 6-6-19.

Đồ hình trạng thái (sau mã hóa).



Chọn xung đồng hồ

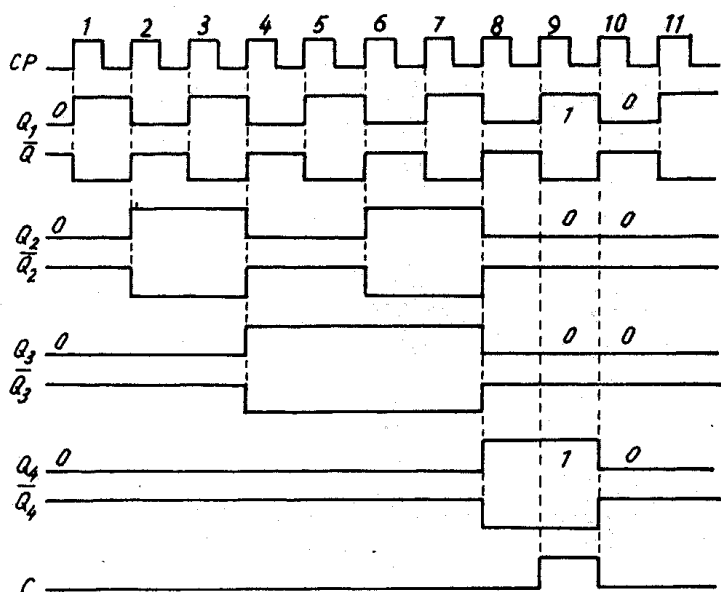
Vẽ dạng sóng như hình 6-6-20

Khi vẽ dạng sóng cần lưu ý 2 điểm :

- Quy luật chuyển đổi trạng thái của mỗi FF do đồ hình trạng thái quyết định. Thời điểm lật tương ứng sườn kích của xung đồng hồ.

- Vẽ số xung đồng hồ CP phải xấp xỉ lớn hơn N.

Mục đích việc lưu ý thứ hai là để phản ánh toàn bộ tình huống làm việc bình thường của bộ đếm, đạt đến đầy đủ yêu cầu thiết kế :



Hình 6-6-20. Dạng sóng bộ đếm thuận.

Từ chức năng logic của FF ta biết rằng phương trình đặc trưng có điều kiện cần là xuất hiện xung đồng hồ. Trong đồ thị dạng sóng, chỗ nào yêu cầu FF lật thì phải cung cấp xung đồng hồ với sườn kích thích hợp. Vậy căn cứ vào hình 6-6-20 và hình 6-6-19, ta có thể chọn

$$\begin{cases} CP_1 = CP \\ CP_2 = \bar{Q}_1 \\ CP_3 = \bar{Q}_2 \\ CP_4 = \bar{Q}_1 \end{cases} \quad (6-6-9)$$

CP_1, CP_2, CP_3, CP_4 là xung đồng hồ tương ứng của các Flip Flop F_1, F_2, F_3, F_4 .

Khi thỏa mãn yêu cầu chuyển đổi trạng thái rồi thì số xung đồng hồ càng ít càng tốt. Ví dụ, đối với F_3 chẳng hạn, xung đồng hồ của nó có thể là CP, hoặc $\bar{Q}_1$, hoặc $\bar{Q}_2$ đều được. Nhưng so sánh chúng với nhau, thì nên chọn $CP_3 = \bar{Q}_2$ vì số lần biến đổi của $\bar{Q}_2$ là ít nhất. Đối với F_4 , không nên chọn $\bar{Q}_2, \bar{Q}_3$. Vì khi Q_4 lật từ 1 về 0, yêu cầu phải có sườn dương kích F_4 . Vậy có thể dùng $\bar{Q}_1$ và CP, nhưng ta chọn $\bar{Q}_1$ vì số lần biến đổi ít hơn.

Dưới đây giải thích thêm luận điểm trên : "Dưới tiền đề thỏa mãn yêu cầu chuyển đổi trạng thái thì số xung đồng hồ càng ít càng tốt". Nếu xung đồng hồ càng ít thì yêu cầu kích (điều khiển đầu vào đồng bộ) càng đơn giản. Giả sử không có xung đồng hồ thì không cần điều khiển, FF duy trì không đổi nguyên trạng. Giả sử cần có xung đồng hồ mỗi khi cần chuyển đổi trạng thái thì xác định phương trình kích kiểu Flip Flop T' là được. Giả sử cần có xung đồng hồ cả lúc không cần chuyển đổi trạng thái thì phải thêm điều kiện điều khiển đầu vào đồng bộ để bảo đảm FF không lật những lúc đó. Vậy xung đồng hồ càng nhiều thì kết cấu mạch điện bộ đếm rõ ràng càng phức tạp.

Tìm phương trình trạng thái, phương trình ra, kiểm tra tự khởi động

a) *Tìm phương trình trạng thái - phương trình trạng thái kế tiếp của mỗi FF.* Hình 6-6-21 là bảng Karnaugh của trạng thái kế tiếp bộ đếm. Cần lưu ý rằng khi xét trạng thái kế tiếp của bất kì Flip Flop nào, ngoài những trạng thái không được dùng, cả các trạng thái không kèm kích của xung đồng hồ, chúng đều được dùng để tối thiểu hóa. Ví dụ, đối với trạng thái kế tiếp Q_4^{n+1} của F_4 , ngoài những trạng thái không được dùng $S_{10} + S_{15} = 1010 + 1111$, thì những trạng thái nào không thỏa mãn điều kiện kích

$Q_3^n Q_2^n$ \ $Q_1^n Q_0^n$		00	01	11	10
		00	01	11	10
00	00	0001	0010	0100	0011
01	00	0101	0110	1000	0111
11	00	x	x	x	x
10	00	1001	0000	x	x

Hình 6-6-21. Bảng Karnaugh của trạng thái thiết kế tiếp của bộ đếm.

$$CP_4 = \bigwedge \bar{Q}_1$$

đều được dùng để tối thiểu hóa. Nếu Q_1 bất biến hoặc lật từ 0 sang 1 thì $\bar{Q}_1$ bất biến hoặc lật từ 1 sang 0 đều không thỏa mãn điều kiện kích. Xem xét hình 6-6-19, ta thấy S_0, S_2, S_4, S_6, S_8 là các trạng thái không kèm kích (sườn dương) của CP_4 . Xem hình 6-6-22a. Hình 6-6-22b là bảng Karnaugh của Q_2^{n+1} cũng được giải thích tương tự (lưu ý $CP_2 = CP_4$)

Hình 6-6-22.

Bảng Karnaugh của trạng thái kế tiếp.

$Q_2^n Q_1^n$	00	01	11	10
00	x	0	0	x
01	x	0	1	x
11	x	x	x	x
10	x	0	x	x

(a) Q_1^{n+1}

$Q_2^n Q_1^n$	00	01	11	10
00	x	1	0	x
01	x	1	0	x
11	x	x	x	x
10	x	0	x	x

(b) Q_2^{n+1}

Tối thiểu hóa bảng Karnaugh hình 6-6-22 ta có

$$Q_4^{n+1} = Q_2^n Q_3^n$$

$$Q_2^{n+1} = \bar{Q}_4^n \bar{Q}_2^n$$

(6-6-10)

Đối với Q_3^{n+1} của F_3 , vì $CP_3 = \bar{Q}_2$ (6-6-9), đối chiếu đồ hình trạng thái hình 6-6-19, những trạng thái dùng xử lý tối thiểu hóa là :

Không dùng dùng : $S_{10} + S_{15}$

$\bar{Q}_2$ bất biến : $S_0, S_2, S_4, S_6, S_8, S_9$

$\bar{Q}_2$ từ 1 lật sang 0 (Q_2 từ 0 sang 1) : S_1, S_5

Hình 6-6-23.

Bảng Karnaugh của trạng thái kế tiếp.

$Q_2^n Q_1^n$	00	01	11	10
00	x	x	1	x
01	x	x	0	x
11	x	x	x	x
10	x	x	x	x

(a) Q_3^{n+1}

$Q_2^n Q_1^n$	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	x	x	x	x
10	1	0	x	x

(b) Q_1^{n+1}

Tối thiểu hóa bảng Karnaugh hình 6-6-23, ta được :

$$\begin{aligned} Q_3^{n+1} &= \overline{Q_3^n} \\ Q_1^{n+1} &= \overline{Q_1^n} \end{aligned} \quad (6-6-11)$$

Ta sẽ giải thích việc dùng những trạng thái không kèm kích xung đồng hồ để tối thiểu hóa như sau :

Căn cứ đặc điểm chức năng logic của Flip Flop, chúng ta biết rằng trạng thái kế tiếp là hàm số của đầu vào và hiện trạng. Trạng thái kế tiếp của bộ đếm biểu thị bằng trạng thái kế tiếp của các Flip Flop cấu trúc bộ đếm đó. Vậy trạng thái kế tiếp của mỗi FF cũng là hàm số của đầu vào và hiện trạng bộ đếm. Khi bộ đếm chuyển đổi dưới tác động tín hiệu đầu vào, giả sử Flip Flop F_i nào đó không có kích của xung đồng hồ thì trạng thái F_i bất biến ($Q_i^{n+1} = Q_i^n$). Xét ví dụ hình 6-6-21, hiện trạng $Q_4^n Q_3^n Q_2^n Q_1^n = 0000$. Khi CP đến, trạng thái kế tiếp $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = 0001$, Q_1 từ 0 sang 1, $\overline{Q_1}$ từ 1 sang 0. Vì Flip Flop D kích bằng sườn dương được dùng trong mạch này, mà $CP_4 = CP_2 = \overline{Q_1}$, nên F_4, F_2 không có kích, S_0 được dùng tối thiểu hóa.

b) Tìm phương trình ra

Hình 6-6-24.

Bảng Karnaugh của chuyển vị C.

$Q_4^n Q_3^n$	$Q_2^n Q_1^n$			
	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	x	x	x	x
10	0	1	x	x

Tối thiểu hóa, ta có :

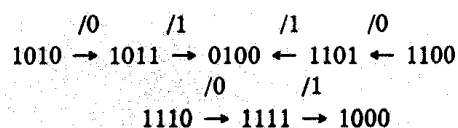
$$C = Q_4^n Q_1^n \quad (6-6-12)$$

c) Kiểm tra khả năng tự khởi động

Sử dụng phương trình trạng thái và phương trình ra để phân tích tình huống chuyển đổi trạng thái không được dùng

Hình 6-6-25.

Tình huống chuyển đổi trạng thái không được dùng.



Bảng 6-6-5 :

TÌNH HUỐNG CHUYỂN ĐỔI CỦA TRẠNG THÁI KHÔNG ĐƯỢC DÙNG

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C	
1	0	1	0	1	0	1	1	0	CP ₁
1	0	1	1	0	1	0	0	1	CP ₁ CP ₂ CP ₃ CP ₄
1	1	0	0	1	1	0	1	0	CP ₁
1	1	0	1	0	1	0	0	1	CP ₁ CP ₂ CP ₄
1	1	1	0	1	1	1	1	0	CP ₁
1	1	1	1	1	0	0	0	1	CP ₁ CP ₂ CP ₃ CP ₄

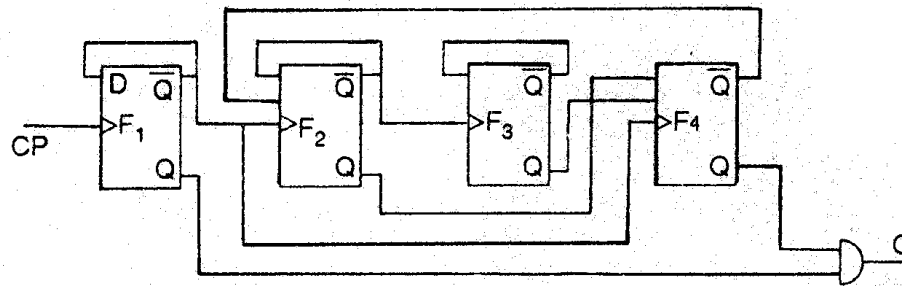
Xem xét hình 6-6-25 và bảng 6-6-5 ta thấy bộ đếm đã thiết kế có thể tự khởi động.

Tìm phương trình kích

Đồng nhất phương trình trạng thái bộ đếm (6-6-10) và (6-6-11) với phương trình đặc trưng của Flip Flop D cấu trúc nên bộ đếm ta có :

$$\begin{cases} D_1 = \overline{Q_1^n} \\ D_2 = \overline{Q_4^n} \overline{Q_2^n} \\ D_3 = \overline{Q_3^n} \\ D_4 = \overline{Q_3^n} \overline{Q_2^n} \end{cases} \quad (6-6-13)$$

Vẽ sơ đồ logic



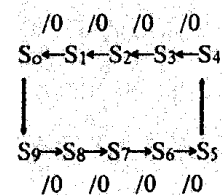
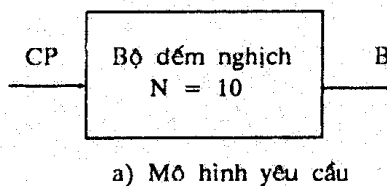
Hình 6-6-26.

Bộ đếm thuận thập phân dị bộ.

Ví dụ 6-6-5 : hãy thiết kế bộ đếm nghịch thập phân dị bộ

Bài giải :

Xác lập đồ hình trạng thái ban đầu



Hình 6-6-27. Bộ đếm nghịch thập phân.

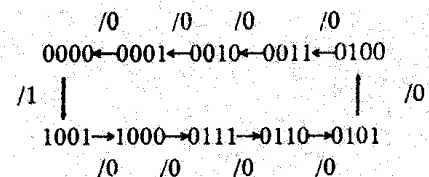
Xác định số lượng chủng loại FF, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 10$

Vậy $n = 4$, chọn Flip Flop D ; chọn mã 8421

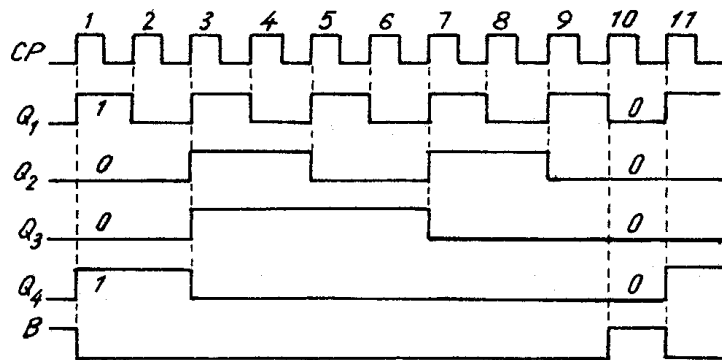
Hình 6-6-28.

Đồ hình trạng thái bộ đếm nghịch.
(sau khi mã hóa)



Hình 6-6-29.

Dạng sóng bộ đếm nghịch.



Chọn xung đồng hồ

$$\begin{cases} CP_1 = CP \\ CP_2 = Q_1 \\ CP_3 = Q_2 \\ CP_4 = Q_1 \end{cases}$$

(6-6-14)

Tìm phương trình trạng thái

Hình 6-6-30.

Bảng Karnaugh trạng thái kế tiếp bộ đếm nghịch

$Q_4^t Q_3^t$ \ $Q_2^t Q_1^t$					
		00	01	11	10
00	00	1001	0000	0010	0001
01	01	0011	0100	0110	0101
11	11	x	x	x	x
10	10	0111	1000	x	x

$Q_4^t Q_3^t$ \ $Q_2^t Q_1^t$					
		00	01	11	10
00	00	0	x	x	0
01	01	0	x	x	0
11	11	x	x	x	x
10	10	0	1	x	x

(a) Q_4^{t+1}

$Q_4^t Q_3^t$ \ $Q_2^t Q_1^t$					
		00	01	11	10
00	00	x	x	x	x
01	01	0	x	x	x
11	11	x	x	x	x
10	10	1	x	x	x

(b) Q_3^{t+1}

$Q_4^t Q_3^t$ \ $Q_2^t Q_1^t$					
		00	01	11	10
00	00	0	x	x	0
01	01	1	x	x	0
11	11	x	x	x	x
10	10	1	x	x	x

(c) Q_2^{t+1}

$Q_4^t Q_3^t$ \ $Q_2^t Q_1^t$					
		00	01	11	10
00	00	1	0	0	1
01	01	1	0	0	1
11	11	x	x	x	x
10	10	1	0	x	x

Hình 6-6-31.

Bảng Karnaugh trạng thái kế tiếp của các FF.

Tối thiểu hóa bảng Karnaugh hình 6-6-31 :

$$\begin{cases} Q_4^{n+1} = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \\ Q_3^{n+1} = \overline{Q_3^n} \\ Q_2^{n+1} = Q_4^n + Q_3^n \overline{Q_2^n} \\ Q_1^{n+1} = \overline{Q_1^n} \end{cases} \quad (6-6-15)$$

Tìm phương trình ra

Tối thiểu hóa bảng Karnaugh hình 6-6-32 ta có :

$$B = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \quad (6-6-16)$$

Kiểm tra khả năng tự khởi động

$Q_4^n Q_3^n$ \ $Q_2^n Q_1^n$	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	x	x	x	x
10	0	0	x	x

Hình 6-6-32.

Bảng Karnaugh của chuyển vị B.

Bảng 6-6-6 : TÌNH HUỐNG CHUYỂN ĐỔI TRẠNG THÁI KHÔNG ĐƯỢC DÙNG

Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	B	
1	0	1	0	0	0	1	1	0	CP ₁ CP ₂ CP ₄
1	0	1	1	1	0	1	0	0	CP ₁
1	1	0	0	0	0	1	1	0	CP ₁ CP ₂ CP ₃ CP ₄
1	1	0	1	1	1	0	0	0	CP ₁
1	1	1	0	0	1	1	1	0	CP ₁ CP ₂ CP ₄
1	1	1	1	1	1	1	0	0	CP ₁

$\begin{matrix} /0 & /0 & /0 & /0 \\ 1011 \rightarrow 1010 \rightarrow 0011 \leftarrow 1100 \leftarrow 1101 \\ /0 & /0 \\ 1111 \rightarrow 1110 \rightarrow 0111 \end{matrix}$

Từ bảng 6-6-6 và hình 6-6-33 ta thấy bộ đếm tự khởi động được

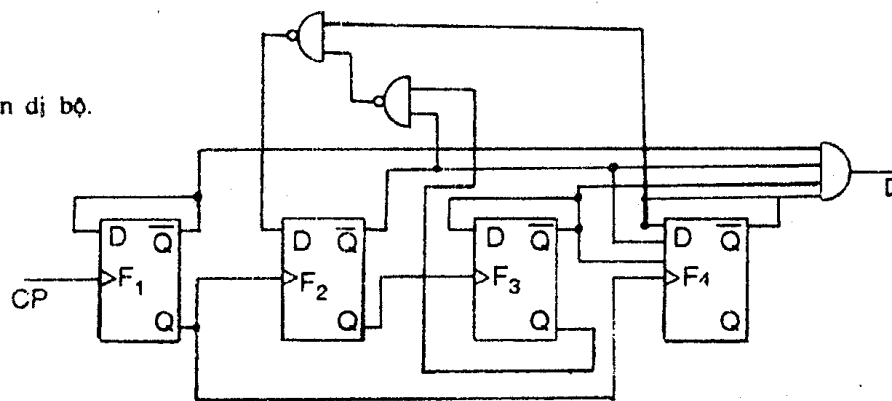
Hình 6-6-33. Tình huống chuyển đổi trạng thái không được dùng

Tìm phương trình kích

$$\begin{cases} D_4 = \overline{Q_4^n} \overline{Q_3^n} \overline{Q_2^n} \\ D_3 = \overline{Q_3^n} \\ D_2 = Q_4^n + Q_3^n \overline{Q_2^n} \\ D_1 = \overline{Q_1^n} \end{cases} \quad (6-6-17)$$

Hình 6-6-34.

Bộ đếm nghịch thập phân dị bộ.



Phương pháp thiết kế trên đây có thể áp dụng cho các mạch dãy dị bộ nói chung. Chỉ cần chú ý tính đặc thù trong việc chọn xung đồng hồ. Ví dụ, trong tình huống tín hiệu đầu vào biến đổi ngẫu nhiên thì rất khó vẽ ra đồ thị dạng sóng; do đó việc chọn xung đồng hồ cho các FF của bộ đếm theo dạng sóng là vô cùng phức tạp. Tuy nhiên phương pháp thiết kế mạch dãy dị bộ không gặp khó khăn còn chưa tìm ra.

6.6.3. Thiết kế mạch dãy

Thiết kế mạch dãy nói chung so với thiết kế bộ đếm trên đây có ba vấn đề đặc biệt như sau.

1) Xây dựng đồ hình trạng thái tương đối khó khăn. Thông thường yêu cầu thiết kế là ngôn ngữ thông thường, có thể là một vấn đề logic cụ thể của mạch dãy. Trong vấn đề đó hàm chứa dữ liệu nào đó cần nhớ, biểu thị bằng cách nào đó thành trạng thái mạch dãy, tồn tại một quan hệ logic nào đó giữa hiện trạng, đầu vào, đầu ra và trạng thái kế tiếp. Từ đó làm thế nào xây dựng đồ hình trạng thái là công việc phân tích cụ thể đối với từng vấn đề cụ thể vì chưa có quy trình gì. Chỉ riêng đối với bộ đếm thì vấn đề này mới rõ ràng thế.

2) Cần tối thiểu hóa trạng thái. Từ yêu cầu thiết kế xây dựng đồ hình trạng thái thường có nhiều trạng thái thừa. Trạng thái mạch dãy được Flip Flop nhớ và thể hiện. Vậy trạng thái càng nhiều thì số FF cần dùng càng nhiều. Nếu thiết kế bảo đảm yêu cầu đề ra, thì mong muốn trạng thái càng ít càng tốt. Chỉ riêng đối với bộ đếm thì mới rõ ràng đến thế: bộ đếm N có N trạng thái; không có vấn đề tối thiểu hóa trạng thái đối với bộ đếm.

3) Việc chọn lựa mã hóa trạng thái cũng không dễ như đối với bộ đếm. Quan hệ giữa các trạng thái trong mạch dãy tương đối phức tạp. Mà việc chọn lựa mã hóa trạng thái liên quan đến tính phức tạp của phương trình trạng thái và phương trình ra, ảnh hưởng tính kinh tế của phương án khả thi. Cho nên thường nghiên cứu, cân nhắc, so sánh, làm lại để có thiết kế tối ưu. Hiện tại chưa có quy trình về việc chọn lựa mã hóa trạng thái. Chỉ riêng đối với bộ đếm thì quan hệ giữa các trạng thái tương đối đơn giản, có mấy loại mã đếm thường dùng, phương án mã hóa trạng thái dễ chọn.

Trên quan điểm của người sử dụng các IC mạch dây, biết phương pháp chung là đủ. Dưới đây ta xét một ví dụ thiết kế mạch dây.

Ví dụ 6-6-6 : thiết kế bộ giám sát dữ liệu nối tiếp. Yêu cầu đối với bộ giám sát là : nếu số bit 1 liên tục nhau ≥ 3 thì đầu ra là 1 (các trường hợp khác của đầu vào chỉ có giá trị 0 ở đầu ra)

Bài giải :

a) Phân tích yêu cầu thiết kế, xây dựng đồ hình trạng thái ban đầu. Gọi số bit 1 liên tục nhau ở đầu vào mạch là m .

$m = 0$ ứng với trạng thái S_0

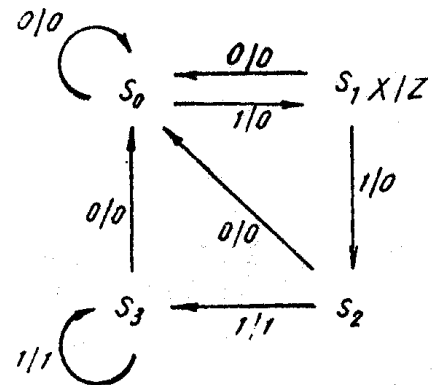
$m = 1$ ứng với trạng thái S_1

$m = 2$ ứng với trạng thái S_2

$m \geq 3$ ứng với trạng thái S_3

Vậy mạch cần 4 trạng thái khác nhau. Căn cứ yêu cầu thiết kế, vẽ ra đồ hình trạng thái ban đầu như hình 6-6-35. Trong hình kí hiệu X/Z với X là đầu vào, Z là đầu ra.

Hình 6-6-35 cho thấy rằng, khi mạch điện ở trạng thái ban đầu S_0 , giả sử đầu vào có bit 1 thì đầu ra là 0 và trạng thái kế tiếp là S_1 ; Giả sử đầu vào có bit 0 tiếp theo thì đầu ra là 0 và trạng thái kế tiếp là S_0 . Nếu hiện trạng bộ giám sát là S_1 , giả sử đầu vào có bit 1 thì đầu ra là 0 và trạng thái kế tiếp là S_2 ; Giả sử đầu vào có bit 0 thì đầu ra là 0 và trạng thái kế tiếp là S_0 . (tức về trạng thái ban đầu).



Hình 6-6-35.

Đồ hình trạng thái ban đầu của bộ giám sát.

Nếu hiện trạng bộ giám sát là S_2 , giả sử đầu vào có bit 1, tức là đã đủ 3 bit 1 liên nhau thì đầu ra là 1 và trạng thái kế tiếp là S_3 ; giả sử đầu vào có bit 0 thì đầu ra là 0 và trạng thái kế tiếp là S_0 .

Nếu hiện trạng bộ giám sát là S_3 , giả sử đầu vào có bit 1 thì đầu ra vẫn là 1 và trạng thái không bị thay đổi, tức trạng thái kế tiếp vẫn là S_3 ; giả sử đầu vào có bit 0 thì đầu ra là 0 và trạng thái kế tiếp là S_0 .

b) Tiến hành tối thiểu hóa trạng thái

Gộp trạng thái tương đương. Trạng thái tương đương là những trạng thái hiện tại nào trong điều kiện đầu vào hiện tại như nhau thì có cùng giá trị logic đầu ra và có cùng trạng thái kế tiếp. Vậy trạng thái tương đương lặp lại nhau nên có thể gộp.

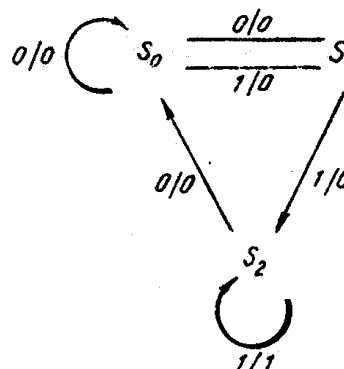
Để xét xem có các trạng thái tương đương nhau không, từ hình 6-6-35 ta xây dựng bảng trạng thái 6-6-7

Bảng 6-6-7 : CÁC TRẠNG THÁI BAN ĐẦU CỦA BỘ GIÁM SÁT

Trạng thái hiện tại	Trạng thái kế tiếp/ đầu ra	
	Đầu vào hiện tại X	
	X = 0	X = 1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₀ /0	S ₂ /0
S ₂	S ₀ /0	S ₃ /1
S ₃	S ₀ /0	S ₃ /1

Nhận xét bảng 6-6-7, ta thấy các trạng thái S₂, S₃ là tương đương.

Sau khi tiến hành tối thiểu hóa trạng thái, ta được đồ hình trạng thái hình 6-6-36



Hình 6-6-36.

Đồ hình trạng thái sau tối thiểu hóa.

c) Xác định số lượng chủng loại FF, chọn lựa mã hóa trạng thái

Vì $2^n \geq N = 3$

Vậy $n = 2$. Chọn Flip Flop D.

2 FF có 4 trạng thái 00, 01, 10, 11 - Trong số nhiều cách mã hóa khả dĩ, chúng ta chọn :

S₀ = 00, S₁ = 01, S₂ = 11

Về sau ta phải xét xem mạch điện có tự khởi động không và đã đơn giản nhất chưa.

d) Tìm phương trình trạng thái và phương trình ra

Hình 6-6-37.

Bảng Karnaugh của trạng thái kế tiếp / đầu ra.

X \ Q ₂ Q ₁					
		00	01	11	10
0	00/0	00/0	00/0	00/0	×
1	01/0	11/0	11/1	11/1	×

Trạng thái 10 không được dùng, trong quá trình tối thiểu hóa cần lưu ý xử lý để đạt kết quả như sau :

$$\begin{cases} Q_2^{n+1} = XQ_1^n \\ Q_1^{n+1} = X \end{cases} \quad (6-6-18)$$

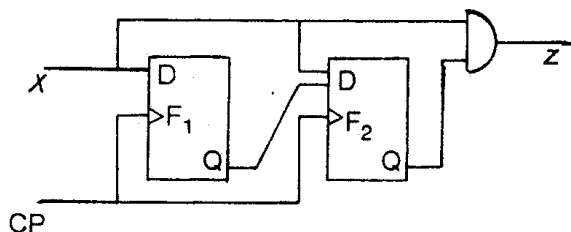
$$Z = XQ_2^n \quad (6-6-19)$$

e) Tìm phương trình kích

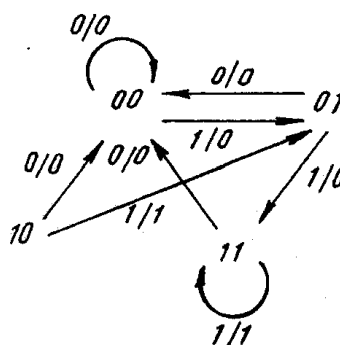
$$\begin{cases} D_2 = XQ_1^n \\ D_1 = X \end{cases}$$

(6-6-20)

g) Vẽ sơ đồ logic



Hình 6-6-38. Bộ giám sát dữ liệu nối tiếp.



Hình 6-6-39. Đồ hình trạng thái bộ giám sát.

Hình 6-6-39 là đồ hình trạng thái vẽ từ sơ đồ logic hình 6-6-38. Ta nhận thấy mạch tự khởi động được và khá đơn giản.

Thiết kế mạch dây dùng PLA

(PLA - Programmable logic Arrays - Các mảng logic lập trình) các cổng và các FF là các phần tử cơ bản cấu trúc nên mạch dây. Chương 4 đã giới thiệu PLA. Ta sử dụng các mảng logic cổng AND và cổng OR để dàng cấu trúc mọi mạch điện tổ hợp phức tạp. Nếu trên một chip PLA còn có nhiều FF thì rất tiện dùng chip đó thực hiện mọi hàm dãy, cấu trúc mọi mạch dây. Đây chính là một mặt trọng yếu trong ứng dụng PLA. Sau khi nắm được phương pháp thiết kế mạch dây, ta có thể sử dụng các chip PLA có sẵn các cổng AND, OR và các FF để thiết kế mạch dây.

TÓM TẮT

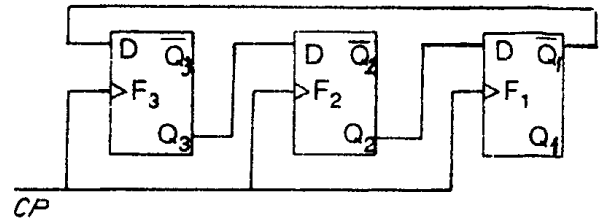
Khác với mạch logic tổ hợp, mạch logic dây có tín hiệu đầu ra phụ thuộc không những tín hiệu đầu vào ở thời điểm xét mà cả vào trạng thái mạch điện sẵn có ở thời điểm đó. Đây là đặc điểm chức năng logic của mạch dây.

Để nhớ trạng thái mạch điện, mạch dây phải có mạch tồn trữ lưu giữ, mà tín hiệu đầu vào đầu ra của nó cùng quyết định trạng thái đầu ra. Đây là đặc điểm về cấu trúc mạch của mạch dây.

Mạch dây cụ thể thật thiên biến vạn hóa thành rất nhiều chủng loại. Chương này chỉ giới thiệu một số loại mạch dây điển hình : bộ đếm, bộ nhớ, bộ tạo xung tuần tự, RAM.v.v... Đồng thời với việc nắm vững cấu trúc, nguyên lý công tác và đặc điểm của các mạch dây đó, chúng ta cũng phải nắm được đặc điểm chung của mạch dây và phương pháp chung phân tích thiết kế mạch dây.

BÀI TẬP

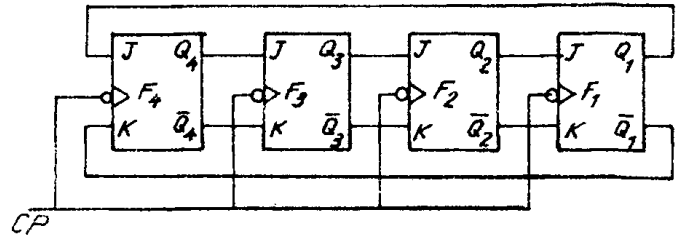
6-1. Trạng thái ban đầu của mạch dãy $Q_3Q_2Q_1 = 000$. Hãy vẽ đồ thị dạng sóng.



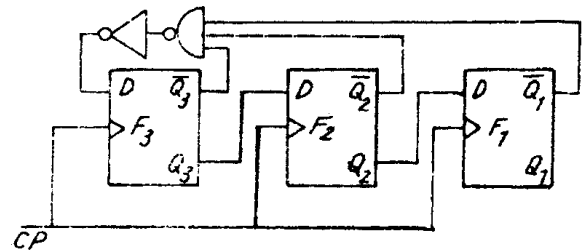
6-2. Cho trạng thái ban đầu mạch hình bên

$$Q_4Q_3Q_2Q_1 = 0001.$$

Hãy vẽ dạng sóng và đồ hình trạng thái của mạch này.



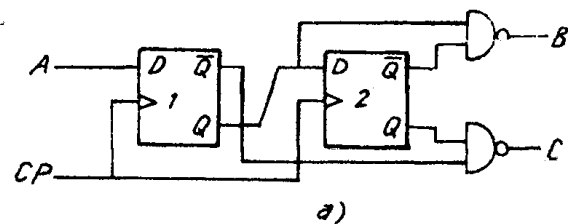
6-3. Hãy vẽ đồ hình trạng thái của mạch điện hình bên.



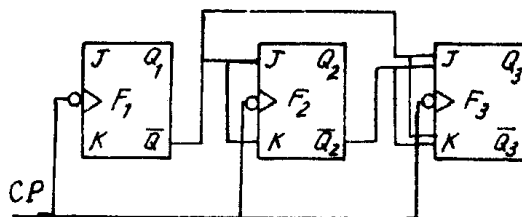
6-4. Hãy vẽ đồ hình trạng thái và dạng sóng của bộ đếm nghịch thập phân đồng bộ hình 6-2-13.

6-5. Hãy vẽ đồ hình trạng thái và dạng sóng của các mạch ở hình 6-2-19. Thuyết minh chức năng logic của chúng.

6-6. Cho mạch điện hình bên với dạng sóng CP, A. Giả thiết trạng thái ban đầu của FF là 0. Hãy vẽ dạng sóng đầu ra B, C.



6-7. Hãy vẽ đồ hình trạng thái và dạng sóng của mạch điện sau đây



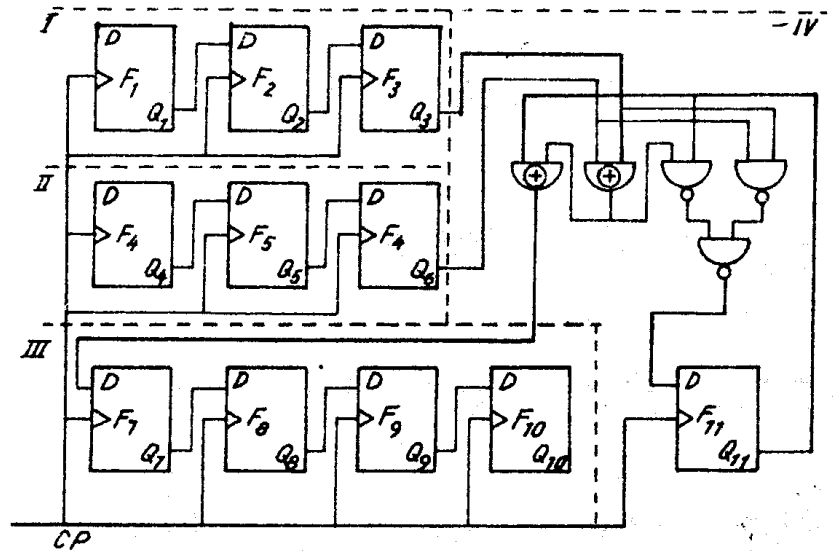
6-8. Cho mạch delay hình bên

a) Phân tích mạch

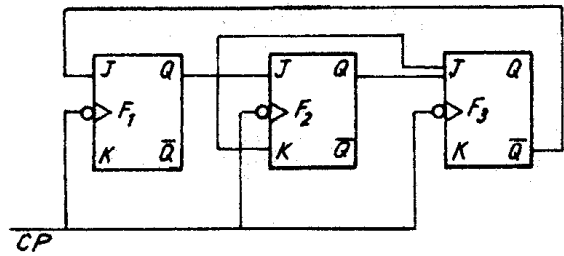
b) Sau khi xóa toàn bộ FF về 0, cho thêm 3 xung CP, hãy thuyết minh trạng thái các FF.

c) Giả sử cho 6 xung CP đến đầu vào sau khi xóa về 0, hãy thuyết minh trạng thái của các FF.

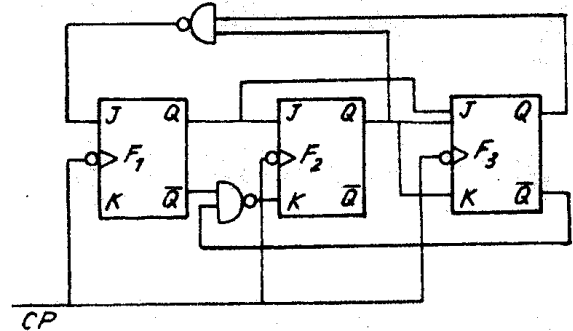
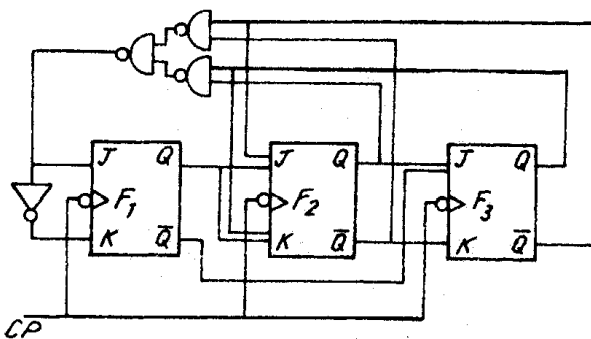
d) Giả sử đã xóa về 0 rồi, sau đó lập 1 các Flip Flop F_1, F_2, F_5, F_6 , đưa vào 4 xung CP. Hãy thuyết minh trạng thái của các FF.



6-9. Hãy vẽ đồ hình trạng thái và thuyết minh chức năng của mạch điện hình bên.

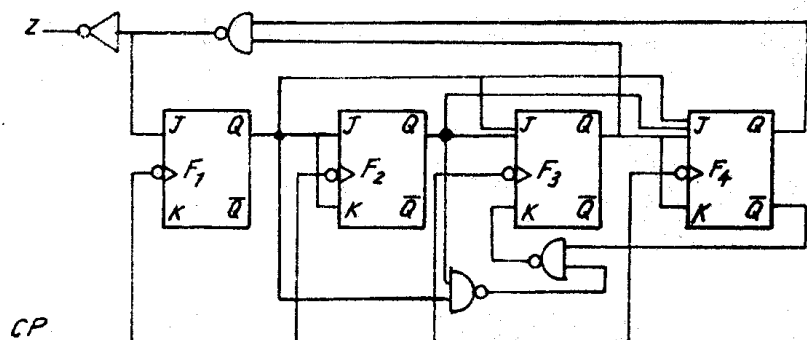


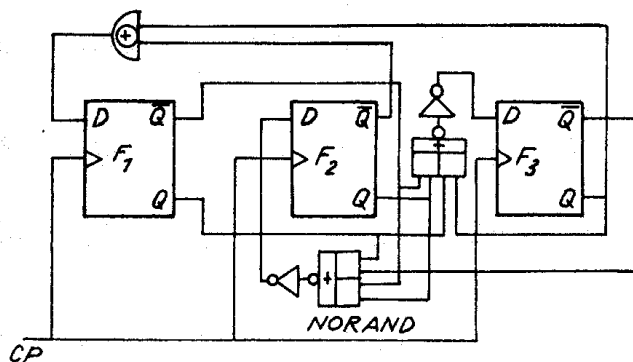
6-10. Cho mạch điện hình bên. Hãy vẽ đồ hình trạng thái. Giả thiết $K_3 = 1$, hãy thuyết minh trạng thái bộ đếm thay đổi thế nào.



6-11. Mạch điện hình bên có độ dài đếm N bao nhiêu. Mạch có tự khởi động không.

6-12. Mạch điện hình bên có độ dài đếm N bao nhiêu. Vẽ dạng sóng của bộ đếm.

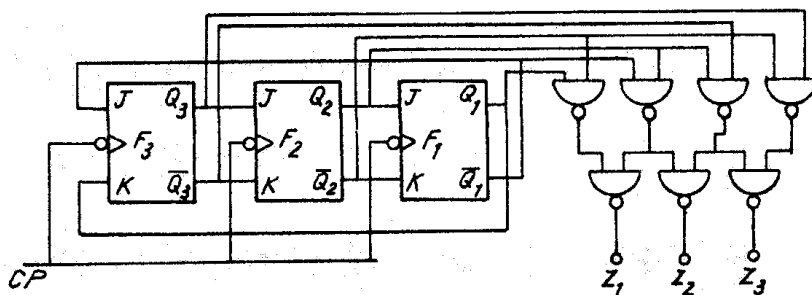




6-13. Cho mạch điện như hình bên.

Hãy vẽ đồ hình trạng thái và dạng sóng. Hãy thuyết minh chức năng của mạch này.

- 6-14. Vẽ đồ hình trạng thái và dạng sóng của bộ đếm nghịch thập phân dạng bộ hình 6-2-31.
- 6-15. Vẽ đồ thị dạng sóng các mạch điện hình 6-2-32.
- 6-16. Hãy dùng hai bộ đếm (Vi mạch MSI) thuận thập phân đồng bộ cấu trúc bộ đếm $N = 60$ (tham khảo hình 6-2-39)
- 6-17. Hãy dùng các bộ đếm thuận nhị phân dạng bộ (IC) đã giới thiệu trong hình 6-2-40 cấu trúc thành bộ đếm $N = 30$.
- 6-18. Hãy vẽ sơ đồ logic và đồ hình trạng thái của bộ đếm vòng 3 bit.
- 6-19. Hãy thiết kế bộ đếm vòng 3 bit có thể tự khởi động.
- 6-20. Hãy vẽ bộ đếm kiểu ghi dịch độ dài cực đại có thể tự khởi động với $N = 15$.
- 6-21. Hãy vẽ bộ đếm $N = 31$ kiểu ghi dịch độ dài cực đại có thể tự khởi động.
- 6-22. Hãy vẽ đồ hình trạng thái và dạng sóng mạch dưới đây



- 6-23. RAM là gì ? ROM là gì ? So sánh chúng với nhau.
- 6-24. Vẽ bộ nhớ RAM 2048×4 bit từ các chip RAM 256×1 bit
- 6-25. Vẽ bộ nhớ RAM 4096×8 bit từ các chip RAM 1024×1 bit
- 6-26. CCD tồn trữ điện tích thế nào ? Phải chăng CCD công tác phương thức tĩnh.
- 6-27. Mạch CCD 3 pha hình 6-5-13 có thể nối ghép lại thành CCD 2 pha được không.
- 6-28. Hãy thiết kế bộ đếm đồng bộ $N = 7$
- 6-29. Hãy thiết kế bộ đếm đồng bộ $N = 11$

6-30. Hãy thiết kế bộ đếm nghịch thập phân đồng bộ mã 8421

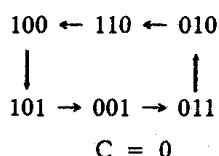
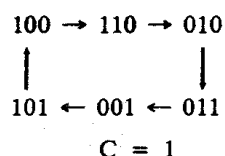
6-31. Chức năng logic của Flip Flop SH như bảng dưới đây

L	D	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	0
1	1	1

Flip Flop SH có 2 đầu vào L và D. Hãy tìm mạch điện của Flip Flop SH cấu trúc từ Flip Flop D.

6-32. Hãy thiết kế bộ đếm vòng 4 bit tự khởi động. Mỗi từ mã trong chu kì đều chỉ có 1 bit 0.

6-33. Hãy thiết kế bộ phân phối xung 6 trạng thái 3 pha cho một động cơ bước. Nếu dùng 1 biểu thị vòng dây thông dòng, dùng 0 biểu thị vòng dây ngắt dòng thì sơ đồ chuyển đổi trạng thái của 3 vòng dây ABC như dưới đây (C = 1 điều khiển quay thuận, C = 0 điều khiển quay ngược)



6-34. Hãy thiết kế bộ đếm dị bộ N = 5.

6-35. Hãy thiết kế bộ đếm thập phân dị bộ.

6-36. Hãy thiết kế bộ đếm dị bộ N = 23.

6-37. Hãy thiết kế bộ đếm thuận đồng bộ điều khiển được.

Tín hiệu điều khiển M = 0 thì N = 6, M = 1 thì N = 12.

6-38. Hãy thiết kế bộ tạo xung tuần tự có 6 nhịp xung, yêu cầu bề rộng xung nhịp bằng 4 lần chu kì xung đồng hồ.

6-39. Hãy thiết kế thiết bị tự động bán tem 4 xu. Đầu vào là tín hiệu xung biểu thị các giá trị tiền 1 xu, 2 xu và 5 xu. (Người mua đưa vào các đồng xu kim loại) - đầu ra là tín hiệu xung biểu thị tem và tiền xu trả lại cho khách.

(Gợi ý : Giả thiết rằng mỗi người mua chỉ dùng 1 loại tiền xu thôi)

Chương 7

PHÁT XUNG VÀ TẠO DẠNG XUNG

7.1. BỘ PHÁT XUNG

Trong mạch dây đồng bộ, xung vuông của tín hiệu đồng hồ được dùng để điều khiển, phối hợp sự làm việc của toàn bộ hệ thống. Vậy đặc tính của xung đồng hồ trực tiếp ảnh hưởng đến chất lượng công tác của hệ thống. Dựa vào hình 7-1-1, chúng ta tìm hiểu một số chỉ tiêu đánh giá dạng sóng xung vuông.

T : *Chu kì xung*. Đó là khoảng thời gian giữa 2 xung liên nhau trong loạt xung trùng lặp một cách chu kì.

$f = \frac{1}{T}$: *tần số xung*. Đó là số xung lặp trong đơn vị thời gian.

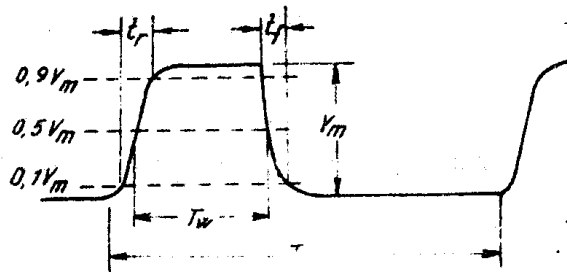
V_m : *Biên độ xung*. Đó là biên độ lớn nhất của điện áp xung.

T_w : *Bề rộng xung*. Đó là khoảng thời gian từ sườn trước đến sườn sau của xung tính ở mức $0,5V_m$.

t_r : *Sườn trước*. Đó là khoảng thời gian sườn trước tăng từ $0,1V_m$ đến $0,9V_m$

t_f : *Sườn sau*. Đó là khoảng thời gian sườn sau giảm từ $0,9V_m$ đến $0,1V_m$.

Dưới đây giới thiệu mấy loại mạch dao động phát xung vuông hay gấp.



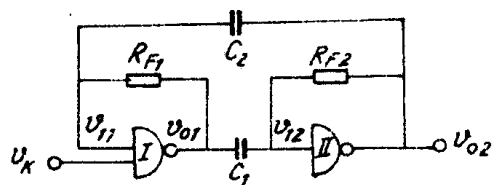
Hình 7-1-1. Miêu tả các đặc trưng kĩ thuật của xung vuông.

7.1.1. Bộ dao động đa hài cơ bản cổng NAND TTL

1) Cấu trúc mạch điện

Cổng NAND (TTL) khi làm việc trong vùng chuyển tiếp có thể khuếch đại mạnh mẽ tín hiệu đầu vào. Vậy đem 2 cổng NAND mà điểm công tác tĩnh thiết lập trong vùng chuyển tiếp ghép điện dung thành mạch vòng như hình 7-1-2, ta được bộ dao động đa hài.

V_K là đầu vào điều khiển. V_K ở mức cao thì phát xung ; V_K ở mức thấp thì ngừng phát.

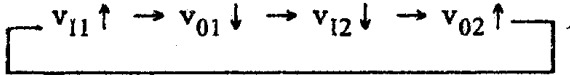


Hình 7-1-2. Bộ dao động đa hài cấu trúc bằng cổng NAND.

Hình 7-1-3 giải thích sự thiết lập điểm công tác tĩnh. Điện áp đầu vào chế độ tĩnh của mỗi cổng NAND phụ thuộc V_o và R_F . Giá trị điện trở các R_F (R_{F1} và R_{F2}) chọn giữa giá trị điện trở đóng cổng R_{off} và giá trị điện trở mở cổng R_{on} .

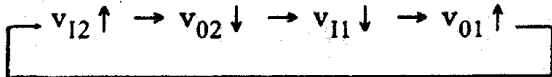
2) Nguyên lí làm việc

Nếu các cổng I, cổng II thiết lập điểm công tác tĩnh trong vùng chuyển tiếp, thì mạch sẽ dao động phát xung khi nối nguồn. Giả sử do tác dụng của nhiễu, v_{I1} tăng một chút, lập tức xuất hiện quá trình phản hồi dương sau đây :

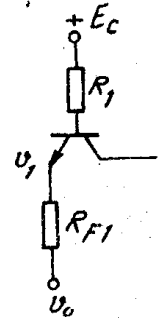


Do đó, cổng I nhanh chóng trở thành thông báo hòa, cổng II nhanh chóng ngắt, mạch bước vào trạng thái tạm ổn định. Lúc này, C_1 nạp điện và C_2 phóng điện theo mạch (đơn giản hóa) hình 7-1-4.

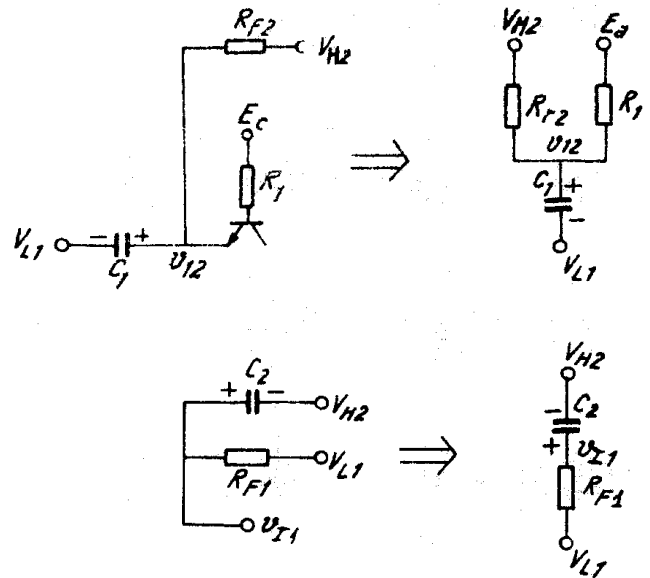
Vì C_1 được nạp điện qua 2 nhánh R_1 và R_{F2} nên tốc độ nạp cao. Vậy v_{I2} tăng nhanh đến ngưỡng thông V_T , khi đó xuất hiện quá trình phản hồi dương sau



Kết quả quá trình này là : cổng I nhanh chóng ngắt, cổng II nhanh chóng thông, mạch điện bước vào



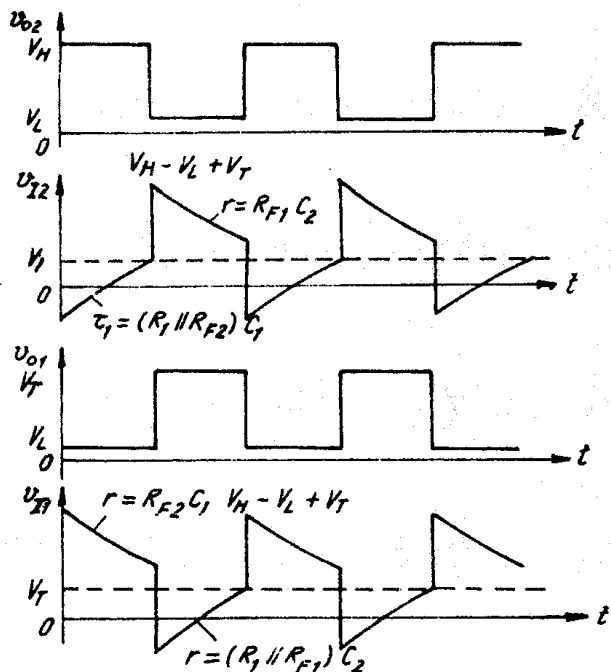
Hình 7-1-3. Mạch đầu vào cổng NAND.



Hình 7-1-4. Mạch vòng nạp phóng điện của tụ điện C_1 , C_2 .

Hình 7-1-5.

Dạng sóng gần đúng của điện áp các điểm trên mạch bộ dao động đa hài cơ bản cấu trúc bằng cổng NAND (TTL).



một trạng thái tạm ổn định mới. Lúc này, C_2 nạp điện, C_1 phóng điện theo các mạch tương tự. C_2 nạp điện nhanh nên v_{I1} tăng nhanh đến ngưỡng thông V_T làm xuất hiện quá trình phản hồi dương đưa mạch điện về lại trạng thái ổn định tạm thời ban đầu : cổng I thông, cổng II ngắt. Vậy mạch điện không ngừng dao động một cách chu kì. Khi bỏ qua điện trở đầu ra các cổng NAND, dựa vào hình 7-1-4, ta có thể vẽ dạng sóng các điểm trên mạch bộ dao động đa hài như hình 7-1-5.

3) Tính toán chu kì dao động. Vì quá trình nạp điện nhanh hơn quá trình phóng điện, nên thời gian duy trì trạng thái ổn định tạm thời phụ thuộc thời gian nạp điện của hai tụ điện C_1, C_2 . Dựa vào hình 7-1-4a ta có hằng số thời gian nạp điện của tụ C_1 là $\tau_1 = (R_{F2} // R_1) C_1$. Vậy, v_{I2} nạp điện đến V_T cần một thời gian là

$$\begin{aligned} t_{M2} &= \tau_1 \ln \frac{v_{I2}(\infty) - v_{I2}(0)}{v_{I2}(\infty) - V_T} = (R_{F2} // R_1) C_1 \ln \frac{V_{OH} - [V_T - (V_{OH} - V_{OL})]}{V_{OH} - V_T} \\ &= (R_{F2} // R_1) C_1 \ln \frac{2V_{OH} - (V_T + V_{OL})}{V_{OH} - V_T} \end{aligned} \quad (7-1-1)$$

Với $R_{F1} = R_{F2} = R_F, C_1 = C_2 = C$, ta có

$$T = 2 (R_F // R_1) C \ln \frac{2V_{OH} - (V_T + V_{OL})}{V_{OH} - V_T} \quad (7-1-2)$$

Giả sử $V_{OH} = 3V, V_{OL} = 0,35V, V_T = 1,4V$

từ (7-1-2) ta được :

$$T = 2(R_F // R_1) C \ln \frac{2 \times 3 - (1,4 + 0,35)}{3 - 1,4} \approx 2 (R_F // R_1) C \quad (7-1-3)$$

Các công thức (7-1-1), (7-1-2), (7-1-3) nói trên đều là gần đúng vì ta đã bỏ qua điện trở đầu ra của các cổng. Khi đầu ra ở mức logic thấp, điện trở đầu ra của cổng là rất bé, tất nhiên có thể bỏ qua. Còn khi đầu ra ở mức cao mà dòng điện tải lại đáng kể thì ảnh hưởng của điện trở đầu ra không thể bỏ qua. Khi đó, điện trở đầu ra ảnh hưởng đến hằng số thời gian nạp điện, đồng thời làm cho mức ra logic cao $< V_{OH}$ (V_{OH} là mức ra logic cao khi không tải). Vì vậy làm thay đổi trị số ban đầu của quá trình nạp điện.

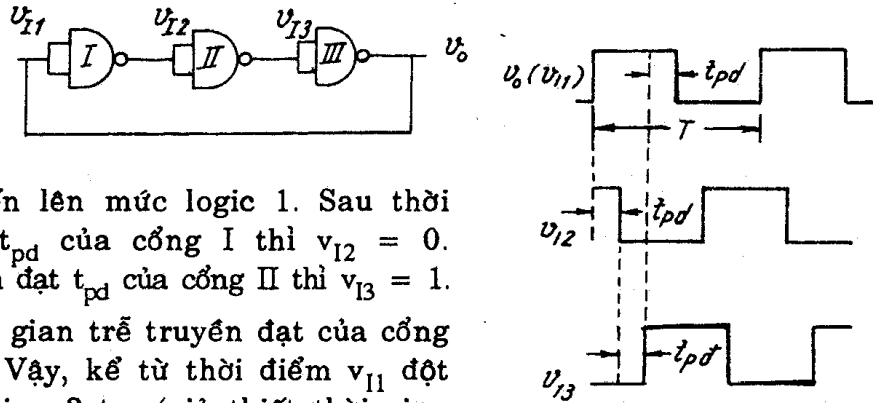
Tuy rằng giá trị T từ (7-1-3) có sai số nhất định, nhưng vì các giá trị chính xác của điện trở không được các thuyết minh kĩ thuật cho biết, và lại giá trị V_{OH} có sai lệch nên không có cách nào tính toán chính xác hơn giá trị T so với công thức (7-1-3). Bình thường vẫn dùng (7-1-3) để tính T .

7.1.2. Bộ dao động đa hài vòng RC

1) Dùng cổng NAND (TTL) cấu trúc bộ dao động vòng

Hình 7-1-6 trình bày bộ dao động vòng. Mạch cấu trúc bởi các bộ khuếch đại cổng NAND mắc dây chuyển vòng. Mạch này không có trạng thái ổn định. Nguyên lí công tác của mạch khá đơn giản : dùng thời gian trễ truyền đạt của cổng. Cụ thể như sau.

Hình 7-1-6
Mạch điện bộ dao động
vòng và dạng sóng.



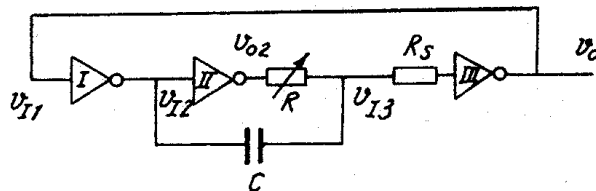
Giả sử v_{I1} đột biến lên mức logic 1. Sau thời gian trễ truyền đạt t_{pd} của cổng I thì $v_{I2} = 0$. Sau thời gian trễ truyền đạt t_{pd} của cổng II thì $v_{I3} = 1$.

Tiếp theo, sau thời gian trễ truyền đạt của cổng III thì $v_O = v_{I1} = 0$. Vậy, kể từ thời điểm v_{I1} đột biến lên 1, sau thời gian $3t_{pd}$ (giả thiết thời gian trễ truyền đạt các cổng đều như nhau) thì v_{I1} lại đột biến xuống 0. Có thể hình dung được rằng sau thời gian $3t_{pd}$ nữa $v_{I1} = v_O$ sẽ trở lại mức 1, hoàn thành 1 chu kì dao động. Về sau mạch dao động lặp lại quá trình trên với chu kì dao động $T = 6t_{pd}$. Xem dạng sóng các điểm trong mạch ở hình 7-1-6.

Vì thời gian trễ truyền đạt trung bình t_{pd} của cổng NAND (TTL) khá ngắn, cỡ vài chục ns ($1\text{ns} = 10^{-9}\text{s}$), nên tần số dao động rất cao, hơn nữa không thể điều chỉnh tần số dao động đó. Để khắc phục nhược điểm này, chúng ta nghĩ ngay đến sử dụng mạch trễ RC. Vì đưa thêm vào mạch RC thì vừa làm tăng thời gian trễ, vừa có thể điều chỉnh tần số dao động (biến trở, tụ xoay).

2) Bộ dao động vòng có mạch RC

Xem hình 7-1-7.

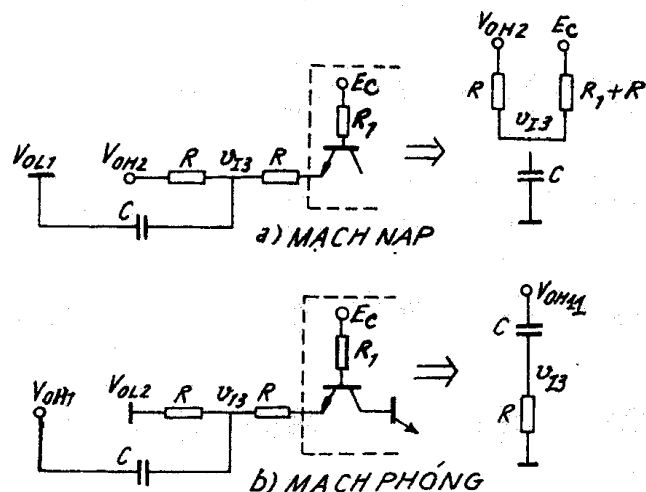


Hình 7-1-7.
Bộ dao động
đa hài vòng có mạch RC.

Vì thời gian trễ của mạch RC lớn hơn nhiều trễ truyền đạt t_{pd} nên trong phân tích dưới đây bỏ qua t_{pd} .

Khi v_{I1} đột biến lên V_H thì v_{I2} đột biến xuống V_L và v_{O2} theo đó tăng lên đến V_H . Do điện áp trên tụ điện C không đột biến được, nên v_{I3} cũng có đột biến âm theo v_{I2} . Rồi thì mức cao v_{O2} sẽ làm cho điện dung C được nạp qua R. v_{I3} dần dần tăng lên.

Mạch nạp điện biểu thị trên hình 7-1-8a. Khi tụ nạp điện, mạch điện bộ dao động ở trạng thái tạm ổn định thứ nhất. Khi v_{I3} tăng lên đến ngưỡng thông V_T (R_s rất nhỏ, V_{I3} coi như là điện áp đầu vào cổng III)



Hình 7-1-8. Mạch vòng nạp, phóng điện của tụ điện.

thì cổng III thông, $v_o = v_{i1} = V_L$. Vì v_{i1} lật đến V_L , nên v_{i2} lật đến V_H , v_{o2} lật đến V_L .

Tương tự, đầu tiên v_{i3} cũng có đột biến dương như v_{i2} , rồi sau do tụ điện C phóng điện, v_{i3} giảm dần. Mạch phóng điện biểu thị trên hình 7-1-8b. Khi tụ phóng điện, mạch điện bộ dao động ở trạng thái tạm ổn định thứ hai.

Khi v_{i3} giảm xuống đến ngưỡng V_T thì cổng III ngắt, $v_o = v_{i1} = V_H$, mạch điện trở lại trạng thái ban đầu : v_{i1} đột biến lên V_H .

Quá trình dao động lặp lại không ngừng. Xem dạng sóng hình 7-1-9.

Từ hình 7-1-8 ta thấy rằng hằng số thời gian nạp điện là

$$\tau_1 = [R // (R_1 + R_s)]C \approx (R // R_1)C$$

hằng số thời gian phóng điện là

$$\tau_2 = RC.$$

Vậy thời gian nạp điện t_1 của C là :

$$t_1 = \tau_1 \ln \frac{v_{i3}(\infty) - v_{i3}(0)}{v_{i3}(\infty) - V_T}$$

$$t_1 = (R // R_1) C \ln \frac{2V_{OH} - (V_T + V_{OL})}{V_{OH} - V_T} \quad (7-1-4)$$

thời gian phóng điện t_2 của C là :

$$t_2 = \tau_2 \ln \frac{v_{i3}(\infty) - v_{i3}(0)}{v_{i3}(\infty) - V_T}$$

$$t_2 = RC \ln \frac{V_{OH} + V_T - 2V_{OL}}{V_T - V_{OL}}$$

$$(7-1-5)$$

Giả sử $V_{OH} = 3V$, $V_T = 1,4V$, $V_{OL} = 0,35V$, ta tính được

$$t_1 = 0,98 (R // R_1)C$$

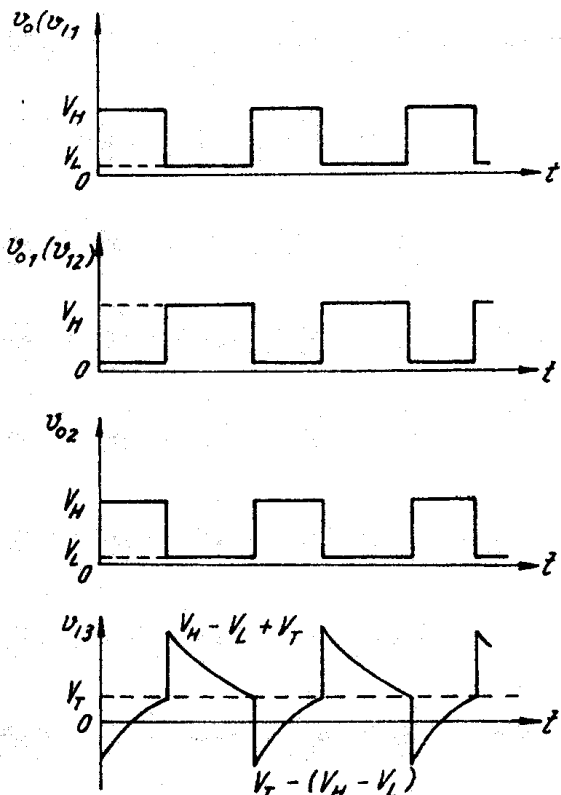
$$t_2 = 1,26RC$$

$$\text{Vậy } T = t_1 + t_2 = 0,98 (R // R_1)C + 1,26RC \quad (7-1-6)$$

$$\text{nếu } R_1 \gg R \text{ thì } T \approx 2,2 RC \quad (7-1-7)$$

Tương tự như đã trình bày về sai số của (7-1-3), các công thức (7-1-4), (7-1-5), (7-1-6) đều có sai số do bỏ qua điện trở đầu ra của các cổng.

Loại mạch bộ dao động vòng có mạch RC này có thể điều chỉnh tần số dao động của nó trong phạm vi rộng. Bảng 7-1-1 là phạm vi điều chỉnh tần số dao động do biến trở, tương ứng với các giá trị điện dung khác nhau.



Hình 7-1-9. Dạng sóng của bộ dao động vòng có mạch RC.

Cần lưu ý rằng R không thể lấy giá trị quá lớn. Đối với cổng NAND (TTL), nói chung $R < R_{OFF}$, nếu không thế thì mạch điện sẽ làm việc trực trực.

Bảng 7-1-1 : PHẠM VI ĐIỀU CHỈNH TẦN SỐ CỦA BỘ DAO ĐỘNG DA HẢI VÒNG. (TRÊN HÌNH 7.1.7)

C	f
15pF	1.4MHz ~ 8MHz
820pF	320kHz ~ 5.6MHz
0.05μF	4,3kHz ~ 150kHz
3μF	3.3Hz ~ 3.6kHz
100μF	1kHz ~ 167Hz

7.1.3. Bộ dao động đa hài thạch anh

1) Vấn đề ổn định biên độ và tần số của bộ dao động đa hài

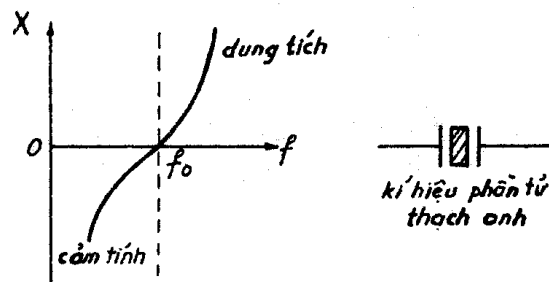
Trong những điều trình bày trên đây về bộ dao động đa hài, ta thấy mức đầu ra của mạch điện trong trạng thái tạm thời ổn định (tức mức thông và mức ngắt ở đầu ra cổng NAND) là khá ổn định. Vậy độ ổn định biên độ khá cao. Và lại, mạch số không yêu cầu quá cao đối với ổn định biên độ.

Nhưng độ ổn định tần số thường thấp. Nhân tố chủ yếu quyết định tần số dao động là thời gian mạch điện chuyển biến đạt tới mức ngưỡng nguyên đối (điện áp ngưỡng thông ngắt của cổng NAND). Một là, bản thân mức ngưỡng không ổn định lắm, chịu ảnh hưởng của nhiệt độ. Hai là, cách làm việc của mạch điện dễ bị can nhiễu, sự chuyển đổi trạng thái do nhiễu có thể sớm hoặc chậm hơn. Ba là, thời điểm xảy ra sự chuyển đổi trạng thái rơi vào lúc sự phóng hoặc nạp điện của tụ điện đã chậm lại, sự thay đổi nhỏ của mức ngưỡng hay sự tác động của nhiễu đều có thể làm thay đổi nghiêm trọng chu kì dao động. Chính vì vậy, khi mạch điện cần ổn định tần số dao động cao hơn, tất phải có biện pháp thích hợp.

2) Bộ dao động thạch anh

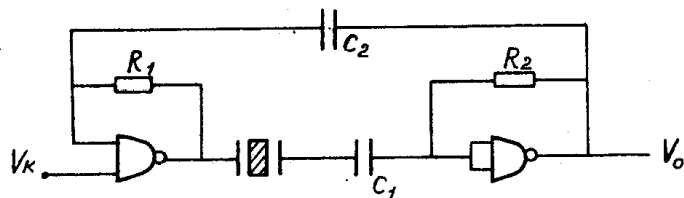
Để xung đồng hồ có ổn định tần số cao, biện pháp hay dùng hiện nay là đưa thạch anh (tinh thể) vào mạch dao động đa hài. Thạch anh không những có đặc tính ổn định tần số tốt, mà thạch anh còn có hệ số phẩm chất Q rất cao, dẫn đến tính chọn lọc tần số rất cao. Điều này có thể thấy rõ từ đặc tuyến tần số của trở kháng thạch anh hình 7-1-10.

Tụ điện ghép trong mạch dao động đa hài thường, nếu mắc nối tiếp với thạch anh thì cấu trúc thành bộ dao động đa hài thạch anh. Ví dụ : từ sơ đồ 7-1-2 ta có tương ứng sơ đồ 7-1-11.



Hình 7-1-10. Đặc tính tần số của trở kháng thạch anh.

Hình 7-1-11.
Bộ dao động
đa hài thạch anh.



Từ đặc tính tần số của trở kháng thạch anh ta thấy rằng, chỉ ở tần số f_0 thì trở kháng thạch anh cực nhỏ ($X = 0$) nên tín hiệu tần số f_0 đi qua thạch anh dễ dàng. Vậy nên tần số dao động của bộ dao động thạch anh chỉ quyết định bởi tần số cộng hưởng bản thân thạch anh f_0 , mà không phụ thuộc vào giá trị R, C của mạch điện.

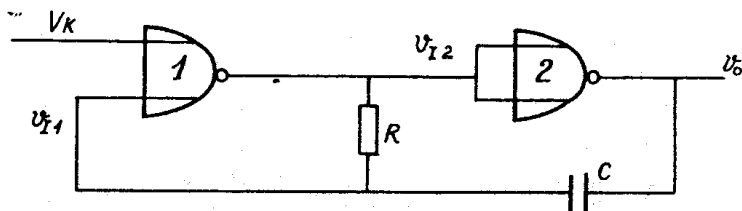
7.1.4. Bộ dao động đa hài CMOS

Các cổng CMOS có đặc tính chuyển mạch (đóng mở) gần như lí tưởng. Chúng rất phù hợp để cấu trúc thành mạch dao động đa hài.

1) Bộ dao động đa hài cơ bản CMOS

a) Cấu trúc mạch điện

Hình 7-1-12.
Bộ dao động
đa hài dùng cổng
NOR (CMOS).

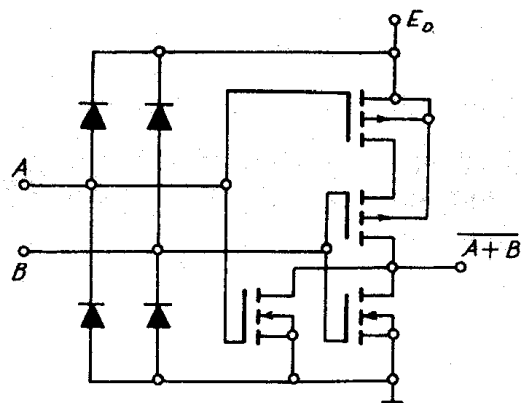


Trong mạch điện điển hình của bộ dao động đa hài cơ bản CMOS trên hình 7-1-12, có các cổng NOR 1 và 2 và linh kiện định thời R, C . V_K là tín hiệu điều khiển, $V_K = V_H$ mạch ngừng công tác, $V_K = V_L$ mạch dao động. Hình 7-1-13 là cổng NOR CMOS.

Trong mạch này, mỗi đầu vào đều có diốt bảo hộ. Những diốt này hạn chế mức điện áp cực cổng bóng bán dẫn MOS trong phạm vi giữa điện thế đất và E_D . Trong các mạch số, nói chung diốt bảo hộ đầu vào không cần. Nhưng trong mạch dao động đa hài, các diốt này có tác dụng ghim mức cao đầu vào ở E_D , mức thấp đầu vào ở 0V.

b) Nguyên lí làm việc

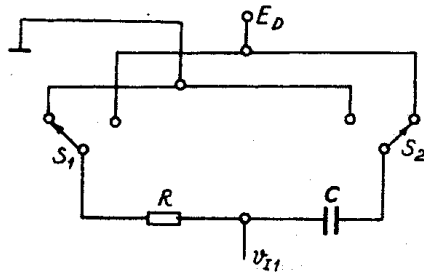
Khi phân tích nguyên lí làm việc một cách định tính, để đơn giản hóa, có thể cho cổng 1, 2 là những chuyển mạch lí tưởng (dùng S_1, S_2



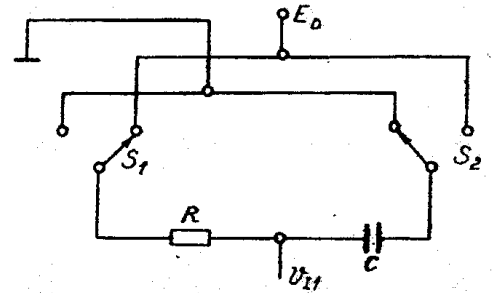
Hình 7-1-13. Mạch NOR (CMOS)
có diốt bảo hộ đầu vào.

biểu thị) mà nếu điện áp đầu vào V_I lớn hơn điện áp ngưỡng thông V_T thì cổng thông, nếu $V_I < V_T$ thì cổng ngắt.

Khi $V_K = V_H = E_D$ mạch không dao động. Cụ thể như sau : nếu $V_K = V_H$, cổng 1 thông, cổng 2 ngắt, $v_{I2} = V_L = 0$, $v_o = V_{I1} = E_D$, $v_{I1} = v_{I2} = V_L$. Mạch tương đương ở hình 7-1-14.



Hình 7-1-14. Mạch tương đương đơn giản hóa khi $V_K = E_D$.



Hình 7-1-15. Mạch tương đương đơn giản hóa khi tụ điện nạp điện.

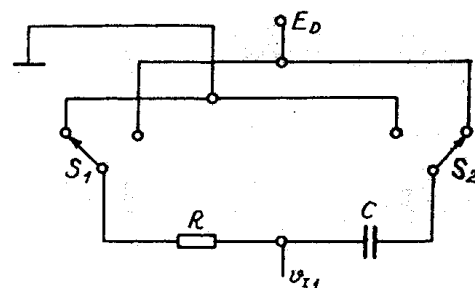
Khi $V_K = V_L$ mạch dao động. Cụ thể như sau : V_K từ V_H giảm xuống V_L . Cổng một ngắt, v_{I2} lên mức cao. Cổng 2 thông, v_o xuống mức thấp, do tác dụng ghim của diốt bảo hộ đầu vào, v_{I1} cơ bản bằng 0V. Đồng thời tụ điện C nạp, mạch tương đương khi đó xem hình 7-1-15. Theo mức độ nạp điện của tụ điện C, v_{I1} tăng lên theo luật hàm mũ với hằng số thời gian $\tau = RC$. Trong quá trình tụ C nạp, mạch điện ở trạng thái tạm thời ổn định.

Khi v_{I1} tăng lên đến ngưỡng V_T , cổng 1 thông, v_{I2} xuống mức thấp, cổng 2 ngắt, v_o lên mức cao - v_{I1} cũng biến đổi theo v_o nhưng được ghim ở mức E_D do tác dụng của diốt bảo hộ.

Đồng thời tụ điện C phóng điện theo mạch tương đương (đơn giản hóa) hình 7-1-16. Theo mức độ phóng điện của C, v_{I1} giảm xuống theo luật hàm số mũ cũng với hằng số thời gian $\tau = RC$. Trong quá trình tụ C phóng, mạch điện cũng ở trạng thái tạm thời ổn định.

Khi v_{I1} giảm đến V_T thì cổng 1 ngắt, v_{I2} lên mức cao, cổng 2 thông, v_o xuống mức thấp, v_{I1} cũng xuống thấp theo. C lại nạp...

Vậy mạch điện chuyển đổi trạng thái liên tục giữa 2 trạng thái tạm thời ổn định. Do đó ở đầu ra ta có xung vuông như ý. Hình 7-1-17 là dạng sóng lí tưởng hóa (gần đúng thực) của bộ dao động. Dựa vào các hình (7-1-15), (7-1-16), (7-1-17), ta tìm được công thức gần đúng tính chu kì dao động :



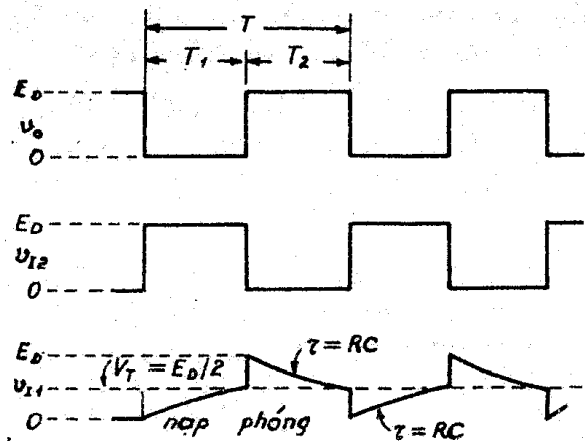
Hình 7-1-16. Mạch tương đương khi C phóng điện.

$$T = T_1 + T_2 = RC \ln \left(\frac{E_D}{E_D - V_T} + \frac{E_D}{V_T} \right) \quad (7-1-8)$$

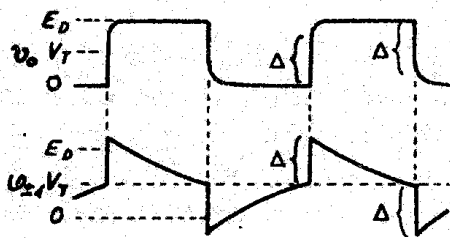
Giả thiết $V_T = \frac{E_D}{2}$ thì $T_1 = T_2$ và
 $T = RC \ln 4 \approx 1,4RC$ (7-1-9)

Biên độ dao động $V_m = E_D$ (7-1-10)

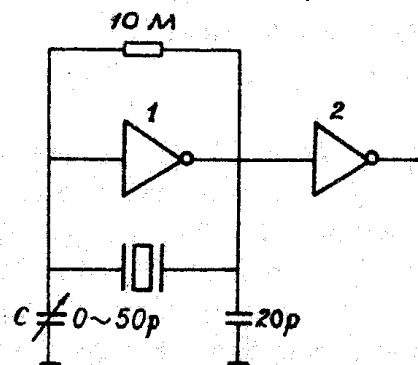
Dạng sóng v_{I1} và v_o trong hình 7-1-17 là gần đúng (các bước đột biến hai bên tụ điện không bằng nhau). Nếu tính đến vai trò của diốt D và điện trở đầu ra R_o của cổng 2, ta vẽ lại dạng sóng như hình 7-1-18.



Hình 7-1-17. Dạng sóng của bộ dao động đa hài cơ bản CMOS.



Hình 7-1-18. Dạng sóng khi kể ảnh hưởng của D và R_o .



Hình 7-1-19. Bộ dao động đa hài thạch anh CMOS.

2) Bộ dao động thạch anh CMOS (xem hình 7-1-19)

Đặc điểm tương tự như đã giới thiệu ở phần 7-1-3 (mạch TTL). Tần số cộng hưởng của thạch anh quyết định tần số dao động. Độ ổn định tần số cao. Điện dung C thay đổi được để tinh chỉnh.

7.2. TRIGƠ SMIT

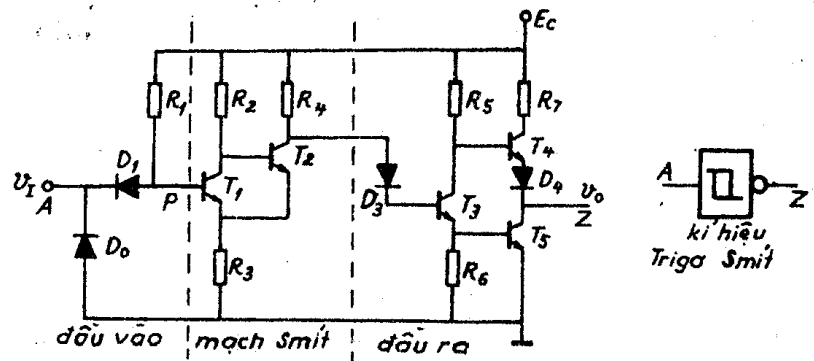
Đặc điểm quan trọng nhất của Trigo Smit là nó có thể biến đổi dạng xung, biến đổi vô cùng chậm chạp ở đầu vào thành dạng xung vuông thỏa mãn yêu cầu mạch số ở đầu ra. Trigo Smit có tính chống nhiễu khá tốt vì độ chênh điện áp chuyển mạch trong mạch. Trigo Smit có ứng dụng rất rộng trong các mạch phát xung và tạo dạng xung.

7.2.1. Trigo Smit IC TTL

1) Cấu trúc mạch điện

Hình 7-2-1 là IC Trigo Smit TTL, nó còn gọi là bộ đảo pha Trigo Smit. Tín hiệu đầu vào v_i thông qua tầng đầu vào (R_1 và D_1) đưa đến mạch Smit. Ở đầu ra

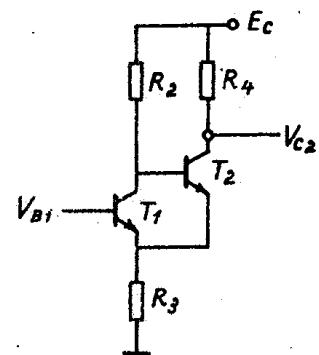
của mạch Smit có tầng đầu ra (là một bộ đảo pha) để nối với phụ tải. Tầng đầu ra là mạch đẩy kéo nên công suất ra khá. So sánh với mạch điện hình dùng cổng NAND TTL thì điểm đặc biệt của hình 7-2-1 là mạch Smit ở giữa.



Hình 7-2-1. Triga Smit.

2) Nguyên lí làm việc

Hãy xét nguyên lí làm việc mạch Smit hình 7-2-2. Bằng cách chọn thông số linh kiện xác đáng, ta bảo đảm 2 trạng thái tương phản của mạch, nếu v_{B1} là mức thấp thì T_1 ngắt, T_2 thông bão hòa. Nếu v_{B1} là mức cao thì T_1 thông bão hòa, T_2 ngắt. Khi v_{B1} từ mức thấp lên mức cao đến trị số $v_{BE1} = v_{B1} - i_{E3}R_3 = 0,5V$ thì T_1 bắt đầu chuyển từ vùng ngắt vào vùng khuếch đại. Do v_{B1} tiếp tục tăng nên $v_{CE1} = v_{BE2}$ sẽ giảm xuống. Sau khi T_2 rời khỏi vùng bão hòa, mà v_{B1} lại tiếp tục tăng thì xảy ra quá trình phản hồi dương sau đây :



Hình 7-2-2. Mạch điện Smit.

$$v_{B1} \uparrow \rightarrow i_{C1}(i_{E1}) \uparrow \rightarrow v_{CE1} \downarrow \rightarrow v_{BE2} \downarrow \rightarrow i_{C2}(i_{E2}) \downarrow \rightarrow v_E \downarrow \rightarrow v_{BE1} \uparrow$$

nhờ phản hồi dương, mạch điện nhanh chóng chuyển sang trạng thái T_1 thông bão hòa, T_2 ngắt. Cần giải thích rõ thêm tại sao ta khẳng định $v_E \downarrow$ khi mà $v_E = (i_{E1} + i_{E2})R_3$, với i_{E1} đang tăng và i_{E2} đang giảm. Chúng ta hãy chú ý đến tác dụng khuếch đại của T_1 , T_2 . Khi v_{B1} tăng kéo theo v_{BE1} tăng, qua T_1 khuếch đại chắc chắn $v_{CE1} = v_{CE2}$ giảm, do đó i_{B2} giảm nhỏ, qua T_2 khuếch đại làm cho i_{E2} giảm.

Do tác dụng khuếch đại của T_1 và T_2 mà tốc độ giảm của i_{E2} lớn hơn tốc độ tăng của i_{E1} . Vậy v_E giảm.

Nếu v_{B1} sau khi tăng đến cực đại thì bắt đầu giảm ; khi v_{B1} giảm đến mức làm T_1 ra khỏi vùng bão hòa, T_2 ra khỏi vùng ngắt thì mạch điện lại xảy ra quá trình phản hồi dương sau :

$$v_{B1} \downarrow \rightarrow i_{C1}(i_{E1}) \downarrow \rightarrow v_{CE1} \uparrow \rightarrow v_{BE2} \uparrow \rightarrow i_{C2}(i_{E2}) \uparrow \rightarrow v_E \uparrow \rightarrow v_{BE1} \downarrow \rightarrow$$

Kết quả mạch điện nhanh chóng lật sang trạng thái T_1 ngắt, T_2 thông bão hòa.

Bây giờ ta xem xét bao quát toàn mạch, kể cả tầng đầu vào và tầng đầu ra. Nếu v_1 là mức thấp, v_{B1} cũng mức thấp, T_1 ngắt T_2 bão hòa, V_{c2} ở mức thấp, D_3 , T_3 , T_5 ngắt, T_4 và D_4 thông, đầu ra ở mức cao. Nếu v_1 là mức cao, v_{B1} cũng mức

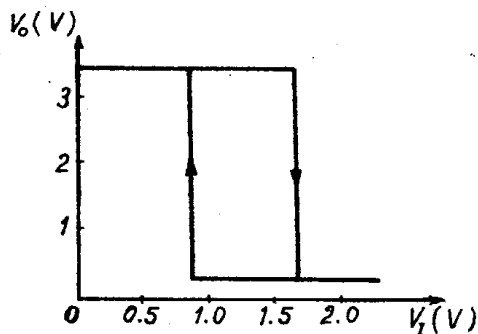
cao, T_1 bão hòa, T_2 ngắt, D_3 thông, T_3 và T_5 bão hòa, T_4 và D_4 ngắt, đầu ra ở mức thấp.

Chúng ta gọi giá trị điện áp đầu vào v_i trong quá trình tăng lên của nó đạt đến ngưỡng làm lật mạch Smit để đầu ra từ mức cao xuống mức thấp là ngưỡng trên V_{T+} .

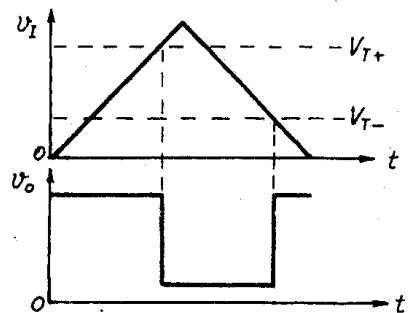
Chúng ta gọi giá trị điện áp đầu vào v_i trong quá trình giảm xuống của nó đạt đến ngưỡng làm lật mạch Smit để đầu ra từ mức thấp lên mức cao là ngưỡng dưới V_{T-} (hình 7-2-3).

Hiệu điện áp tương ứng với ngưỡng trên V_{T+} và ngưỡng dưới V_{T-} được gọi là độ chênh điện áp chuyển mạch ΔV

$$\Delta V = V_{T+} - V_{T-} \quad (7-2-1)$$



Hình 7-2-4. Đặc tính truyền đạt điện áp.

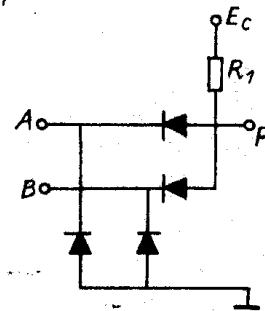


Hình 7-2-3.

Dạng sóng đầu vào v_i , đầu ra v_o .

Hình 7-2-4 trình bày đặc tính truyền đạt của Trơ Smit trên hình 7-2-1. Ta thấy rõ độ chênh điện áp chuyển mạch trên hình 7-2-3 và hình 7-2-4.

Hình 7-2-5. Tầng đầu vào nhiều đầu vào.

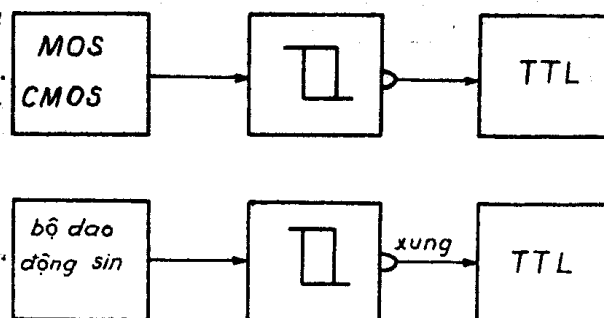


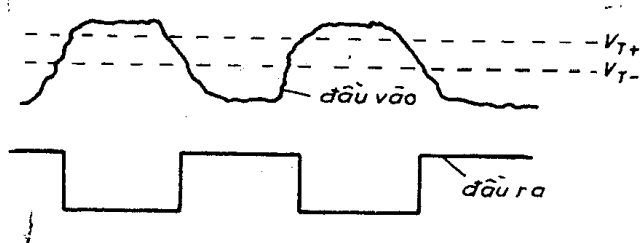
Để có nhiều đầu vào, ta có thể dùng cổng AND diốt ở tầng đầu vào như hình 7-2-5.

3) Ví dụ ứng dụng

Hình 7-2-6.

Mạch phối ghép các dao động chậm vào hệ thống TTL bằng Trơ Smit.



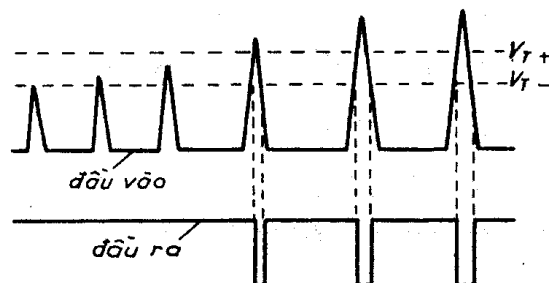


Hình 7-2-7.

Dùng Trigo Smit để tạo dạng xung vuông từ điện áp đầu vào biến đổi chậm không quy tắc.

Hình 7-2-8.

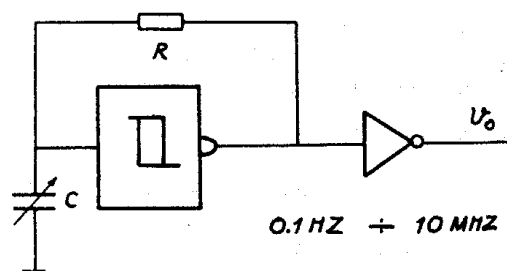
Dùng Trigo Smit làm bộ giám sát ngưỡng mức điện áp đầu vào. Khi điện áp này đạt ngưỡng V_{T+} thì mạch điện tác động.



Nguyên lí làm việc của bộ dao động đa hài dùng Trigo Smit như sau :

Khi đầu vào Trigo Smit ở mức cao thì C nạp điện.

Trong quá trình C nạp, điện áp đầu vào Trigo Smit tăng ; Khi điện áp này bằng ngưỡng trên V_{T+} thì Trigo Smit lật, đầu ra của nó xuống mức thấp và C bắt đầu phóng điện.



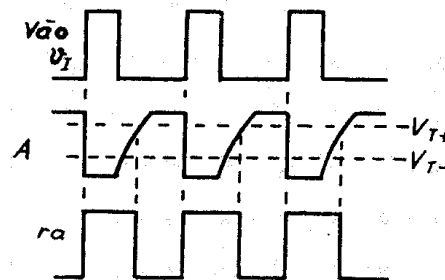
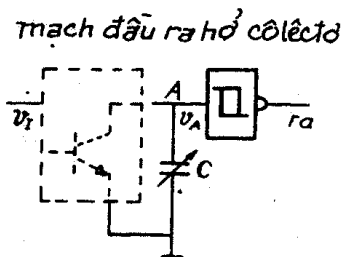
Hình 7-2-9. Bộ dao động đa hài.

Trong quá trình C phóng, điện áp đầu vào Trigo Smit giảm ; Khi điện áp này bằng ngưỡng dưới V_{T-} thì Trigo Smit lật lại, đầu ra của nó lên mức cao...

Quá trình trên lặp lại mãi, tạo ra dao động đa hài, ở đầu ra được xung vuông. Bộ khuếch đại đảo đầu ra có tác dụng tạo dạng xung đẹp hơn và cách li. R, C càng lớn thì chu kì dao động T càng lớn, tần số dao động càng thấp. Thay đổi R, C thì điều chỉnh được tần số dao động.

Hình 7-2-10.

Bộ mở rộng xung (sơ đồ và dạng sóng).

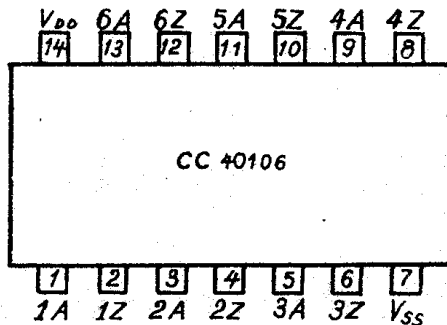


Nguyên lí bộ mở rộng xung dùng Trigo Smit như sau :

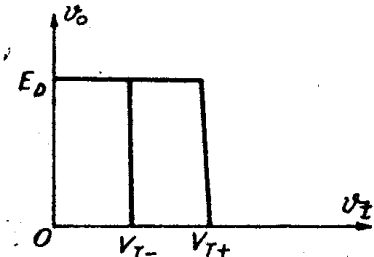
v_i mức thấp thì v_A ở mức cao. Khi v_i lên mức cao thì bóng bán dẫn thông báo hòa, nội trở của nó rất bé, tụ điện C phóng điện rất nhanh, v_A giảm nhanh xuống mức thấp. Khi v_i từ mức cao xuống mức thấp thì bóng bán dẫn ngắt, nguồn điện

E_C nạp điện cho tụ điện C thông qua mạch đầu vào của Trigrơ Smit. v_A tăng chậm. Khi v_A tăng đến V_{T+} thì đầu ra đột biến xuống mức thấp. Vậy mạch đã mở rộng xung đầu vào. Nếu thay đổi giá trị điện dung thì thay đổi mức mở rộng xung.

7.2.2. Trigrơ Smit CMOS



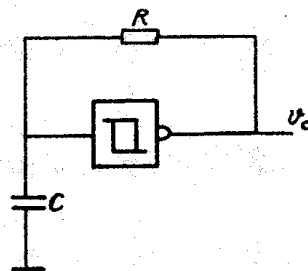
Hình 7-2-11. Sơ đồ chân của IC CMOS CC40106 (6 Trigrơ Smit).



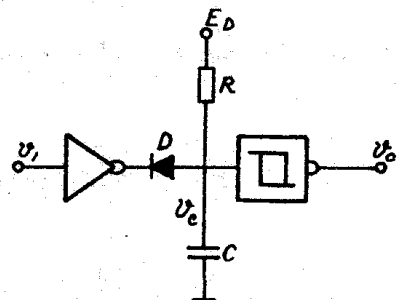
Hình 7-2-12. Đặc tính truyền đạt điện áp.

Ta thấy rằng trong một vỏ (1 chip) đã tích hợp 6 mạch Trigrơ Smit. Hình 7-2-12 là đặc tính truyền đạt điện áp của nó. Bộ đảo pha CMOS có mặt trong cấu trúc của Trigrơ Smit CMOS.

Tương tự như họ TTL, Trigrơ Smit họ CMOS có nhiều ứng dụng : mạch phối ghép các tín hiệu biến đổi chậm thành xung, tạo dạng xung, giám sát mức ngưỡng, bộ dao động đa hài (hình 7-2-13) bộ mở rộng xung (hình 7-2-14).



Hình 7-2-13. Bộ dao động đa hài.



Hình 7-2-14. Bộ mở rộng xung.

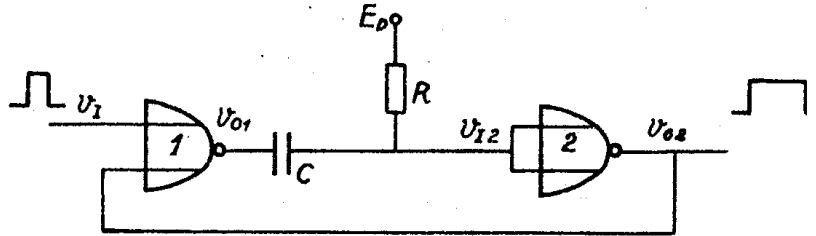
7.3. MẠCH ĐA HÀI DỢI

Đặc điểm của đa hài dợt là : 1) Có một trạng thái ổn định và một trạng thái tạm ổn định. 2) Khi có tác dụng của xung kích từ ngoài, có thể chuyển đổi từ trạng thái ổn định sang trạng thái tạm ổn định. 3) Sau khi duy trì một thời gian, sẽ tự động quay về trạng thái ổn định. Thời gian duy trì trạng thái tạm ổn chỉ phụ thuộc thông số bản thân mạch điện mà không phụ thuộc gì vào xung kích. Trong thiết bị điện tử số, đa hài dợt có ứng dụng : định thời (tạo xung vuông có độ rộng mong muốn), tạo dạng xung (biến tín hiệu không quy tắc thành dãy xung chuẩn có chu kỳ, độ rộng, biên độ ổn định), làm trễ (xung đầu ra trễ theo yêu cầu so với xung vào)...

7.3.1. Mạch đa hài đợi CMOS

1) Mạch đa hài đợi kiểu vi phân

a) Cấu trúc mạch điện



Hình 7-3-1.

Đa hài đợi dùng cổng NOR (CMOS).

Hình 7-3-1 là sơ đồ mạch đa hài đợi kiểu vi phân, trong đó cổng 1, 2 là cổng NOR (CMOS) và RC làm thành bộ trễ vi phân.

b) Nguyên lý làm việc

Trong trạng thái ổn định, cổng 1 ngắt cổng 2 thông : $v_I = 0$, $v_{01} = E_D$, $v_{I2} = E_D$, $v_{02} = 0$.

Nếu v_I từ 0 tăng lên đến ngưỡng thông của cổng NOR V_T thì sẽ xảy ra quá trình phản hồi dương sau :

$$v_I \uparrow \rightarrow v_{01} \downarrow \rightarrow v_{I2} \downarrow \rightarrow v_{02} \uparrow$$

Quá trình này làm mạch điện nhanh chóng chuyển đổi sang trạng thái cổng 1 thông, cổng 2 ngắt (trạng thái tạm ổn). Mạch điện nạp cho tụ điện C là E_D , R, C, điện trở đầu ra cổng 1. Trong quá trình C nạp thì v_{I2} tăng dần đến ngưỡng V_T , lúc đó sẽ xảy ra quá trình phản hồi dương mới :

(Giả thiết v_I đã về mức thấp)

$$v_{I2} \uparrow \rightarrow v_{02} \downarrow \rightarrow v_{01} \uparrow$$

Quá trình này làm cho mạch nhanh chóng trở về trạng thái ổn định, cổng 1 ngắt, cổng 2 thông. Tụ điện C phóng điện qua tầng đầu vào cổng 2 và tầng đầu ra cổng 1. v_{I2} xấp xỉ E_D . v_{01} tăng dần đến E_D . Xem dạng sóng v_I , v_{01} , v_{I2} , v_{02} , trên hình 7-3-2.

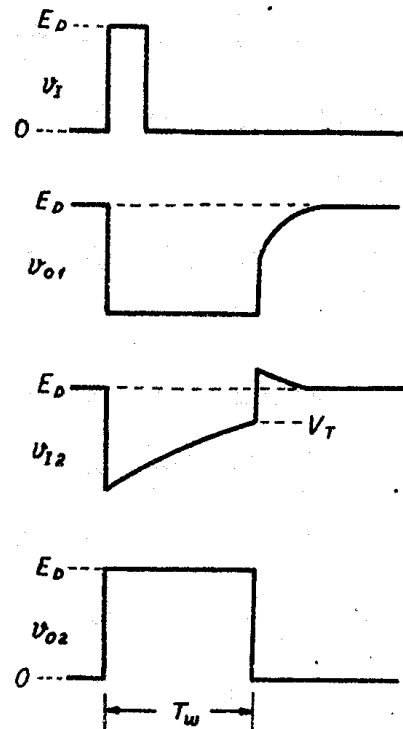
Độ rộng xung đầu ra là thời gian tồn tại trạng thái tạm ổn định T_w . T_w được xác định theo hình 7-3-2 như sau :

$$T_w = (R + R_O) \ln \frac{E_D}{E_D - V_T} \quad (7-3-1)$$

Với R_O là điện trở đầu ra của cổng 1

Nếu $V_T = \frac{E_D}{2}$ thì

$$T_w = (R + R_O) \ln 2 \approx 0,7(R + R_O)C \quad (7-3-2)$$



Hình 7-3-2. Dạng sóng đa hài đợi CMOS.

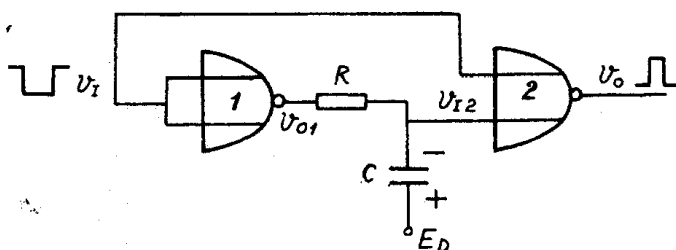
Biên độ xung ra xấp xỉ E_D .

Trong mạch điện hình 7-3-1, nếu độ rộng xung kích v_I lớn hơn T_w thì sẽ không có quá trình phản hồi dương xảy ra lúc mạch trở về trạng thái ổn định, kết quả sườn âm xung ra v_{O2} bị kéo dài hơn.

2) Đa hài đợi kiểu tích phân

Hình 7-3-3.

Đa hài đợi kiểu tích phân dùng cổng NOR (CMOS).



a) Cấu trúc mạch điện

Hình 7-3-3 là sơ đồ mạch đa hài đợi kiểu tích phân, trong đó cổng 1, 2 là cổng NOR (CMOS) và RC làm thành bộ trễ tích phân.

b) Nguyên lí làm việc

Trong trạng thái ổn định, cổng 1 và cổng 2 thông : $v_I = 1$, $v_{O1} = 0$, $v_{I2} = 0$, $v_O = 0$.

Nếu v_I biến thành mức 0 (đưa vào xung âm) thì cổng 1 ngắt, v_{O1} tăng. Vì điện áp trên tụ không thể đột biến, nếu lúc đầu $v_{I2} = 0$ và cổng 2 ngắt, v_O đột biến lên mức cao E_D .

Trong khi cổng 1 và cổng 2 ngắt, tụ điện C phóng điện qua điện trở đầu ra R_O của cổng 1 và R, v_{I2} tăng dần lên. Giả sử v_I vẫn ở mức thấp. Đến khi $v_{I2} = V_T$ thì cổng 2 thông, v_O đột biến xuống 0.

Sau khi kết thúc xung vào (v_I lên 1), cổng 1 thông, điện dung lại nạp điện, mạch điện trở về trạng thái ổn định.

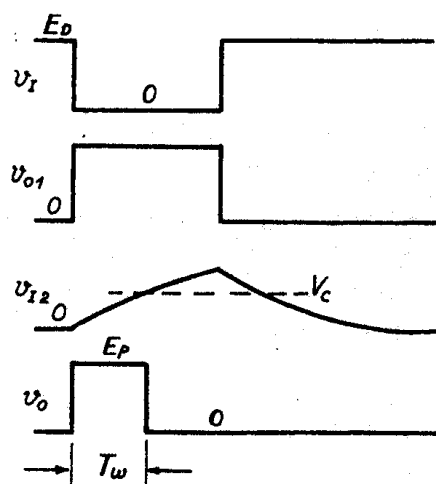
Xem dạng sóng hình 7-3-4.

Mạch 7-3-3 và mạch hình 7-3-1 có cùng một công thức bé rộng xung ra,

$$\text{tức là } T_w \approx (R + R_O) C \ln \frac{E_D}{E_D - V_T} \quad (7-3-3)$$

$$\text{Với } V_T = \frac{E_D}{2} \text{ thì } T_w \approx 0,7(R + R_O)C \quad (7-3-4)$$

Mạch 7-3-3 làm việc như là thu hẹp và đảo xung, độ rộng xung âm đầu vào phải lớn hơn T_w . Trong trường hợp ngược lại, mạch 7-3-3 chỉ là mạch đảo.



Hình 7-3-4.

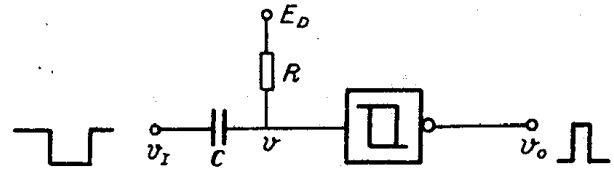
Dạng sóng đa hài đợi tích phân.

3) Đa hài đợi dùng Trigo Smit (CMOS)

a) Cấu trúc mạch điện

Trong hình 7-3-5 ta thấy đa hài đợi có Trigo Smit và mạch trễ RC.

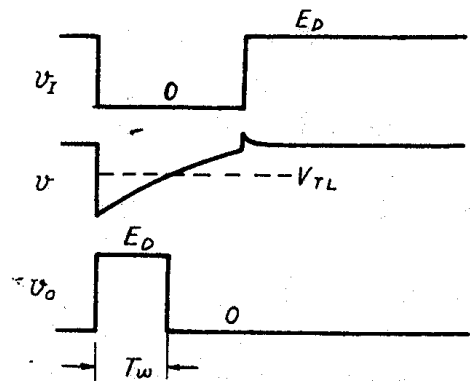
Hình 7-3-5.
Đa hài đợi
dùng Trigo Smit (CMOS).



b) Nguyên lí làm việc

Trạng thái ổn định : $v_I = E_D$, $v = E_D$, $v_O = 0$.

Khi đưa vào xung âm, v đột biến theo v_I xuống mức 0. Trigo Smit lật. v_O lên mức cao. C được nạp điện và v tăng dần lên. Khi $v = V_{T+}$ thì Trigo Smit lại lật về trạng thái ban đầu, v_O xuống mức thấp. Xem hình 7-3-6.



Hình 7-3-6. Dạng sóng mạch đơn ổn dùng Trigo Smit CMOS.

Các công thức tính :

$$\text{Độ rộng xung ra } T_w \approx RC \ln \frac{E_D}{E_D - V_{T+}} \quad (7-3-5)$$

$$\text{Với } V_{T+} = \frac{E_D}{2} \quad \text{thì} \quad T_w \approx 0,7RC \quad (7-3-6)$$

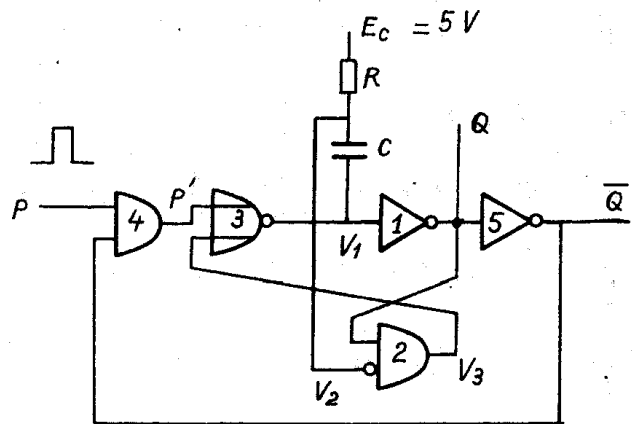
$$\text{Biên độ xung ra } V_m = V_{OH} - V_{OL} \approx E_D \quad (7-3-7)$$

7.3.2. Đa hài đợi họ TTL

1) Cấu trúc mạch điện

Xem hình 7-3-7, trong đó :

- Cổng 1, 2, 3 cấu trúc mạch Flip Flop,
- Cổng 4, 5 là mạch tạo dạng xung,
- RC là mạch định thời.



Hình 7-3-7. Vi mạch (IC) đa hài đợi họ TTL.

- Các cổng 1, 2, 3, 4, 5 (họ TTL)

có mức logic 1 là 3,6V

có mức logic 0 là 0,3V.

- Đầu vào V_2 biểu thị sử dụng mạch đảo. Mạch đảo này thông báo hòa thì $V_2 \approx 0,7V$, còn ngưỡng thông của nó cỡ 0,6v.

2) Nguyên lí làm việc

Trạng thái ổn định :

$P = P' = 0$. Mạch đảo đầu vào V_2 là bộ khuếch đại tranzito đầu nối theo mạch cực emitter chung, bây giờ báo hòa, $V_2 = 0,7V$. $V_3 = 0$, $V_1 = 1$, $Q = 0$, $\bar{Q} = 1$.

Khi có xung dương đầu vào : $P = 1$, $P' = 1$, $V_1 = 0$, $Q = 1$, $\bar{Q} = 0$, mạch ở trạng thái tạm ổn định.

Do $\bar{Q} = 0$ khóa cổng 4, nên sau khi kích bằng sườn dương xung P thì mạch bị cách li khỏi xung P.

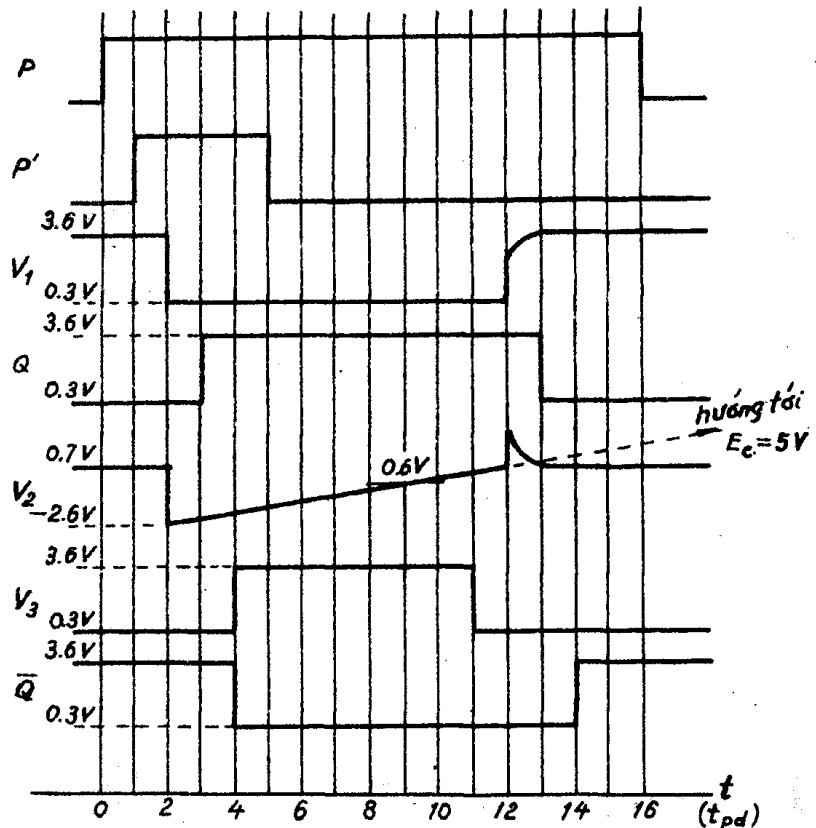
Vì điện áp trên tụ điện C không đột biến nên khi V_1 từ mức cao 3,6V đột biến xuống 0,3V thì V_2 từ mức 0,7V đột biến xuống -2,6V. Bắt đầu quá trình nạp điện của tụ điện C. V_2 tăng dần lên. Khi V_2 tăng lên đến ngưỡng thông 0,6V (của mạch đảo V_2) thì sinh ra quá trình phản hồi dương sau

$$V_2 \uparrow \rightarrow V_3 \downarrow \rightarrow V_1 \uparrow \rightarrow Q \downarrow$$

Quá trình này làm mạch nhanh chóng trở về trạng thái ổn định ban đầu : $V_3 = 0$, $V_1 = 1$, $Q = 0$, $\bar{Q} = 1$. Tiếp đó C phóng điện, V_2 dần dần khôi phục đến 0,7V. Xem dạng sóng hình 7-3-8. (Để đơn giản hóa, chúng ta giả định thời gian trễ truyền đạt của các cổng và bộ đảo pha đầu vào V_2 đều bằng t_{pd} , chúng ta cũng giả định các điện áp đầu ra đều đột biến).

Đối với đa hài dợt này, độ rộng xung ra được tính như sau :

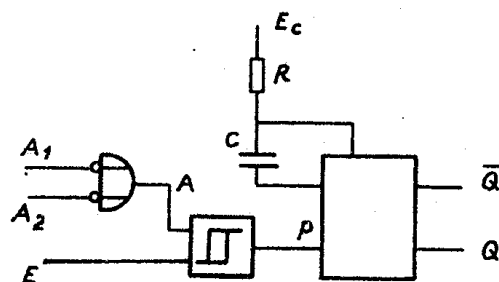
$$T_w \approx 0,7RC \quad (7-3-8)$$



Hình 7-3-8. Dạng sóng IC TTL.

Bằng việc chọn lựa R và C thích hợp có thể thiết kế được T_w trong phạm vi $40ns \div 28s$ với $\frac{T_w}{T} = 67 \div 90\%$.

Hình 7-3-9 giới thiệu mạch bên trong IC T1121. Mạch này giống sơ đồ hình 7-3-7, có thêm mạch Smit để tạo dạng xung cần thiết. Mạch Smit có chức năng logic AND. Khi $A = E = 1$ thì $P = 1$, nếu không thì $P = 0$. Ở trạng thái tĩnh mạch đơn ổn ở trạng thái ổn định ($Q = 0, \bar{Q} = 1$) không phụ thuộc vào P.



Hình 7-3-9. IC đa hài đợi TTL : T 1121.

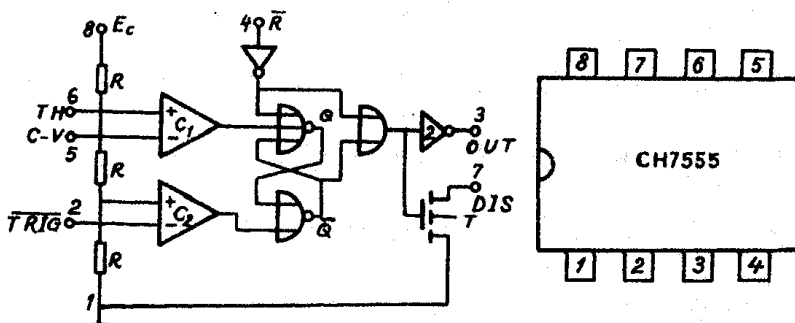
Chỉ khi $E = 1$ và A đột biến dương, hay $A = 1$ và E đột biến dương thì ta mới có đột biến dương của P. Do đó đa hài đợi mới chuyển đổi sang trạng thái tạm ổn định, tạo ra xung vuông đầu ra.

7.4. IC ĐỊNH THỜI

Bộ định thời 555 được sử dụng vô cùng rộng rãi. Dưới đây sẽ giới thiệu IC định thời họ CMOS.

7.4.1. IC định thời họ CMOS

CH7555 là bộ định thời IC họ CMOS điển hình. Xem hình 7-4-1. Bảng 7-4-1 giới thiệu các chân vi mạch



Hình 7-4-1. Bộ định thời CMOS.

Bảng 7-4-1 : GIỚI THIỆU CHỨC NĂNG CÁC CHÂN VI MẠCH CH7555

Kí hiệu chân	Chức năng	Kí hiệu chân	Chức năng
2. $\overline{TRIG}$	Đầu kích mức thấp	6. TH	Đầu kích mức cao
3. OUT	Đầu ra	7. DIS	Đầu phóng điện
4. R	Reset	5. C-V	Điện áp điều khiển

CH7555 cấu trúc từ các bộ phận sau :

1) Flip Flop RS cơ bản

Bộ phận FF do 2 cổng NOR cấu trúc nên. $\bar{R}$ là đầu vào Reset, $\bar{R} = 0$ thì $Q = 0, \bar{Q} = 1$.

2) Bộ so sánh

C_1 và C_2 là hai bộ so sánh CMOS. Bộ so sánh có 2 đầu vào với đánh dấu phân biệt là + và -. Nếu V_+ và V_- biểu thị điện áp trên các đầu vào tương ứng thì đầu ra bộ so sánh có mức logic cao khi $V_+ > V_-$, đầu ra bộ so sánh có mức logic thấp khi $V_+ < V_-$. Trở kháng đầu vào bộ so sánh cực lớn, có thể coi dòng điện đầu vào bằng 0.

3) Bộ phân áp

3 điện trở bằng nhau mắc nối tiếp thành mạch phân áp để đưa ra điện áp chuẩn cho các bộ so sánh C_1, C_2 làm việc. Đầu - của C_1 có điện áp chuẩn $V_- = \frac{2}{3} E_c$.

Đầu + của C_2 có điện áp chuẩn $V_+ = \frac{E_c}{3}$. Điện áp điều khiển đưa vào đầu C - V làm thay đổi mức điện áp tham khảo. Nếu không đưa điện áp điều khiển vào thì dùng tụ điện $0,01\mu F$ tiếp đất để ngăn mạch nhiễu tần số cao.

4) Chuyển mạch bóng MOS và tầng đệm đầu ra

Tranzito trường T cấu trúc thành chuyển mạch bị tín hiệu đầu ra cổng OR điều khiển. Đầu ra cổng OR ở mức 0 thì T ngắt, ở mức 1 thì T thông.

Tầng đệm đầu ra là bộ đảo 2. Mục đích tầng đệm để cách li ảnh hưởng của phụ tải và để tăng khả năng chịu tải của bộ định thời.

Bảng 7-4-2 giới thiệu chức năng bộ định thời CH7555

Bảng 7-4-2 : BẢNG CHỨC NĂNG CỦA CH7555

TH	$\overline{\text{TRIG}}$	$\bar{R}$	OUT	DIS
$\times$	$\times$	L	L	thông
$> \frac{2}{3} E_c$	$> \frac{E_c}{3}$	H	L	thông
$< \frac{2}{3} E_c$	$> \frac{E_c}{3}$	H	Không đổi	Không đổi
$\times$	$< \frac{E_c}{3}$	H	H	ngắt

Trong bảng 7-4-2, kí hiệu L là mức thấp, H là mức cao, $\times$ là tùy ý, "không đổi" là Flip Flop RC duy trì nguyên trạng kéo theo đầu ra và T cũng duy trì nguyên trạng, "thông" và "ngắt" là trạng thái của tranzito trường T. Tính đúng đắn của bảng 7-4-2 có thể nghiệm chứng từ sơ đồ hình 7.4.1. CH7555 do cấu trúc mạch như trên nên sử dụng rất linh hoạt, điện áp nguồn nuôi cho phép từ cực tiểu 3V đến cực đại 18V, công suất tiêu thụ cực đại là 200mW.

Ví dụ về bộ định thời IC tranzito lưỡng cực là 5G555, về cơ bản cũng giống CH7555 về cấu trúc và nguyên lý.

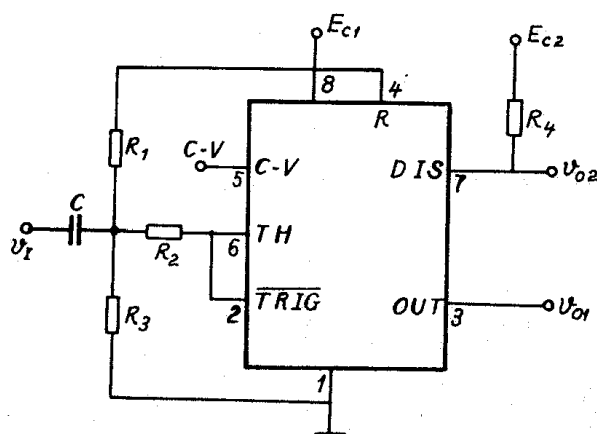
7.4.2. Ví dụ ứng dụng IC định thời

1) Trigo Smit

Mạch điện hình 7-4-2 là Trigo Smit cấu trúc từ IC CH7555 bằng cách nối liền các số 2 và số 6 của IC.

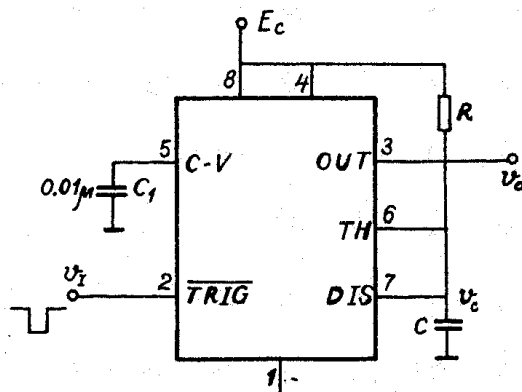
Trong hình 7-4-2, ngưỡng trên của Trigo Smit $V_{T+} = \frac{2}{3} E_{C1}$, ngưỡng dưới $V_{T-} = \frac{E_{C1}}{3}$. Độ chênh điện áp chuyển mạch $\Delta V = V_{T+} - V_{T-} = \frac{E_{C1}}{3}$. Nếu đưa điện áp V_{C-V} vào đầu vào điều khiển C - V thì có thể điều chỉnh V_{T+} , V_{T-} và ΔV (bằng cách thay đổi V_{C-V}). v_{02} thay đổi theo E_{C2} , nên chọn mức E_{C2} để bảo đảm mức v_{02} yêu cầu.

Hình 7-4-2.
Trigo Smit cấu trúc từ CH7555.



2) Đa hài dợt

Xem hình 7-4-3, trong đó RC là mạch định thời, $C_1 = 0,01\mu F$ là tụ lọc chống nhiễu, tín hiệu vào v_i đưa vào đầu kích mức thấp $\overline{TRIG}$, tín hiệu ra lấy ở đầu ra OUT. Ở trạng thái ổn định $v_i = E_c$, FFRS cơ bản ở trạng thái 0, cổng OR đưa ra mức cao làm cho T và bộ đảo 2 đều thông, $TH = DIS \approx 0$, $v_o \approx 0$.



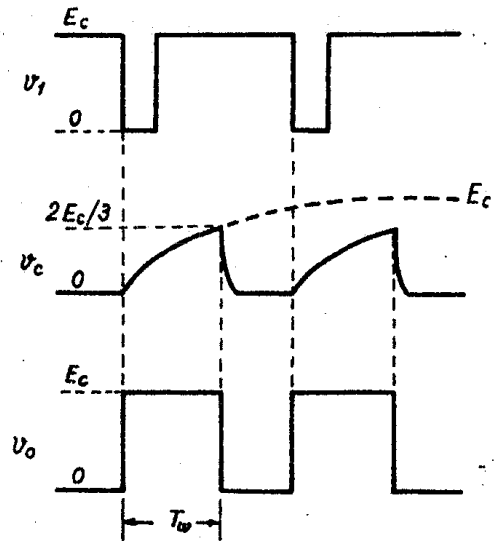
Hình 7-4-3. Đa hài dợt cấu trúc từ CH7555.

Nếu có xung âm v_i đưa đến đầu vào, đầu ra bộ so sánh C_2 có mức cao, FFRS cơ bản lập 1, $\overline{Q} = 0$, đầu ra cổng OR ở mức thấp, bộ đảo 2 ngắt, v_o lên mức cao, T ngắt. Mạch điện ở trạng thái tạm ổn. Ở trạng thái tạm ổn, C nạp điện từ E_c qua R. Trong quá trình nạp điện, điện áp $TH = DIS$ tăng cao dẫn đến mức ngưỡng

$\frac{2}{3} E_c$ thì đầu ra bộ so sánh C_1 lên mức cao, FFRS cơ bản về 0, $\overline{Q} = 1$, đầu ra cổng OR ở mức cao, bộ đảo 2 thông, v_o đột biến xuống mức thấp, T thông, tụ điện C phóng điện, mạch điện trở về trạng thái ổn định. Xem dạng sóng hình 7-4-4. Nếu bỏ qua điện áp rơi trên T thì độ rộng xung đầu ra là

$$T_w \approx RC \ln 3 \approx 1,1RC$$

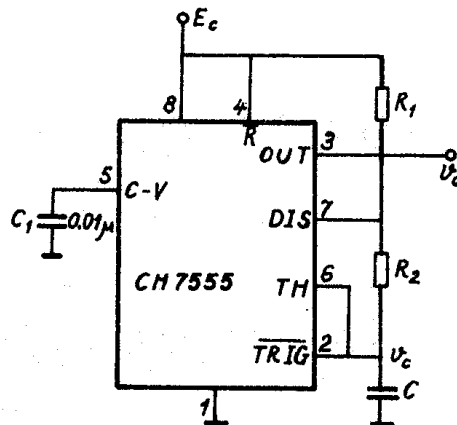
Do phân tích trên, mạch đa hài đợi yêu cầu xung kích đầu vào có độ rộng nhỏ hơn T_w . Nếu xung đưa đến có độ rộng lớn hơn T_w thì phải cho nó qua mạch vi phân RC để tạo ra xung hẹp yêu cầu.



Hình 7-4-4. Dạng sóng.

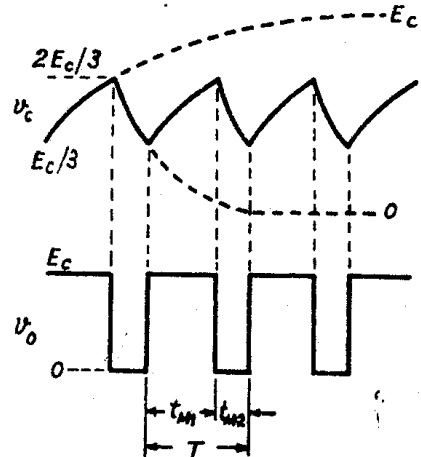
3) Bộ dao động đa hài

Xem hình 7-4-5 và 7-4-6. Trong sơ đồ mạch hình 7-4-5, R_1 , R_2 và C làm thành mạch định thời.



Hình 7-4-5.

Bộ dao động đa hài dùng CH7555.



Hình 7-4-6.

Dạng sóng.

Nguyên lý công tác của mạch như sau : khi Flip Flop RS cơ bản lật sang trạng thái 1 thì $\overline{Q} = 0$, cổng OR đưa ra mức thấp, bộ đảo 2 ngắt, điện áp đầu ra v_o là mức cao. Tranzito trường T ngắt.

Tụ điện C nạp điện từ nguồn E_c qua R_1 , R_2 . Trong quá trình C nạp, điện áp $TH = \overline{TRIG}$ tăng dần lên đến trị số ngưỡng $\frac{2}{3} E_c$ thì đầu ra của bộ so sánh C_1 đột biến lên mức cao, Flip Flop RC cơ bản xóa về 0, $\overline{Q} = 1$, đầu ra cổng OR ở mức cao, v_o đột biến xuống mức thấp, T thông. Tụ điện C phóng điện qua R_2 và T. Trong quá trình phóng điện đó, điện áp $TH = \overline{TRIG}$ giảm dần xuống đến trị số ngưỡng $\frac{E_c}{3}$ thì đầu ra bộ so sánh C_2 đột biến lên mức cao, Flip Flop RS cơ bản lập 1, $\overline{Q} = 0$, đầu ra cổng OR ở mức thấp, v_o đột biến lên mức cao, T ngắt, C

nạp... quá trình lặp lại một cách chu kì, mạch không ngừng dao động, tạo ra xung vuông ở đầu ra (hình 7-4-6). Các công thức tính như sau :

$$t_{M1} \approx (R_1 + R_2)C \ln 2 \approx 0,7(R_1 + R_2)C$$

$$t_{M2} \approx R_2 C \ln 2 \approx 0,7R_2 C$$

$$T = t_{M1} + t_{M2} \approx 0,7 (R_1 + 2R_2)C$$

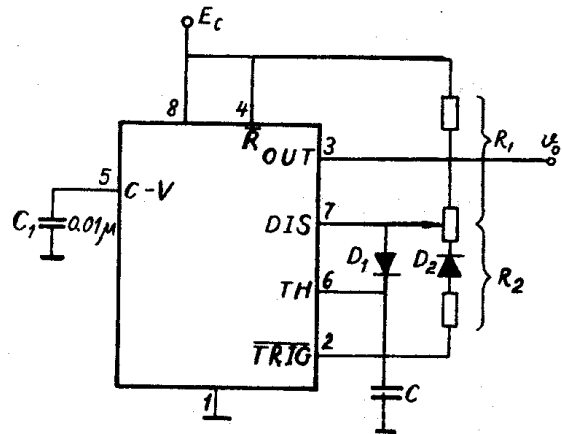
$$f = \frac{1}{T} \approx \frac{1,43}{(R_1 + 2R_2)C}$$

Hình 7-4-7 giới thiệu bộ dao động đa hài có thể thay đổi tỉ số $\frac{T_w}{T}$. Trong mạch này, khi tranzito trường T ngắt, tụ điện C nạp điện từ nguồn E_C qua R_1 , D_1 . Khi T thông, C phóng điện qua R_2 , D_2 , T. Vậy nên

$$T_{M1} \approx 0,7R_1 C$$

$$t_{M2} \approx 0,7R_2 C$$

$$\frac{T_w}{T} = \frac{t_{M1}}{t_{M1} + t_{M2}} \approx \frac{R_1}{R_1 + R_2}$$



Hình 7-4-7. Bộ dao động đa hài điều chỉnh tỉ số $\frac{T_w}{T}$.

Điều chỉnh chiết áp tức là thay đổi tỷ số $\frac{T_w}{T}$, thực chất làm độ rộng xung ra thay đổi. Bộ định thời 555 còn rất nhiều ứng dụng khác, mà vì khuôn khổ nên không thể giới thiệu hết ở đây.

TÓM TẮT

Trong chương này chúng ta đã tìm hiểu các mạch tạo xung. Mạch dao động xung tự kích không cần tín hiệu ngoài đưa vào ; sau khi được cấp nguồn một chiều, mạch tự động sinh ra xung vuông. Thuộc loại dao động tự kích này có các mạch : bộ dao động đa hài cơ bản cổng NAND họ TTL, bộ dao động vòng, bộ dao động thạch anh, bộ dao động đa hài cơ bản CMOS.

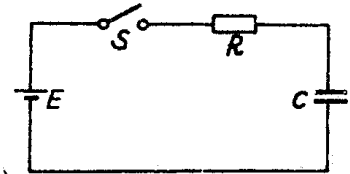
Mạch tạo dạng xung không tự động phát xung nhưng có thể biến tín hiệu đầu vào hình dạng khác thành ra xung vuông theo yêu cầu của mạch số. Trong số mạch tạo dạng xung, chúng ta đã tìm hiểu : Triger Smit và đa hài dợt.

Các mạch phát xung và tạo dạng xung trên đây, ngoài dùng làm xung đồng hồ ra còn có ứng dụng vô cùng rộng rãi trong các hệ thống xung - số. Bộ dao động đa hài thường dùng làm bộ tạo xung chuẩn thời gian và chuẩn tần số. Mạch đa hài dợt thường dùng để định thời và làm trễ xung. Triger Smit ngoài ứng dụng tạo dạng xung còn ứng dụng so sánh mức và giám sát mức. v.v...

Để phân tích quá trình quá độ của mạch xung, chúng ta dùng phương pháp phân tích hình sóng : đầu tiên căn cứ vào nguyên lý công tác của mạch điện mà vẽ ra dạng sóng dòng điện, điện áp trong quá trình, tiếp theo tìm ra giá trị khởi đầu và giá trị kết cuối của biến hóa dạng sóng, cuối cùng tính toán để có kết quả yêu cầu. Phương pháp này rất có ích và tiện lợi cho việc phân tích các mạch xung đơn giản.

BÀI TẬP

7-1. Cho mạch điện RC nối tiếp như hình vẽ, điện áp ban đầu và cuối cùng của tụ điện là $V(0)$ và $V(\infty)$.



1- Hãy chứng minh $V_c(t) = V(\infty) - [V(\infty) - V(0)]e^{-\frac{t}{\tau}}$

với $\tau = RC$

2- Hãy tìm hàm số $V_R(t)$ - điện áp trên R.

3- Hãy chứng minh rằng trong mạch điện chỉ có một hằng số thời gian duy nhất thì điện áp giữa 2 điểm bất kì trong mạch có dạng $V(t) = V(\infty) - [V(\infty) - V(0)]e^{-\frac{t}{\tau}}$

4 - Hãy chứng minh rằng $t_M = \tau \ln \frac{V(\infty) - V(0)}{V(\infty) - V_T}$

với $v(t_M) = V_T$

7-2. Trong mạch bộ dao động đa hài cơ bản dùng cổng NAND họ TTL, nếu giá trị điện trở R_{F1} , R_{F2} rất lớn hoặc nếu rất bé thì mạch điện có công tác bình thường không ? Tại sao ? Xem hình 7-1-2.

7-3. Cho mạch hình 7-1-2 và 7-1-3 với $R_1 = 3K\Omega$, $R_{F1} = R_{F2} = R_F = 1K\Omega$, $C_1 = C_2 = C = 2\mu F$. Hãy tính tần số dao động. Hãy vẽ dạng sóng đầu ra và chỉ rõ mức cao và mức thấp của sóng ra.

7-4. Trong sơ đồ bộ dao động đa hài vòng RC dùng cổng NAND (TTL) trên hình 7-1-7, tại sao giá trị điện trở R không nên quá lớn ?

7-5. Đặc điểm nổi bật của bộ dao động đa hài thạch anh là gì ?

Giả sử mạch hình 7-1-11 có $f_0 = 2MHz$, dao động đầu ra V_0 đưa vào làm xung đếm ở đầu vào bộ đếm thuận nhị phân dị bộ 4 bit.

Hỏi thời gian chu kì đếm của bộ đếm. Vẽ dạng sóng đầu ra Q của Flip Flop F4 (bit trọng số lớn nhất).

7-6. Trong sơ đồ bộ dao động đa hài CMOS hình 7-1-12, cho $R = 50k\Omega$, $C = 0,01\mu F$, hãy tính chu kì dao động. Giả sử $E_D = 10V$, hãy vẽ dạng sóng v_0 , v_{12} , v_{11} và đánh dấu mức cao, mức thấp của v_0 .

7-7. Đặc điểm quan trọng nhất của Triger Smit là gì ? Hãy vẽ dạng điện áp V_c (trên tụ điện) và điện áp đầu ra v_0 của mạch điện trên hình 7-2-9.

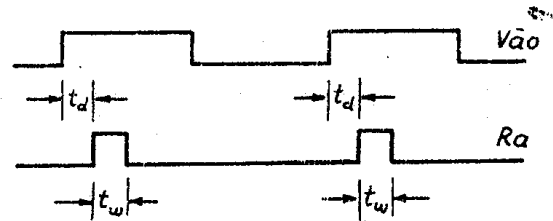
7-8. Dạng sóng v_i trong sơ đồ hình 7-1-14 và dạng sóng đầu vào sơ đồ hình 7-2-10 giống nhau. Hãy vẽ dạng sóng v_c và v_0 của mạch hình 7-2-14.

7-9. Xét đa hài đợi kiểu vi phân CMOS hình 7-3-1, cho điện trở đầu ra của cổng 1 là $R_o = 500\Omega$, $R_1 = 10k\Omega$, $C = 0,1\mu F$.

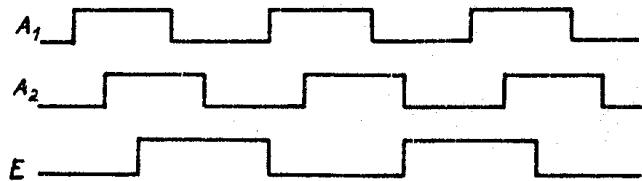
Hãy tính độ rộng xung đầu ra.

7-10. Xét đa hài đợi kiểu tích phân CMOS hình 7-3-3. Hãy vẽ dạng sóng đầu ra trong hai trường hợp : độ rộng xung v_i lớn hơn và bé hơn $T_W = 0,7 (R + R_o)C$.

7-11. Hãy thiết kế mạch làm trễ xung có dạng sóng đầu vào, đầu ra hình bên.



7-12. Xét mạch đa hài đợi IC TTL hình 7-3-9. Cho dạng sóng A_1 , A_2 , E như hình bên. Hãy vẽ dạng sóng Q và $\bar{Q}$ tương ứng.



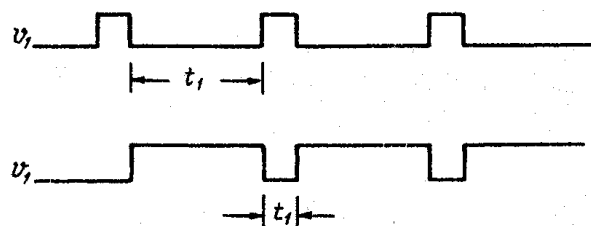
7-13. Xét mạch điện hình 7-4-2, giả định đầu C-V đã tiếp đất bằng tụ điện. Hãy vẽ dạng sóng v_{o1} , v_{o2} tương ứng với v_i là dao động điều hòa biên độ lớn.

7-14. Xét mạch điện hình 7-4-3.

1- Hãy tính độ rộng xung ra tương ứng giá trị $R = 50k\Omega$, $C = 2,2\mu F$

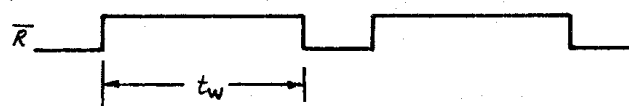
2- Hãy vẽ dạng sóng v_c , v_o tương ứng $t_i \gg T_W$

3- Hãy vẽ dạng sóng v_c , v_o tương ứng $t_i < T_W$



7-15. Xét mạch điện hình 7-4-7. Cho $R_1 = R_2 = 2,2k\Omega$, $C = 2,2\mu F$. Hãy tính tần số dao động.

Giả định đầu $\bar{R}$ có xung vuông hình bên, bề rộng xung t_w này lớn hơn chu kì dao động nhiều, hãy vẽ dạng sóng v_o tương ứng.



Chương 8

BIẾN ĐỔI SỐ - TƯƠNG TỰ VÀ BIẾN ĐỔI TƯƠNG TỰ - SỐ

8.1. GIỚI THIỆU CHUNG

Do sự phát triển nhanh chóng của kĩ thuật điện tử số, đặc biệt là sự ứng dụng phổ biến của máy tính điện tử số, nên thường phải dùng mạch số để xử lí tín hiệu tương tự.

Muốn dùng hệ thống số xử lí tín hiệu tương tự, thì phải biến đổi tín hiệu tương tự thành tín hiệu số tương ứng, rồi đưa vào được để hệ thống số (máy tính số chẳng hạn) xử lí. Mặt khác, thường có yêu cầu biến đổi tín hiệu số (kết quả xử lí) thành tín hiệu tương tự tương ứng để đưa ra sử dụng. Chúng ta gọi sự chuyển đổi từ tín hiệu tương tự sang tín hiệu số là chuyển đổi AD, và mạch điện thực hiện công việc đó là ADC. Chúng ta gọi sự chuyển đổi từ tín hiệu số sang tín hiệu tương tự là chuyển đổi DA, và mạch điện tương ứng là DAC.

Để kết quả xử lí nhận được chính xác thì chuyển đổi AD và DA phải có độ chính xác đủ cao. Mặt khác, muốn dùng hệ thống số điều khiển, giám sát các quá trình biến đổi nhanh thì ADC và DAC phải có tốc độ đủ lớn. Vậy độ chính xác và tốc độ chuyển đổi là các đặc trưng kĩ thuật chủ yếu để đánh giá chất lượng ADC và DAC.

Mấy năm gần đây, sự phát triển của kĩ thuật chuyển đổi AD, DA là cực kì nhanh chóng. Đặc biệt, để thích hợp với yêu cầu sản xuất các IC một chip ADC, DAC, người ta đã không ngừng nghiên cứu và ứng dụng rất nhiều phương pháp chuyển đổi mới và rất nhiều mạch điện chuyển đổi mới. Trong chương này, chúng ta chỉ tìm hiểu DAC hình T và ADC xấp xỉ tiệm cận, là những bộ biến đổi điển hình được dùng nhiều.

8.2. BỘ BIẾN ĐỔI DAC

8.2.1. Bộ biến đổi DAC điện trở hình T

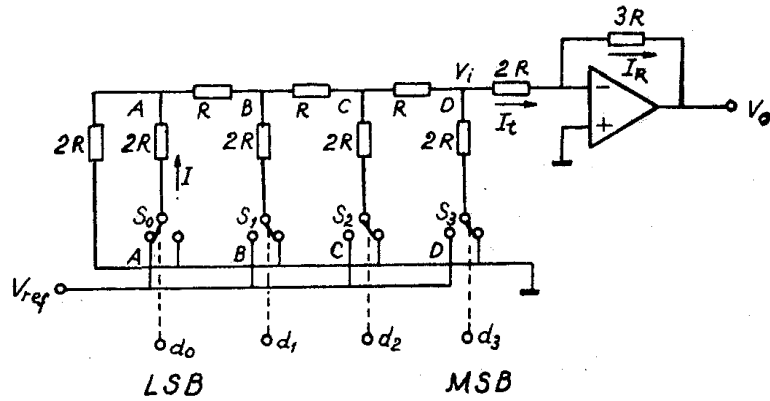
Hình 8-2-1 là sơ đồ DAC điện trở hình T4bit. Hai loại giá trị điện trở R và $2R$ được mắc thành 4 cực hình T nối dây chuyển. S_3, S_2, S_1, S_0 là các chuyển mạch tương tự. Bên phải hình có bộ khuếch đại đảo dùng khuếch đại thuật toán. V_{ref} là điện áp chuẩn tham khảo. $d_3d_2d_1d_0$ là mã nhị phân 4 bit đầu vào. V_o là điện áp

tương tự đầu ra. Các chuyển mạch S_3, S_2, S_1, S_0 chịu sự điều khiển của tín hiệu $d_3d_2d_1d_0$ tương ứng : khi $d_i = 1$ thì S_i đấu vào V_{ref} , khi $d_i = 0$ thì S_i nối đất.

1) Nguyên lý làm việc

Để tiện thuyết minh nguyên lý làm việc của mạch hình 8-2-1, chúng ta hãy đơn giản hóa mạng điện trở hình T.

Nếu $d_3d_2d_1d_0 = 0001$ thì chỉ có S_0 đấu vào V_{ref} , S_3, S_2, S_1 đều nối đất. Áp dụng định lý Thevenin tuần tự đơn giản hóa mạch từ đầu AA sang phải. Ta thấy rằng cứ qua mỗi mắt mạch (A, B, C, D) thì điện áp ra suy giảm đi một nửa. Vậy nếu V_{ref} đấu vào S_0 thì trên đầu ra DD chỉ còn $\frac{V_{ref}}{2^4}$. Cũng với phương pháp trên, xét riêng S_1, S_2, S_3 đấu vào V_{ref} thì trên đầu ra DD tương ứng ($d_3d_2d_1d_0 = 0010, 0100, 1000$) có các điện áp $\frac{V_{ref}}{2^3}, \frac{V_{ref}}{2^2}, \frac{V_{ref}}{2^1}$. Điện trở tương đương của phần mạch bên trái DD bao giờ cũng là R .

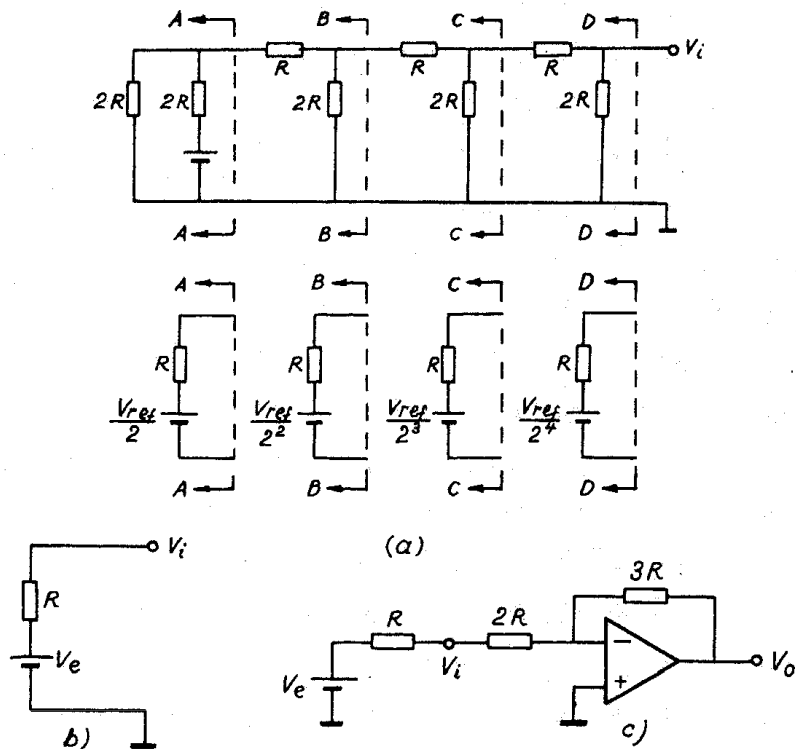


Hình 8-2-1. DAC điện trở hình T.

Hình 8-2-2.

Mạch tương đương của mạch điện hình 8-2-1 :

- Mạng điện trở hình T khi $d_3d_2d_1d_0 = 0001$;
- Mạch tương đương mạng điện trở hình T ;
- Mạch tương đương của mạch điện hình 8-2-1.



Áp dụng nguyên lý xếp chồng đối với các giá trị điện áp trên, ta có mạch tương đương mạng điện trở hình T trên hình 8-2-2b. Trong đó nội trở tương đương là R, sức điện động nguồn tương đương là V_e :

$$V_e = \frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (8-2-1)$$

Hình 8-2-2c là sơ đồ tương đương toàn mạch, theo lý thuyết mạch khuếch đại thuật toán, ta có điện áp tương tự đầu ra V_o là

$$V_o = -V_e = -\frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (8-2-2)$$

Biểu thức (8-2-2) chứng tỏ rằng biên độ điện áp tương tự đầu ra tỉ lệ thuận với giá trị tín hiệu số đầu vào. Có thể thấy rằng đối với DAC điện trở hình T n bit thì điện áp tương tự đầu ra V_o là

$$V_o = -\frac{V_{ref}}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) \quad (8-2-3)$$

2) Sai số chuyển đổi

Các nguyên nhân dẫn đến sai số của DAC điện trở hình T là :

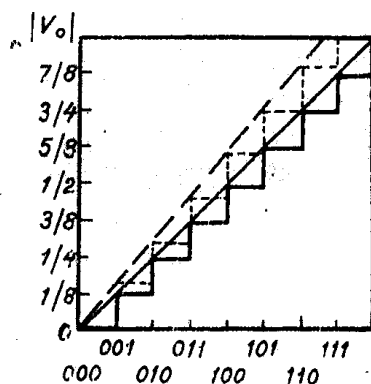
- Sai lệch điện áp chuẩn tham khảo V_{ref} .
- Sự trôi điểm 0 của khuếch đại thuật toán.
- Điện áp rơi trên điện trở tiếp xúc của tiếp điểm chuyển mạch.
- Sai số của điện trở.

Từ (8-2-3) ta có sai số chuyển đổi DA do riêng sai lệch điện áp chuẩn tham khảo V_{ref} gây ra :

$$\Delta V_o = -\frac{1}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) \Delta V_{ref} \quad (8-2-4)$$

Biểu thức (8-2-4) chứng tỏ rằng sai số của điện áp tương tự ΔV_o tỉ lệ thuận với sai lệch ΔV_{ref} và tỉ lệ thuận với giá trị tín hiệu số đầu vào. Hình 8-2-3 biểu thị bằng đường nét đứt sự biến đổi của V_o khi ΔV_{ref} không đổi. Biểu thức (8-2-4) cũng chứng tỏ rằng nếu giá trị tín hiệu số không đổi thì sai số ΔV_o tỉ lệ thuận sai lệch ΔV_{ref} . Chúng ta gọi sai số này là sai số hệ số tỉ lệ.

Sự trôi điểm 0 của bộ khuếch đại thuật toán ảnh hưởng như nhau đối với mọi giá trị tín hiệu số được biến đổi ; sai số ΔV_o do trôi điểm 0 không phụ thuộc giá trị tín hiệu số. Hình 8-2-4 biểu thị bằng nét đứt đặc tuyến điện áp ra khi có sai số trôi, đặc tuyến này đã bị dịch ngang so với đặc tuyến lý tưởng.



Hình 8-2-3. Sai số hệ số tỉ lệ.

Chúng ta gọi sai số này là sai số trôi (hay sai số dịch ngang). Các chuyển mạch không phải là lý tưởng. Thực tế điện áp rơi khi nối thông của mạch điện chuyển mạch không thể tuyệt đối bằng 0. Vậy điện áp rơi này đóng vai trò tín hiệu sai số đưa đến đầu vào mạng điện trở hình T. Từ sự phân tích hình 8-2-2 ta thấy rằng điện áp rơi của mỗi chuyển mạch sẽ gây ra sai số khác nhau đối với điện áp tương tự đầu ra. Gọi ΔV_i là điện áp rơi của chuyển mạch S_i nối thông. Tổng sai số chuyển đổi do điện áp rơi các chuyển mạch là

$$|\Delta V_o| = \frac{1}{2^4} (2^3 \Delta V_{S3} + 2^2 \Delta V_{S2} + 2^1 \Delta V_{S1} + 2^0 \Delta V_{S0}) \quad (8-2-5)$$

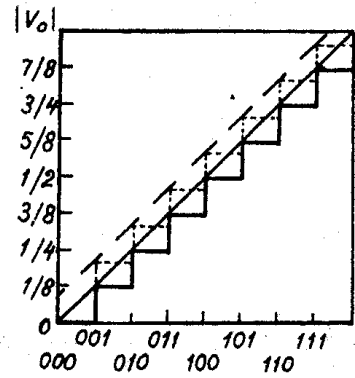
Cần lưu ý rằng ΔV_o không phải là hằng số, cũng không tỉ lệ thuận với giá trị tín hiệu số (nói chung $\Delta V_{S3} \neq \Delta V_{S2} \neq \Delta V_{S1} \neq \Delta V_{S0}$, hơn nữa điện áp rơi của cùng chuyển mạch cũng lấy giá trị khác nhau trong hai trường hợp : nối vào V_{ref} hay nối đất). Chúng ta gọi sai số này là sai số phi tuyến.

Sai số giá trị điện trở cũng gây ra sai số phi tuyến. Sai số của các điện trở không như nhau, tác động gây sai số chuyển đổi DA của những điện trở khác nhau về vị trí là khác nhau.

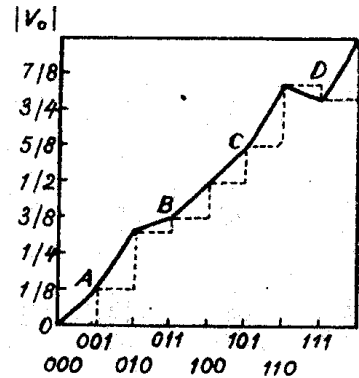
Hình 8-2-5 biểu thị 2 tình huống của sai số phi tuyến. Sai số sinh ra trong khoảng AB là đơn điệu. Sai số sinh ra trong khoảng CD là không đơn điệu. Sai số không đơn điệu có thể làm cho hệ thống không ổn định ; vậy cố gắng tránh.

Từ công thức 8-2-3 có thể thấy rằng trên thực tế thì điện áp đầu ra chỉ phụ thuộc vào tỉ số các giá trị điện trở, chứ không phụ thuộc vào giá trị tuyệt đối của mỗi điện trở. Điều này tạo thuận lợi cho sản xuất IC. Trên mạch điện một chip của IC, rất khó bảo đảm độ chính xác cao của giá trị điện trở, nhưng dễ hơn là bảo đảm độ chính xác cao của tỉ số các giá trị điện trở đó.

Trong trạng thái động, có thể xem mạng điện trở hình T như một dây truyền dẫn. Vậy các tín hiệu xung sinh ra tại các chuyển mạch có thời gian truyền đến đầu vào bộ khuếch đại thuật toán không như nhau. Do đó sẽ sinh ra các xung nhọn biên độ đáng kể ở đầu ra. Lại thêm sai số thời gian chuyển mạch có thể kéo dài thời gian duy trì xung nhọn. Trong trạng thái động, giá trị tức thời của điện áp tương tự đầu ra có thể lớn hơn nhiều giá trị ổn định, nghĩa là sai số động có thể rất lớn. Giá trị đỉnh của xung nhọn sinh ra trong trường hợp bit trọng số lớn nhất của tín hiệu số đầu vào từ 0 chuyển sang 1 trước, còn tất cả các bit khác vẫn ở 1. Lúc này giá trị điện áp tức thời đầu ra bằng giá trị điện áp tương tự đầu ra do chuyển đổi DA của tín hiệu số lớn nhất (các bit đều là 1).



Hình 8-2-4. Sai số trôi.



Hình 8-2-5. Sai số phi tuyến.

Để khử bỏ ảnh hưởng của sai số động, ta có thể dùng mạch giữ lấy mẫu ở đầu ra DAC. (Xem 8-3-2), hơn nữa thời gian lấy mẫu chọn sau khi đã kết thúc quá trình quá độ. Vì lúc lấy mẫu thì xung nhọn đã qua rồi, nên sai số động không ảnh hưởng đến mẫu nữa.

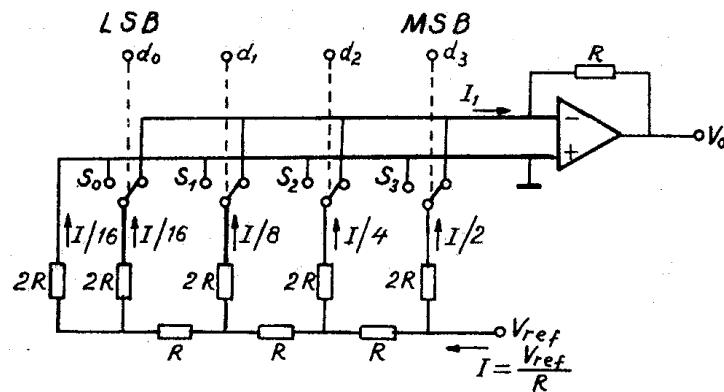
3) Tốc độ chuyển đổi

DAC điện trở hình T công tác song song (các bit tín hiệu số đầu vào được đưa vào song song) nên có tốc độ chuyển đổi cao. Thời gian cần thiết cho một lần chuyển đổi gồm hai đoạn : thời gian trễ truyền đạt của bit tín hiệu vào xa nhất nào đó đến bộ khuếch đại thuật toán và thời gian cần thiết để bộ khuếch đại thuật toán ổn định tín hiệu ra. Hiện nay IC đơn chip DAC 10 ÷ 12 bit có thời gian chuyển đổi cỡ vài μs , trong đó thời gian trễ truyền đạt không quá $1 \mu s$.

4) DAC điện trở hình T đảo

Hình 8-2-6.

DAC điện trở hình T đảo.
MSB - most significant bit.
(Bit trọng số lớn nhất)
LSB - least significant bit
(Bit trọng số nhỏ nhất)



Để tránh khỏi xung nhọn xuất hiện trong quá trình động của DAC điện trở hình T, nhờ vậy nâng cao thêm tốc độ chuyển đổi, ta tìm cách duy trì dòng điện chạy qua mỗi nhánh trong mạng là không đổi. Dù tín hiệu số đầu vào là 1 hay là 0 thì dòng điện trong nhánh tương ứng với bit đó cũng không đổi. Vậy là có thể loại trừ cơ bản nguyên nhân tạo ra xung nhọn. Hình 8-2-6 giới thiệu cách nối mạch bảo đảm mục đích đó. Chúng ta gọi mạch hình 8-2-6 là DAC điện trở hình T đảo.

Nếu bit bất kì của tín hiệu số đầu vào là 1 thì chuyển mạch tương ứng sẽ nối điện trở nhánh xét vào đầu đảo bộ khuếch đại thuật toán. Nếu bit là 0 thì chuyển mạch sẽ nối điện trở xuống đất. Vậy dù trạng thái tín hiệu đầu vào thế nào thì dòng điện mỗi nhánh đều giữ trước sau không đổi. Dòng điện tổng lấy từ nguồn điện áp chuẩn tham khảo do đó cũng không đổi : $I = \frac{V_{ref}}{R}$.

Xét mạch hình 8-2-6, ta có

$$V_o = -I_1 R = -\frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \quad (8-2-6)$$

Tức là điện áp tương tự đầu ra tỉ lệ với giá trị tín hiệu số đầu vào. Ưu điểm nổi bật của mạch điện này là tốc độ cao và xung nhọn đầu ra trong quá trình động thì rất nhỏ. Dòng điện trong các nhánh của mạng điện trở hình T đảo nối trực tiếp

vào đầu vào bộ khuếch đại thuật toán ; vì vậy không có sai lệch thời gian truyền đạt giữa chúng, tức là giảm nhỏ sai số trạng thái động.

Trong quá trình chuyển đổi trạng thái, dòng điện trong từng nhánh vẫn không đổi, không cần thời gian kiến lập và ngắt bỏ của dòng điện (các chuyển mạch tương tự nói chung đều công tác theo yêu cầu trước thông sau ngắt khi chuyển đổi trạng thái).

Vì những nguyên nhân trên đây, mạch DAC điện trở hình T đảo là mạch có tốc độ chuyển đổi DA hạng cao nhất.

Sai số tĩnh của mạch T đảo không có gì khác mạch T trên đây.

5) Chuyển mạch tương tự

Các chuyển mạch tương tự được dùng trong DAC hình 8-2-1 và hình 8-2-6 cần có những đặc trưng công tác sau : 1) Trạng thái của tín hiệu số đầu vào (mức logic 1 hoặc 0) điều khiển trạng thái thông ngắt của chuyển mạch. Đặc điểm này giống như yêu cầu mạch cổng đối với bộ đảo. 2) Sự thông và ngắt của chuyển mạch không được ảnh hưởng đến giá trị tín hiệu tương tự thông qua nó. Nghĩa là yêu cầu chuyển mạch công tác lí tưởng : điện áp rơi tiếp thông bằng 0, nội trở hở ngắt mạch bằng ∞ .

Chúng ta biết rằng, trong mạch logic, chuyển mạch logic chỉ có yêu cầu phải thỏa mãn là phân biệt mức logic (1 và 0). Yêu cầu này cho phép mức logic 1 và mức logic 0 có phạm vi biến đổi như đã quy định. Vậy yêu cầu chuyển mạch tương tự cao hơn nhiều yêu cầu đối với chuyển mạch logic. Chúng ta gọi chuyển mạch có đặc điểm thứ hai nói trên là chuyển mạch tương tự.

Chuyển mạch tương tự thường dùng có hai loại : chuyển mạch tương tự lưỡng cực dùng tranzito lưỡng cực, chuyển mạch tương tự đơn cực dùng tranzito trường. Chuyển mạch lưỡng cực có nhiều cấu trúc mạch khác nhau, nhưng có thể phân làm hai nhóm cấu trúc mạch chính : bão hòa và không bão hòa. Chuyển mạch tương tự lưỡng cực bão hòa có tốc độ chuyển mạch thấp vì tranzito làm việc ở chế độ bão hòa sâu nên thời gian tồn trữ hạt dẫn rất đáng kể, chuyển mạch lưỡng cực không bão hòa có tốc độ cao vì tranzito không bão hòa khi nối thông.

Chuyển mạch tương tự đơn cực có rất nhiều chủng loại... trong chương 2, ta đã biết cổng chuyển mạch CMOS, đó là cơ sở để cải tiến thành chuyển mạch tương tự CMOS được sử dụng rất rộng rãi. Khi thiết kế chế tạo DAC, chuyển mạch tương tự và các bộ phận hợp thành khác của DAC cùng ở trên một chip.

8.2.2. Các chỉ tiêu kĩ thuật chủ yếu của bộ biến đổi DAC

1) Độ phân giải

Độ phân giải là tỉ số giữa giá trị cực tiểu đối với giá trị cực đại của điện áp đầu ra, về trị số tỉ số này tương ứng tỉ số giá trị cực tiểu đối với giá trị cực đại của tín hiệu số đầu vào.

Ví dụ, đối với DAC 10 bit, độ phân giải là

$$\frac{0000000001}{1111111111} = \frac{1}{2^{10} - 1} = \frac{1}{1023} \approx 0,001$$

Độ phân giải DAC cũng có thể biểu thị bằng số bit của tín hiệu số đầu vào.

2) Độ tuyến tính

Độ tuyến tính của DAC biểu thị bằng sai số phi tuyến. Sai số phi tuyến là số % của giá trị lệch cực đại khỏi đặc tính vào - ra lí tưởng so với giá trị cực đại đầu ra.

3) Độ chính xác chuyển đổi

Độ chính xác chuyển đổi xác định bằng sai số chuyển đổi tính cực đại. Sai số này phải bao gồm sai số phi tuyến, sai số hệ số tỉ lệ và sai số trôi v. v... trong tài liệu kĩ thuật của sản phẩm, đôi khi chỉ cho riêng từng sai số trên mà không cho sai số tổng hợp.

4) Thời gian xác lập dòng, áp đầu ra

Thời gian xác lập ra là thời gian từ khi tín hiệu số được đưa vào đến khi dòng hoặc áp đầu ra đã ổn định. Cũng có tài liệu kĩ thuật của sản phẩm xem thời gian xác lập ra là thời gian cần thiết để mức đầu ra đạt đến số % quy định của mức đầu ra cực đại.

5) Các mức logic cao, thấp và điện trở, điện dung của đầu vào

6) Dải động, điện trở, điện dung của đầu ra

7) Hệ số nhiệt độ

Hệ số nhiệt độ là số % biến thiên mức đầu ra khi nhiệt độ tăng 1°C trong điều kiện mức đầu ra cực đại.

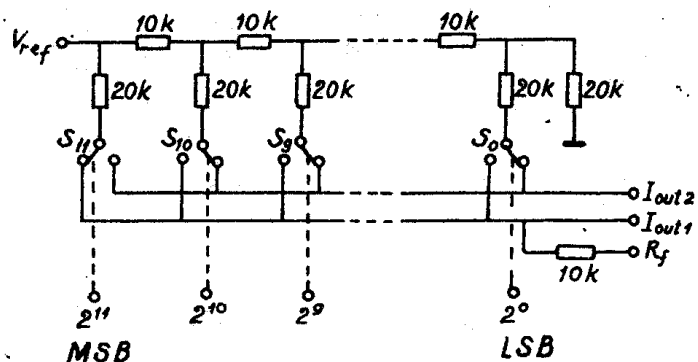
8) Tỉ số phụ thuộc nguồn

DAC chất lượng cao yêu cầu sự ảnh hưởng của biến thiên điện áp nguồn đối với điện áp đầu ra vô cùng nhỏ. (Nguồn xét để cung cấp cho chuyển mạch và khuếch đại thuật toán). Tỉ số phụ thuộc nguồn là tỉ số biến thiên mức điện áp đầu ra với biến thiên điện áp nguồn gây ra nó.

9) Công suất tiêu hao

8.2.3. Ví dụ IC 1 chip DAC

Hình 8-2-7 giới thiệu sơ đồ nguyên lí của IC AD7541. AD7541 là DAC 12 bit CMOS 1 chip, dùng mạng điện trở hình T đảo và chuyển mạch tương tự CMOS. Để



Hình 8-2-7. Sơ đồ nguyên lí của AD7541.

có DAC hoàn chỉnh cần phối ghép AD7541 với bộ khuếch đại thuật toán ngoài.

Trong hình 8-2-8, bộ khuếch đại thuật toán AD741 có biên độ điện áp ra $> \pm 10V$, R_1 là điện trở bù của mạng điện trở hình T đảo (điều chỉnh giá trị dòng đầu ra của mạng) R_2 là điện trở bù của điện trở hồi tiếp R_f (bù sai lệch của giá trị R_f).

Nếu $V_c = +15V$, $V_{ref} = +10V$

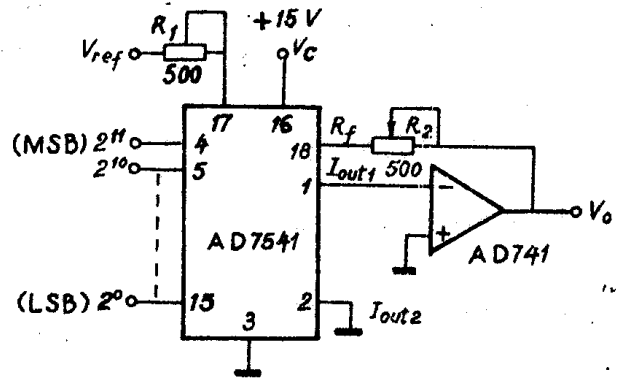
Thì :

Khi đầu vào là 111111111111, đầu ra là $V_o = -9,99975V$.

Khi đầu vào là 100000000000, đầu ra là $V_o = -5,00000V$.

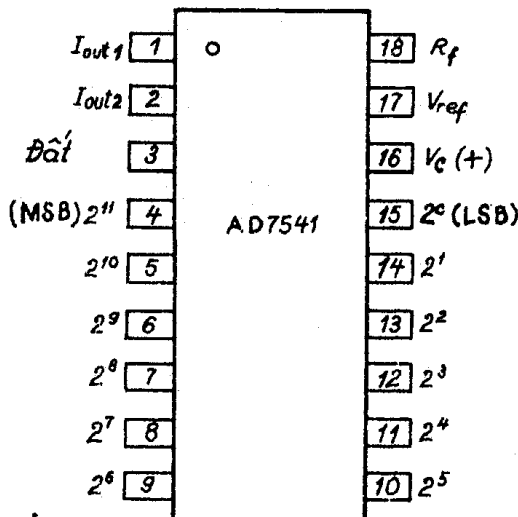
Khi đầu vào là 000000000000, đầu ra là $V_o = 0V$.

AD7541 đóng vỏ DIPS (hai hàng chân song song), có 18 chân, xem hình 8-2-9



Hình 8-2-8.

Nối ghép AD7541 với khuếch đại thuật toán.



Hình 8-2-9. Bố trí chân.

Tương tự AD7541, Trung Quốc sản xuất IC 1 chip DAC 5G7520. 5G7520 là DAC 10 bit, dùng mạng điện trở hình T đảo và chuyển mạch tương tự CMOS, có 16 chân ra, đóng vỏ DIPS.

Bảng 8-2-1

CHỈ TIÊU KỸ THUẬT CỦA AD7541 (Nói chung số liệu lấy với điều kiện

$$T_A = +25^{\circ}\text{C} ; V_C = +5\text{V} ; V_B = -15\text{V}$$

Tên tham số		Điều kiện đo lường	Chỉ tiêu
Độ phân giải			12
Sai số phi tuyến			$\leq \pm 0,02\% \text{FSR}^{**}$
Sai số hệ số tỉ lệ			$\leq \pm 0,3\% \text{FSR}$
Tỉ số phụ thuộc nguồn		$V_{DD} = 14,5\text{V} \sim 15,5\text{V}$	$\leq \pm 0,1\% \text{per}\%^{***}$
Dòng điện dò đầu ra		$V_{ref} = \pm 10\text{V}$	$\leq \pm 5\text{nA}$
Điện trở đầu vào chuẩn			$5 \sim 20\text{k}\Omega$
Mức tín hiệu số đầu vào	V_{IH}		$> 2,4\text{V}$
	V_{IL}		$< 0,8\text{V}$
Dòng dò đầu vào		$V_I = 0$	$\leq \pm 1\mu\text{A}$
Điện dung đầu vào			$\leq 8\text{pF}$
Mã tín hiệu số			
Điện dung đầu ra	C_{out1}	$V_I = V_{IL}$ (toàn bộ đầu vào)	$\leq 200\text{pF}$
	C_{out2}		$\leq 60\text{pF}$
	C_{out1}	$V_I = V_{IL}$ (toàn bộ đầu vào)	$\leq 60\text{pF}$
	C_{out2}		$\leq 200\text{pF}$
Thời gian xác lập			$\leq 1\mu\text{s}$
Điện áp nguồn			$5 \sim 16\text{V}$
Dòng điện nguồn			$\leq 2\text{mA}$

FSR - Full Scale Range Giá trị cực đại R_a *** Biến đổi mức đầu ra $\leq \pm 0,1\%$ khi nguồn V_{DD} biến đổi 1%.

8.3. BỘ BIẾN ĐỔI ADC

8.3.1. Các bước chuyển đổi AD và định lí lấy mẫu

Trong ADC, tín hiệu tương tự đầu vào là liên tục, tín hiệu số mã hóa ở đầu ra là rời rạc. Sự chuyển đổi AD đòi hỏi phải lấy mẫu đối với tín hiệu tương tự ở đầu vào ở những thời điểm quy định, sau đó chuyển đổi các giá trị mẫu đó thành lượng số đầu ra. Vậy quá trình chuyển đổi AD nói chung có 4 bước : lấy mẫu, nhớ mẫu, lượng tử hóa, mã hóa. Như chúng ta sẽ thấy sau đây, các bước trên đây luôn luôn kết hợp nhau trong một quá trình thống nhất. Ví dụ, lấy mẫu và nhớ mẫu là công việc liên tục của cùng một mạch điện, lượng tử hóa và mã hóa là công việc đồng thời thực hiện trong quá trình chuyển đổi với khoảng thời gian cần thiết là một phần của thời gian nhớ mẫu.

1) Định lý lấy mẫu

Người ta đã chứng minh rằng, đối với tín hiệu tương tự v_I thì tín hiệu lấy mẫu v_s sau quá trình lấy mẫu có thể khôi phục trở lại v_I một cách trung thực, nếu điều kiện sau đây được thỏa mãn

$$f_s \geq 2F_{I\max}$$

(8-3-1)

f_s là tần số lấy mẫu, $F_{I\max}$ là giới hạn trên của dải tần tín hiệu tương tự. (8-3-1) là nội dung định lý lấy mẫu.

Nếu (8-3-1) được thỏa mãn, có thể dùng bộ lọc thông thấp để khôi phục v_I từ v_s . Hình 8-3-2 biểu thị đặc tính tần số của bộ lọc thông thấp xét : hệ số truyền đạt điện áp $|A(f)|$ của bộ lọc trong phạm vi dải tần $< F_{I\max}$ cần giữ không đổi, còn trong phạm vi dải tần $f_s - F_{I\max}$ phải nhanh chóng giảm xuống 0. Vậy định lý lấy mẫu quy định cho chúng ta giới hạn dưới của tần số trong chuyển đổi AD.

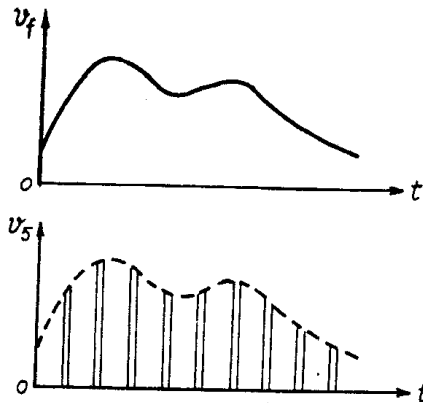
Vì mỗi lần chuyển đổi điện áp lấy mẫu thành tín hiệu số tương ứng đều cần một thời gian nhất định, nên phải nhớ mẫu một khoảng thời gian cần thiết sau mỗi lần lấy mẫu. Điện áp tương tự đầu vào được thực hiện chuyển đổi AD, trên thực tế là giá trị v_I đại diện, giá trị này là kết quả của mỗi lần lấy mẫu.

2) Lượng tử hóa và mã hóa

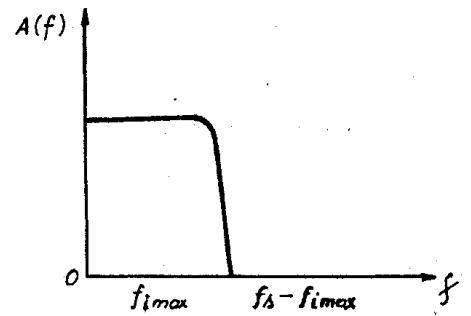
Ta đã biết, tín hiệu số không những là rời rạc trong thời gian, mà còn không liên tục trong biến đổi giá trị. Một giá trị bất kì của tín hiệu số đều phải biểu thị bằng bội số nguyên lần giá trị đơn vị nào đó, giá trị này là nhỏ nhất được chọn. Nghĩa là, nếu dùng tín hiệu số biểu thị điện áp lấy mẫu, thì tất phải bắt điện áp lấy mẫu hóa thân thành bội số nguyên lần giá trị đơn vị. Quá trình này gọi là lượng tử hóa. Đơn vị được chọn theo quy định này gọi là đơn vị lượng tử, kí hiệu là Δ . Rõ ràng, giá trị bit 1 của LSB tín hiệu số bằng Δ . Việc dùng mã nhị phân biểu thị giá trị tín hiệu số là mã hóa. Mã nhị phân có được sau quá trình trên chính là tín hiệu đầu ra của chuyển đổi AD.

Tín hiệu tương tự đã là liên tục thì không nhất thiết phải là bội số nguyên lần của Δ . Do đó ta không tránh khỏi sai số lượng tử hóa. Tồn tại những cách khác nhau phân chia các mức lượng tử dẫn đến sai số lượng tử hóa khác nhau.

Giả sử ta chuyển đổi tín hiệu điện áp tương tự $0 \div 1V$ thành tín hiệu số nhị phân 3 bit. Nếu chọn $\Delta = \frac{1}{8}V$, đồng thời quy định rằng điện áp tương tự trong



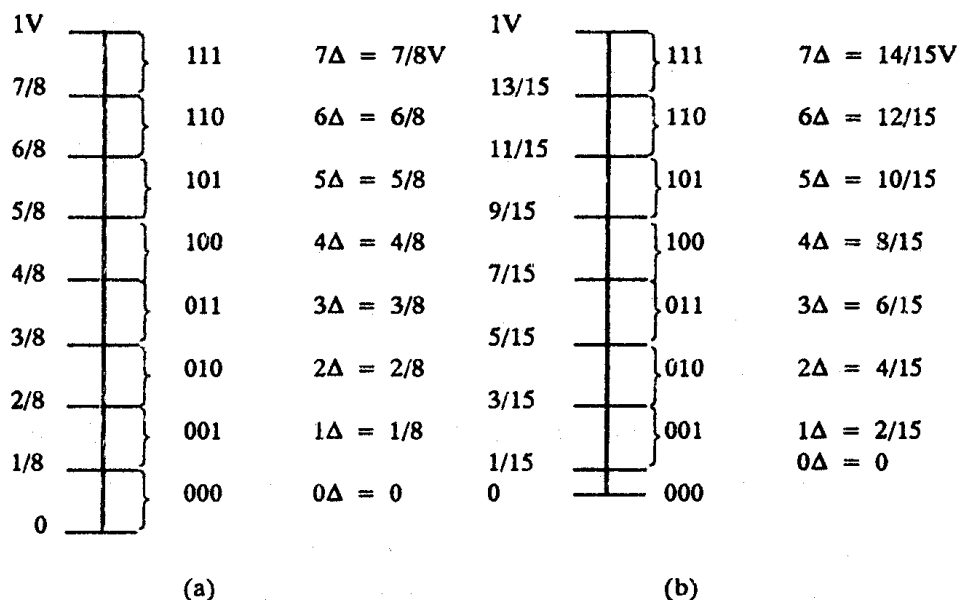
Hình 8-3-1. Lấy mẫu tín hiệu tương tự đầu vào.



Hình 8-3-2. Đặc tính tần số của bộ lọc khôi phục tín hiệu.

phạm vi $0 \div \frac{1}{8}V$ xem như là $0 \times \Delta$, thì tín hiệu số tương ứng là 000. Tương tự, điện áp tương tự $\frac{1}{8}V + \frac{2}{3}V$ là $1 \times \Delta$ thì tương ứng với 001 v.v...

Theo cách phân chia mức lượng tử đó, ta có hình 8-3-3a, và sai số lượng tử cực đại là $\frac{1}{8}V$



Hình 8-3-3. Hai phương pháp phân chia mức lượng tử

Hình 8-3-3b chỉ ra phương pháp phân chia mức lượng tử có thể giảm nhỏ hơn sai số lượng tử. Chọn $\Delta = \frac{2}{15}V$.

Quy định điện áp tương tự $0 \div \frac{1}{15}V$ ($0 \div \frac{\Delta}{2}$) tương ứng 000

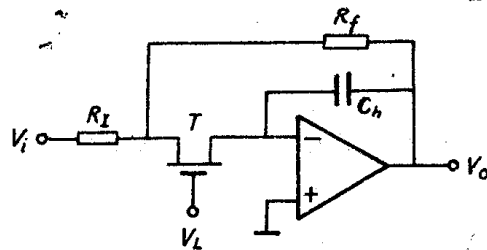
điện áp tương tự $\frac{1}{15}V \div \frac{3}{15}V$ tương ứng 001 v.v...

Sai số lượng tử cực đại của phương pháp này là $\frac{\Delta}{2} = \frac{1}{15}V$.

Chúng ta thấy sai số lượng tử của phương pháp này giảm nhỏ là nhờ cách phân chia mức đặc biệt, trong đó, giá trị quy định của điện áp tương tự mà mỗi tín hiệu số nhị phân đại biểu nằm ở giữa phạm vi giá trị điện áp tương tự có cùng giá trị lượng tử. (Điện áp tương tự trong phạm vi $\frac{1}{15}V \div \frac{3}{15}V$ đều có cùng giá trị lượng tử 001, mà 001 đại biểu cho giá trị đúng $\frac{2}{15}V$, nằm đúng giữa phạm vi trên.)

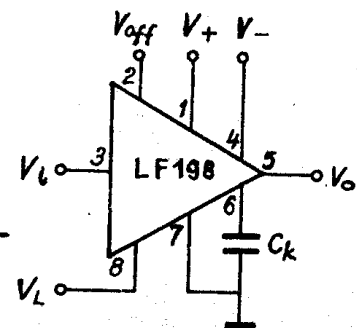
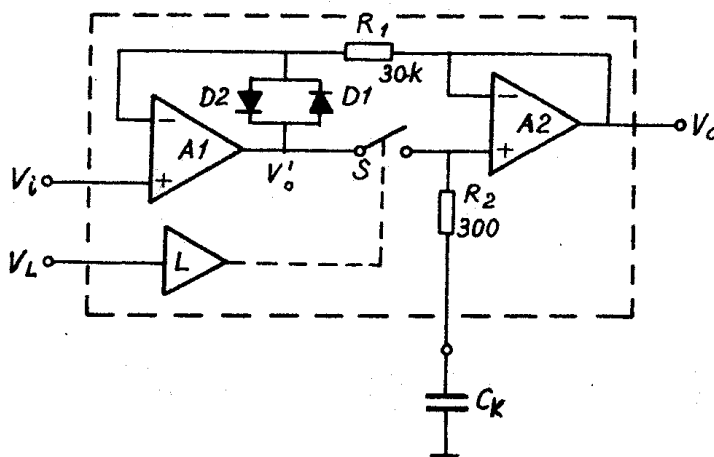
8.3.2. Mạch điện lấy mẫu - nhớ mẫu

Xem hình 8-3-4. Trong hình này, tranzito trường (MOS kênh N) là chuyển mạch lấy mẫu. Nếu V_L ở mức cao thì tranzito trường T thông, tín hiệu vào V_i nạp cho tụ điện C_h thông qua R_i và T.



Hình 8-3-4. Hình thức cơ bản của mạch lấy mẫu - nhóm mẫu.

Giả sử $R_i = R_f$, dòng điện đầu vào khuếch đại thuật toán bằng 0. Khi đó, sau quá trình nạp điện thì : $V_o = -V_i = V_c$. Nếu V_L về mức thấp rồi thì T ngắt. Do đó điện áp V_c trên C_h và V_o duy trì một thời gian. Thời gian duy trì này càng dài nếu C_h không dò và nếu trở kháng vào bộ khuếch đại thuật toán càng lớn. Nhược điểm của mạch hình 8-3-4 là tốc độ lấy mẫu thấp do C_h nạp điện qua R_i và T. Mặt khác R_i không thể quá nhỏ vì nó bảo đảm trở kháng vào mạch điện lấy mẫu đủ lớn.



Hình 8-3-5. Mạch điện và kí hiệu của IC lấy - giữ mẫu LF 198.

Hình 9-3-5 giới thiệu IC 1 chip LF198 lấy mẫu - giữ mẫu theo mạch cải tiến. Trong hình, A_1 và A_2 là hai khuếch đại thuật toán, S là chuyển mạch điện tử, L là mạch điều khiển S.

Khi $V_L = 1$ thì S nối, khi $V_L = 0$ thì S ngắt.

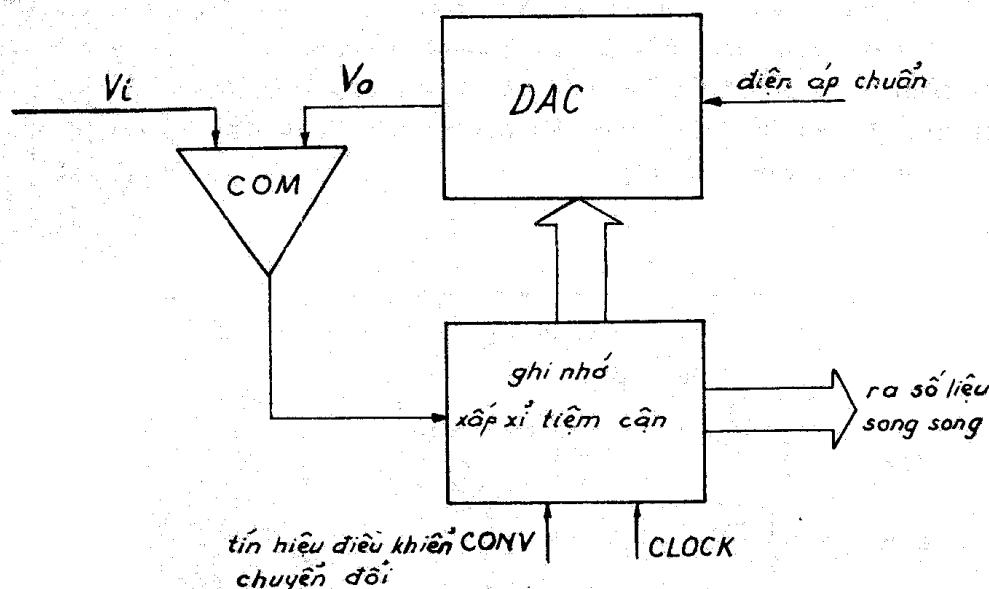
Nếu S nối, cả A_1 và A_2 công tác ở chế độ bộ lặp (hệ số khuếch đại điện áp bằng 1), nên $V_o = V_o' = V_i$. Tụ điện C_K bên ngoài mắc nối tiếp với R_2 thông xuống đất sẽ có điện áp bằng V_i . Khi $V_L = 0$ thì S ngắt, điện áp trên tụ, do đó, điện áp ra V_o cũng duy trì tiếp tục.

V_i có thể biến thiên đáng kể trước khi S được nối thông trở lại cho lần lấy mẫu kế tiếp. Do đó V_o có thể biến thiên rất lớn đến mức vượt quá khả năng chịu áp

của chuyển mạch điện tử S. Để phòng nguy hiểm này là mạch điện bảo vệ D_1 và D_2 . Nếu V'_o quá chênh với V_o thì diốt thông, diốt thông sẽ ghim V'_o trong phạm vi $V_i + V_D$, với V_D là điện áp rơi trên diốt. Còn khi S nối thông (lúc lấy mẫu) thì $V'_o = V_o$, D_1 và D_2 đều hở mạch, mạch bảo vệ không có tác dụng gì (không ảnh hưởng đến việc lấy - giữ mẫu).

8.3.3. Bộ biến đổi ADC xấp xỉ tiệm cận (Successive - approximation ADC)

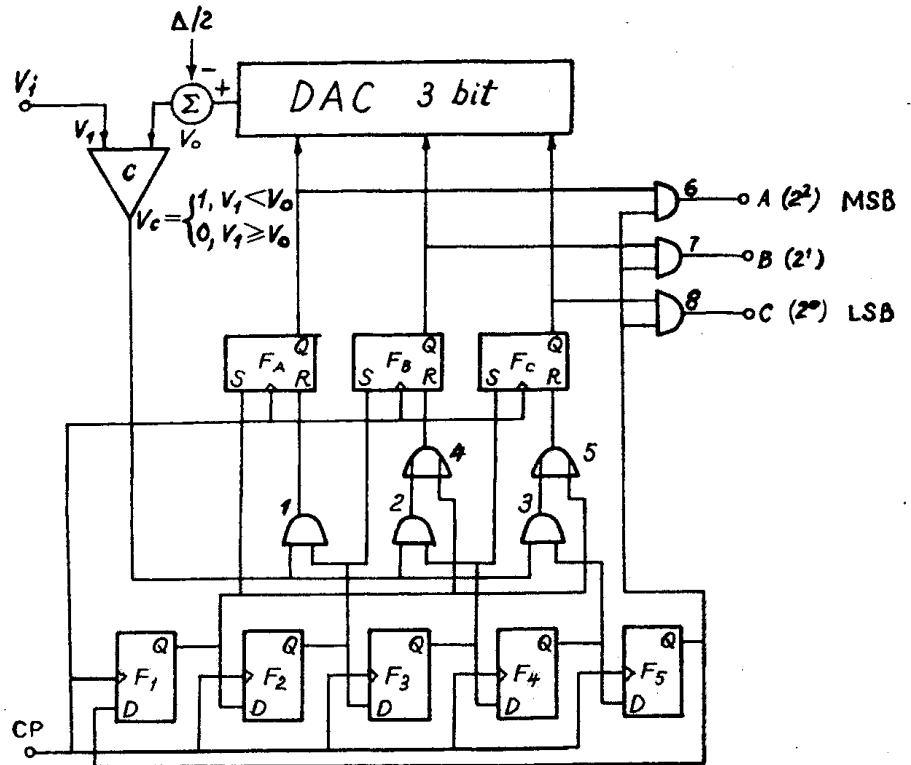
Hình 8-3-6.
ADC xấp xỉ tiệm cận.



Hình 8-3-6 là sơ đồ khối ADC xấp xỉ tiệm cận. Trong sơ đồ này có các khối sau : bộ so sánh (COM), DAC, điện áp chuẩn tham khảo, bộ nhớ xấp xỉ tiệm cận, logic điều khiển, tín hiệu đồng hồ (CLOCK) v.v... Trước khi thực hiện chuyển AD, bộ nhớ phải bị xóa về 0. Bắt đầu chuyển đổi, xung đồng hồ lập bit MSB trong bộ nhớ ở mức 1, số liệu ra của bộ nhớ là 100...0. Tín hiệu số này được DAC chuyển đổi thành điện áp tương tự tương ứng V_o . COM so sánh V_i và V_o . Nếu $V_o > V_i$, tín hiệu số quá lớn thì bit MSB bị xóa về 0. Nếu $V_o < V_i$, tín hiệu số vẫn còn bé thì bit MSB duy trì giá trị 1. Tiếp theo, cùng một phương pháp như trên, xung đồng hồ tiếp lập bit có trọng số bé hơn ở mức 1, sau khi so sánh, logic mạch xác định giá trị 1 này có duy trì hay không. Cứ thế tiếp tục mãi đến bit LSB thì xong. Sau quá trình so sánh tất cả các bit, dữ liệu trong bộ nhớ chính là tín hiệu số mong muốn.

Quá trình trên tương tự như quá trình cân một vật bằng cân bàn. Các quả cân được chọn lựa từ lớn đến bé, mỗi lần chọn lựa một quả cân bằng nửa quả cân của lần chọn lựa trước.

Hình 8-3-7.
Mạch điện ADC
xấp xỉ tiệm cận
3 bit.



Xét mạch
điện ADC xấp xỉ
tiệm cận 3 bit
hình 8-3-7.
 F_A, F_B, F_C là
bộ nhớ xấp xỉ
tiệm cận 3 bit.
 $F_1 \div F_5$ và các

cổng 1 ÷ 5 là mạch logic điều khiển. $F_1 \div F_5$ được đấu thành bộ ghi dịch vòng. Trước khi bắt đầu chuyển đổi thiết lập $Q_1 = Q_2 = Q_3 = Q_4 = 0, Q_5 = 1$. Xung đồng hồ CP thứ nhất đến : $Q_1 = 1, Q_2 = Q_3 = Q_4 = Q_5 = 0, Q_A = 1, Q_B = Q_C = 0$. Tín hiệu số đưa đến DAC là 100, đầu ra là điện áp tương tự V_o tương ứng. Bộ so sánh C so sánh V_o và V_i , nếu $V_i < V_o$ thì $V_C = 1$, nếu $V_i \geq V_o$ thì $V_C = 0$.

Trong nhịp đồng hồ thứ hai : bộ ghi dịch vòng dịch phải 1 bit, nghĩa là $Q_2 = 1, Q_1 = Q_3 = Q_4 = Q_5 = 0$. Nếu $V_C = 1$ thì cổng AND 1 thông, Reset $F_A, Q_A = 0$ (xóa MSB). Nếu $V_C = 0$ thì cổng AND 1 vẫn ngắt, F_A duy trì trạng thái $Q_A = 1$. Đồng thời, $Q_2 = 1$ lập F_B ở 1, $Q_B = 1$.

Đến nhịp đồng hồ thứ ba : bộ ghi dịch vòng dịch phải 1 bit nữa, nghĩa là $Q_3 = 1, Q_1 = Q_2 = Q_4 = Q_5 = 0$. Kết quả F_C lập 1, $Q_C = 1$. Đồng thời cổng AND 2 thông, tùy theo giá trị V_C đầu ra bộ so sánh C mà $Q_B = 0$ hay $Q_B = 1$.

Ở nhịp đồng hồ thứ tư : $Q_4 = 1, Q_1 = Q_2 = Q_3 = Q_5 = 0$. Kết quả so sánh V_C quyết định $Q_C = 0$ hay $Q_C = 1$.

Nhịp đồng hồ tiếp theo $Q_5 = 1, Q_1 = Q_2 = Q_3 = Q_4 = 0$. Kết quả chuyển đổi thể hiện ở trạng thái F_A, F_B, F_C được đưa ra đầu ra thông qua các cổng AND 6, 7, 8.

Bộ trừ Σ trên hình 8-3-7 làm giảm giá trị đầu ra DAC một lượng $\frac{\Delta}{2}$, với mục đích giảm sai số lượng tử. Hình 8-3-3b cho ta biết rằng, để sai số lượng tử không lớn hơn $\frac{\Delta}{2}$ thì mức so sánh thứ nhất không phải là Δ , mà là $\frac{\Delta}{2}$, còn đối với các mức so sánh khác phải chênh nhau Δ , nghĩa là cũng phải giảm đi $\frac{\Delta}{2}$.

Nhờ bộ trừ mà tất cả các mức tín hiệu đầu ra DAC đều giảm bớt $\frac{\Delta}{2}$ trước khi đem so sánh với V_i .

Trong ví dụ này ta thấy một lần chuyển đổi AD cần 5 chu kì đồng hồ CP. Nếu số bit tăng thêm thì thời gian chuyển đổi cũng tăng lên theo. Hiện nay ADC xấp xỉ tiệm cận được ứng dụng rộng rãi.

8.3.4. Các chỉ tiêu kĩ thuật chủ yếu của ADC

1) Độ phân giải

Độ phân giải của ADC biểu thị bằng số bit của tín hiệu số đầu ra. Số bit càng nhiều thì sai số lượng tử càng nhỏ, độ chính xác càng cao.

2) Dải động, điện trở đầu vào

3) Mức logic của tín hiệu số đầu ra và khả năng chịu tải (nối vào đầu ra)

4) Độ chính xác tương đối

Nếu lí tưởng hóa thì tất cả các điểm chuyển đổi phải nằm trên một đường thẳng. Độ chính xác tương đối là sai số của các điểm chuyển đổi thực tế so với đặc tuyến chuyển đổi lí tưởng. Ngoài ra, nói chung còn yêu cầu ADC không bị mất bit trong toàn bộ phạm vi công tác.

5) Tốc độ chuyển đổi

Tốc độ chuyển đổi xác định bởi thời gian cần thiết hoàn thành 1 lần chuyển đổi AD. Thời gian này tính từ khi xuất hiện tín hiệu điều khiển chuyển đổi đến khi tín hiệu số đầu ra đã ổn định.

6) Hệ số nhiệt độ

Hệ số nhiệt độ là biến thiên tương đối tín hiệu số đầu ra khi nhiệt độ biến đổi 1°C trong phạm vi nhiệt độ công tác cho phép với điều kiện mức tương tự đầu vào không đổi (cũng có thể dùng biến thiên tuyệt đối).

7) Tỉ số phụ thuộc nguồn

Giả sử điện áp tương tự đầu vào không đổi, nếu nguồn cung cấp cho ADC biến thiên mà ảnh hưởng đến tín hiệu số đầu ra càng lớn thì tỉ số phụ thuộc nguồn càng lớn. Vậy dùng biến thiên tuyệt đối đầu ra biểu thị.

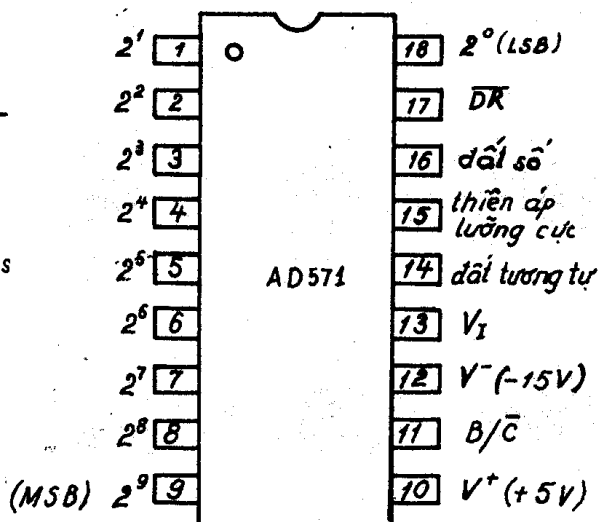
8) Công suất tiêu hao

8.3.5. Ví dụ IC 1 chip ADC

AD571 là IC 1 chip ADC kiểu lưỡng cực. Nguyên lí công tác của nó là xấp xỉ tiệm cận. Đầu ra số nhị phân song song 10 bit. AD571 có toàn mạch trong 1 chip, sử dụng thiết kế và công nghệ tiên tiến, đạt đến độ chính xác rất cao và tốc độ chuyển đổi cao. Bộ nhớ xấp xỉ tiệm cận của nó dùng mạch I^2L . Hình 8-3-8 giới thiệu AD571 có 5 bộ phận chính là :



-



Hình 8-3-10. Chân ra của AD571.

Hình 8-3-9 giới thiệu hình sóng của AD571 :

Khi tín hiệu điều khiển chuyển đổi $B/\overline{C}$ ($\overline{BLANK}/\overline{CONVERT}$) chuyển xuống mức thấp thì quá trình chuyển đổi AD bắt đầu. Quá trình chuyển đổi hoàn thành trong $25 \mu s$. Kết quả chuyển đổi AD lưu giữ trong bộ nhớ xấp xỉ tiệm cận 10 bit. Đồng thời tín hiệu $\overline{DR}$ ($\overline{DATAREADY}$) bây giờ xuống mức thấp. Sau thời gian trễ không quá $500ns$, kể từ khi số liệu sẵn sàng thì kết quả chuyển đổi AD xuất hiện ở đầu ra song song 10 bit thông qua bộ nhớ đệm 3 trạng thái.

Khi $B/\overline{C}$ về mức cao, mạch điện bước vào trạng thái nghỉ. Sau đó chừng $1,5 \mu s$ thì bộ nhớ đệm 3 trạng thái đầu ra trở thành trở kháng cao. Đồng thời bộ nhớ xấp xỉ tiệm cận bị xóa về 0, đưa toàn bộ mạch ADC về trạng thái sẵn sàng thực hiện lần chuyển đổi mới.

Theo hình sóng hình 8-3-9, ta thấy thời gian tín hiệu $B/\overline{C}$ ở mức logic thấp phải lớn hơn $25,5 \mu s$, ở mức logic cao phải lớn $2 \mu s$.

Hình 8-3-10 biểu thị chân ra của AD571, đóng vỏ kiểu DIPs, 18 chân.

Bảng 8-3-1 giới thiệu chỉ tiêu kĩ thuật chủ yếu của AD571JD. Các chỉ tiêu nói chung tương ứng điều kiện :

$$T_A = 25^{\circ}C$$

$$\text{Điện áp nguồn } V^+ = +5V$$

$$V^- = -15V$$

Bảng 8-3-1 : CHỈ TIÊU KỸ THUẬT CHỦ YẾU CỦA AD571JD.

Tên tham số	Điều kiện đo lường	Chỉ tiêu
Độ phân giải Độ chính xác tương đối Điện trở đầu vào tương tự		10 bit $\leq \pm 1 \text{ LSB}$ $5k\Omega$
Điện áp đầu vào tương tự	So với đất tương tự { đơn cực lưỡng cực	$0 \div 10V$ $-5 \div +5V$
Đầu ra số và $\overline{DR}$ { dòng vào dòng ra dòng dò	$V_{out} = 0,4 V$ $V_{out} = 2,4 V$ $B/\overline{C} = 1$ (trạng thái nghỉ)	$\geq 3,2 \text{ mA}$ $\geq 0,5 \text{ mA}$ $\leq \pm 40 \mu A$
Dòng điện đầu vào $B/\overline{C}$	$0 \leq V_{IN} \leq V^+$	$\leq \pm 40 \mu A$
Điện áp đầu vào $B/\overline{C}$	BLANK mức logic 1 CONVERT mức logic 0	$> 2,0 V$ $< 0,8 V$
Tỉ số phụ thuộc nguồn	Nguồn dương $+4,5V \leq V^+ \leq +5,5V$ Nguồn âm $-16,5V \leq V^- \leq -13,5V$	$\leq \pm 2 \text{ LSB}$ $\leq \pm 2 \text{ LSB}$
Thời gian chuyển đổi Nhiệt độ làm việc Hệ số nhiệt độ		$25\mu s$ $0 \div +70^{\circ}C$ $\pm 2 \text{ LSB}$
Dòng điện tiêu thụ	$B/\overline{C} = 1$ { $V^+ = +5V$ $V^- = -15V$ $B/\overline{C} = 0$ { $V^+ = +5V$ $V^- = -15V$	2 mA 9 mA 5 mA 10 mA

8.4. VÍ DỤ ỨNG DỤNG ADC VÀ DAC

Hệ thống thu thập số liệu (Data Acquisition Systems)

Hệ thống thu thập số liệu là phần quan trọng trong các thiết bị đo lường, hiển thị, ghi và xử lý số v.v... hiện đại. Các đại lượng vật lý của đối tượng số liệu biến thành tín hiệu điện sau khi tác động vào các bộ cảm biến. Hệ thống thu thập số liệu sẽ thu thập các thông tin số liệu đầu ra bộ cảm biến để lưu trữ, hiển thị hoặc xử lý bằng máy vi tính. Vậy hệ thống thu thập số liệu rất cần dùng trong các thiết bị hiện đại của ngành điều khiển công nghiệp, dụng cụ đo lường, trang bị lâm sàng của y tế v.v.. ADC, DAC chính là hạt nhân của hệ thống thu thập số liệu. Trong tiết này, lấy làm một ví dụ về ứng dụng ADC, DAC, chúng ta sẽ tìm hiểu cấu trúc và nguyên lý làm việc cơ bản của hệ thống thu thập số liệu y tế theo dõi điện tim bệnh nhân nặng.

8.4.1. Tính năng kĩ thuật chủ yếu của hệ thống thu thập số liệu

Thiết bị theo dõi điện tim thực hiện việc giám sát điện tim bệnh nhân trong thời gian thực. Sau đây là ví dụ về tính năng kĩ thuật chủ yếu của hệ thống thu thập số liệu của thiết bị.

Khối đầu vào : đầu vào khuếch đại vi sai thả nổi không nối đất,
cách ly an toàn điện áp +2500V

Khối chuyển đổi : Dải động đầu vào AD : $0 \div 5V$

Độ chính xác chuyển đổi : 8 bit

Tốc độ thu thập : đơn kênh $100\mu s$

Tần số lấy mẫu : 250Hz

Số kênh : $1 \div 4$.

Dung lượng bộ nhớ số liệu : Kênh điện tim 2 Kbyte

Thời gian nhớ số liệu 8s.

Đầu ra : điện áp tương tự $\pm 5V$.

8.4.2. Cấu trúc mạch điện và nguyên lý làm việc

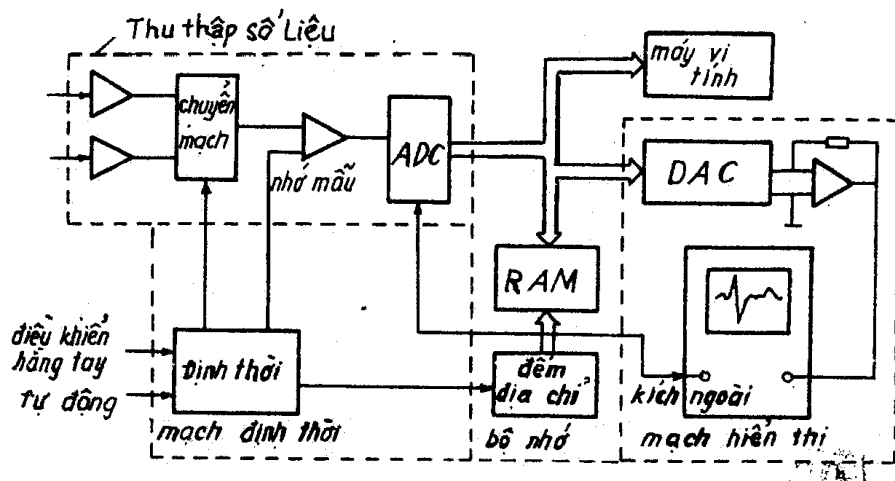
1) Cấu trúc mạch điện

Hình 8-4-1. Hệ thống có 5 bộ phận :

1 - Thu thập số liệu. Gồm các mạch cảm biến, khuếch đại, chuyển mạch nhiều kênh, ADC để thu thập và chuyển đổi AD đối với các tín hiệu điện tim ECG (Electro cardiograph), huyết áp BP (Blood pressure), hô hấp RP (Respire), thân nhiệt TP (Temperature)

2 - Bộ nhớ : lưu giữ các tin tức về bệnh nhân

3 - Hiển thị : hiển thị điện tâm đồ và các số liệu khác trên màn hình.



Hình 8-4-1. Sơ đồ khối hệ thống thu thập số liệu.

4 - Định thời : mạch điện tạo tín hiệu định thời và các tín hiệu điều khiển trình tự hoạt động trong hệ thống.

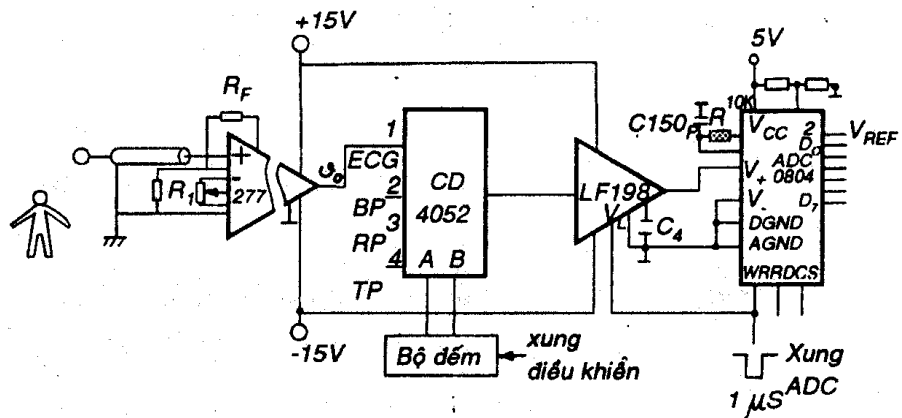
5 - Phối ghép với máy tính : khi cần thiết, các số liệu của bệnh nhân thông qua mạch phối ghép đưa vào máy vi tính để xử lý, làm cho hệ thống tự động và thông minh.

2) Nguyên lý làm việc

Để thuyết minh nguyên lý làm việc, chúng ta lấy ví dụ kênh điện tim.

a) Mạch thu thập số liệu (Hình 8-4-2).

Hình 8-4-2.
Mạch điện chuyển
đổi - thu thập số liệu.



Tín hiệu điện tim từ bệnh nhân đưa đến bộ khuếch đại cách li 277, chuyển tới đầu vào ECG của chuyển mạch nhiều kênh CD4052, sau đó được LF198 lấy và giữ mẫu, tín hiệu điện tim được chuyển đổi AD bằng ADC 0804.

Bộ khuếch đại thuật toán cách li 277 mắc theo sơ đồ khuếch đại thuận. Tín hiệu điện tim đưa vào cực vào thuận +, tín hiệu đầu ra được phân áp và phản hồi đến cực vào đảo-.

Hệ số khuếch đại điện áp $A_v = \frac{R_1 + R_F}{R_1}$. Có thể điều chỉnh biên độ ra V_o trong dải động $0 \div \pm 5V$ theo yêu cầu ADC bằng cách thay đổi R_F và R_1 . Trong bộ khuếch đại sử dụng ghép biến áp để đầu ra cách li về điện với đầu vào. Do đó bảo đảm an toàn đối với bệnh nhân và khả năng chống nhiễu cao.

Chuyển mạch tương tự nhiều kênh CD4052 thực hiện chuyển mạch đối với các tín hiệu đầu vào. 4 kênh được chuyển mạch có thể là tương ứng với tín hiệu điện tim của 4 bệnh nhân, hoặc có thể là tương ứng với 4 tham số ECG, BP, RP, TP của 1 bệnh nhân. CD4052 là chuyển mạch tương tự CMOS chọn 1 trong 4, có ưu điểm tốc độ cao, điện trở thông mạch nhỏ. Điều khiển chọn kênh do bộ đếm đảm nhiệm. Xung điều khiển là xung đếm đầu vào bộ đếm. Đầu ra bộ đếm được nối vào đầu điều khiển A, B của CD 4052. Kênh được chọn quan hệ với mức logic A, B theo bảng chức năng 8-4-1.

Mạch điện lấy - giữ mẫu LF 198 bảo đảm lấy mẫu tín hiệu, sao cho trong thời gian thực hiện chuyển đổi AD thì biên độ tín hiệu tương tự đưa đến ADC0804 duy trì không (mặc dù tín hiệu đầu vào thay đổi với tốc độ nào đó).

Bảng 8-4-1 : BẢNG CHỨC NĂNG

A	B	Kênh được chọn
0	0	1
0	1	2
1	0	3
1	1	4

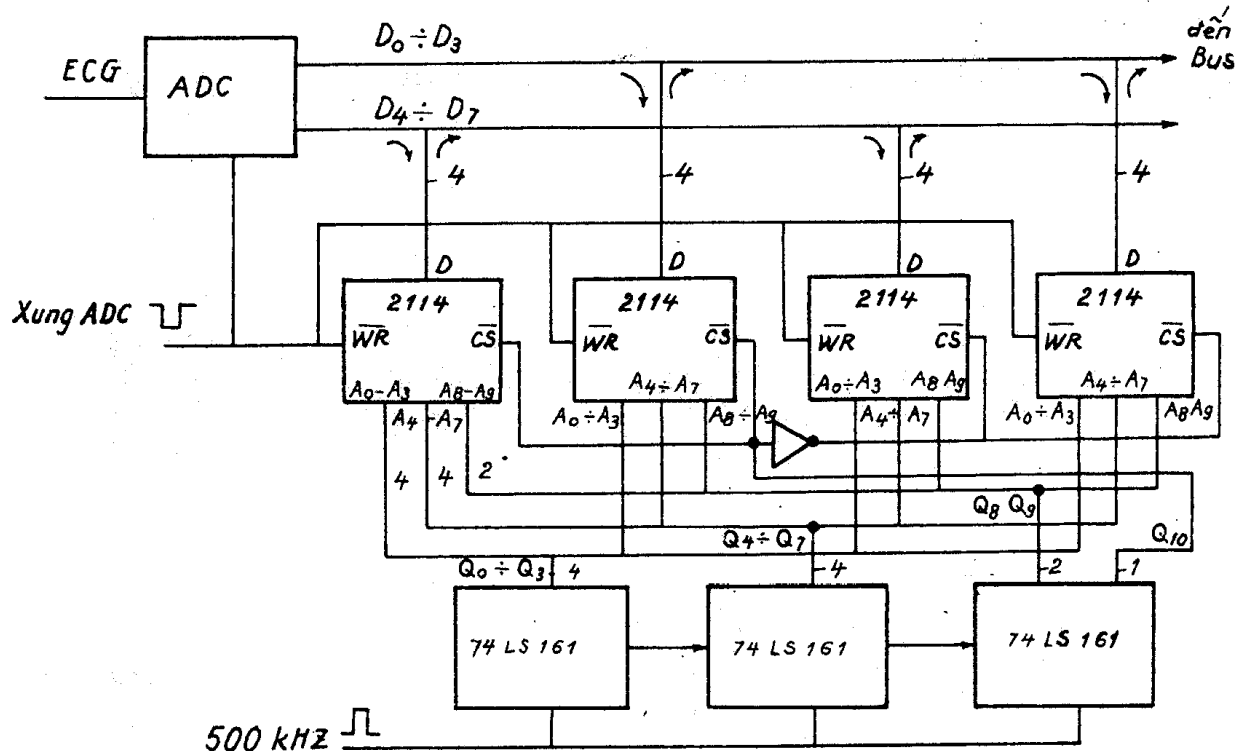
Xung điều khiển lấy mẫu V_L của LR198 phải đồng bộ với tín hiệu khởi động $\overline{WR}$ của ADC. Do đó tín hiệu khởi động đưa vào đầu $\overline{WR}$ cũng đưa đến đầu V_L (tích cực với mức logic cao).

ADC0804 là hạt nhân của hệ thống thu thập số liệu. Nó sẽ chuyển đổi đại lượng tương tự đầu vào thành tín hiệu số nhị phân phù hợp cho lưu trữ và xử lý. ADC 0804 là ADC xấp xỉ tiệm cận CMOS 8 bit ra song song. Khi tín hiệu khởi động ở chân $\overline{WR}$ đột biến xuống mức thấp, quá trình chuyển đổi bắt đầu và kết thúc sau $100\mu s$.

Trong lúc tín hiệu đọc ra $\overline{RD}$ xuống mức thấp, thì kết quả chuyển đổi qua bộ đếm 3 trạng thái đưa ra đầu ra $D_0 \div D_7$. Cần lưu ý rằng số liệu đọc ra lần này là kết quả chuyển đổi AD lần trước ; nên trang thiết bị này, đồng thời với khởi động quá trình chuyển đổi AD cũng tiến hành đọc ra (đọc ra với thời gian $1\mu s$) ; Vậy có thể dùng 1 tín hiệu (xung ADC âm $1\mu s$) đưa vào chân $\overline{WR}$, $\overline{RD}$ cho hai sự kiện trên. Tín hiệu đồng hồ do các mạch điện bên trong IC ADC 0804 và R, C mắc ngoài sinh ra. Trong hình 8 - 4 - 2, $R = 10k\Omega$, $C = 150pF$, tuy nhiên thay đổi giá trị R, C thì điều chỉnh tần số đồng hồ trong phạm vi nhất định. Điện áp chuẩn tham khảo V_{REF} có thể tạo ra bằng phân áp từ nguồn + 5V (nên có ổn áp thì tốt hơn).

b) Bộ nhớ

Xem sơ đồ khối bộ nhớ hình 8-4-3.



Hình 8-4-3. Mạch điện bộ nhớ.

Trong hình 8-4-3 có 4 RAM 2114 (CMOS) và 3 bộ đếm 4 bit ra song song 74LS161.

Dung lượng và cách đấu nối

Dung lượng của bộ nhớ phụ thuộc vào tốc độ chuyển đổi AD và lượng tin lưu trữ yêu cầu của hệ thống. Cụ thể, để hình sóng điện tim hiển thị trên màn hình không bị méo thì tần số lấy mẫu f_s phải đủ cao, $f_s = 250\text{Hz}$. Để có thể bao quát toàn bộ tình huống bất thường có thể của điện tim bệnh nhân một cách tin cậy, cần phải lưu trữ toàn bộ số liệu về điện tim đã thu nhập trong thời gian t vào bộ nhớ, $t = 8\text{s}$. Vì lấy mẫu 250 lần, mỗi mẫu mã hóa bằng 1 byte (8bit), phải lưu trữ số liệu 8s, nên dung lượng cần thiết của bộ nhớ là $250 \times 8 = 2000$ byte. RAM 2114 có 1024 ô nhớ 4 bit (nửa byte), vậy cần 4RAM là đủ. Bộ nhớ chia làm 2 phần, mỗi phần 2RAM 2114, có $1024 \times 4 \times 2 \text{ bit} = 1024 \text{ byte}$.

Bộ đếm địa chỉ là một bộ đếm nhị phân 11 bit, có 11 đầu ra $Q_{10} \div Q_0$; bộ đếm này cấu trúc từ 3IC 4bit 74LS161. Dung lượng bộ đếm là $N = 2^{11} = 2048$. Các đầu ra bộ đếm $Q_9 \div Q_0$ nối tương ứng vào các đầu vào địa chỉ $A_9 \div A_0$ của bộ nhớ. MSB Q_{10} được dùng làm tín hiệu chọn chip. Phần bên trái của bộ nhớ $\overline{CS} = Q_{10}$, phần bên phải của bộ nhớ $\overline{CS} = \overline{Q_{10}}$. Vậy phạm vi địa chỉ phần bộ nhớ bên phải là từ 00.000.000.000 đến 01.111.111.111, phạm vi địa chỉ phần bộ nhớ bên trái là từ 10.000.000.000 đến 11.111.111.111. Đầu số liệu ra của bộ nhớ, 4 bit cao của 2 RAM 2114 đấu song song và nối vào đường ra 4 bit cao tương ứng của ADC, 4 bit thấp của 2RAM 2114 đấu song song và nối vào đường ra 4 bit thấp tương ứng của ADC.

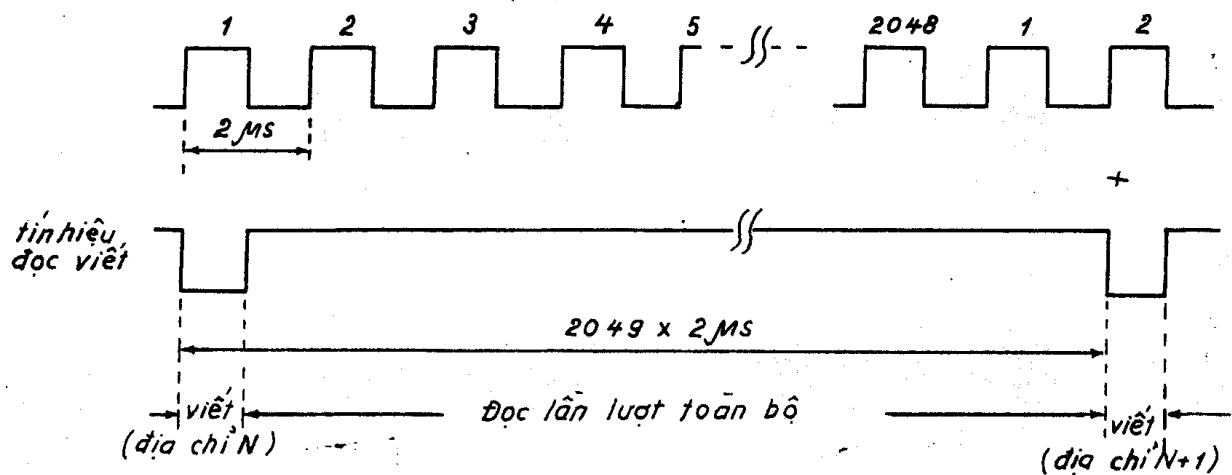
Tín hiệu điều khiển

Bộ đếm địa chỉ cung cấp địa chỉ để truy nhập truy xuất bộ nhớ. Đầu vào bộ đếm địa chỉ là xung đếm tần số 500kHz. Đầu ra là 11 bit mã nhị phân, cung cấp mã địa chỉ bộ nhớ tuần tự liên tục thay đổi. Thời gian đọc viết đối với mỗi địa chỉ bộ nhớ chính là chu kì xung đồng hồ

$$T_{cp} = \frac{1}{500\text{kHz}} = 2\mu\text{s} \text{ (Thời gian truy nhập truy xuất)}$$

của RAM 2114 là 450ns).

Tín hiệu đọc viết bộ nhớ là xung ADC. Khi $\overline{WR}$ ở mức thấp, đồng thời với quá trình chuyển đổi AD, RAM tiến hành viết vào kết quả chuyển đổi AD lần trước theo địa chỉ bộ đếm địa chỉ cung cấp. Khi $\overline{WR}$ ở mức cao, RAM tiến hành đọc ra theo địa chỉ bộ đếm địa chỉ cung cấp. Nội dung tồn trữ trong RAM tuần tự được đọc ra hết một lượt và được hiển thị trên màn huỳnh quang. Đồ thị dạng sóng xem hình 8-4-4



Hình 8-4-4. Dạng sóng đọc viết.

Để đổi mới nội dung của RAM theo yêu cầu theo dõi điện tim bệnh nhân, tuần tự các byte được viết vào số liệu mới (ví dụ, lần này viết vào địa chỉ 00.000.000.000, lần tiếp theo viết vào địa chỉ 00.000.000.001). Chu kì tín hiệu đọc / viết (xung ADC) chính xác bằng $(2048 + 1) \times 2\mu\text{s}$, vậy tần số lấy mẫu thực tế là

$$f_s = \frac{1}{2049 \times 2\mu\text{s}} \approx 244\text{Hz}.$$

Xung ADC do bộ đếm chia tần tạo ra từ xung đồng hồ ($\approx 500\text{kHz}$).

Thời gian lưu giữ

Số liệu điện tim trong RAM, cứ mỗi lần đổi mới nội dung 1 byte thì đọc ra toàn bộ 2048 byte. Vậy thời gian lưu giữ một nội dung số liệu điện tim trong RAM là : $2048 \text{ byte} \times 2049 \times 2\mu\text{s} \approx 8\text{s}$, trong đó $2049 \times 2\mu\text{s}$ là chu kì của tín hiệu đọc viết (xem hình 8-4-4).

Trong một chu kì của tín hiệu đọc viết, chỉ viết một địa chỉ (1 byte nội dung), mà sự đổi mới nội dung là tuần tự lần lượt 2048 địa chỉ (2048 byte nội dung). Vậy thời gian giữa 2 lần đổi mới nội dung, tức là thời gian lưu giữ nội dung trong RAM là 2048 lần chu kì tín hiệu đọc viết, tức là 8s.

Điều khiển dừng hình (điện tâm đồ trên màn hình)

Khi tín hiệu điện tim bất thường, bác sĩ thường mong muốn có thể dừng hình sóng điện tim trên màn hình. Hình 8-4-5 giới thiệu mạch điện điều khiển dừng hình có thể thao tác bằng tay hay có thể tự động bằng máy tính.

Hình 8-4-5.

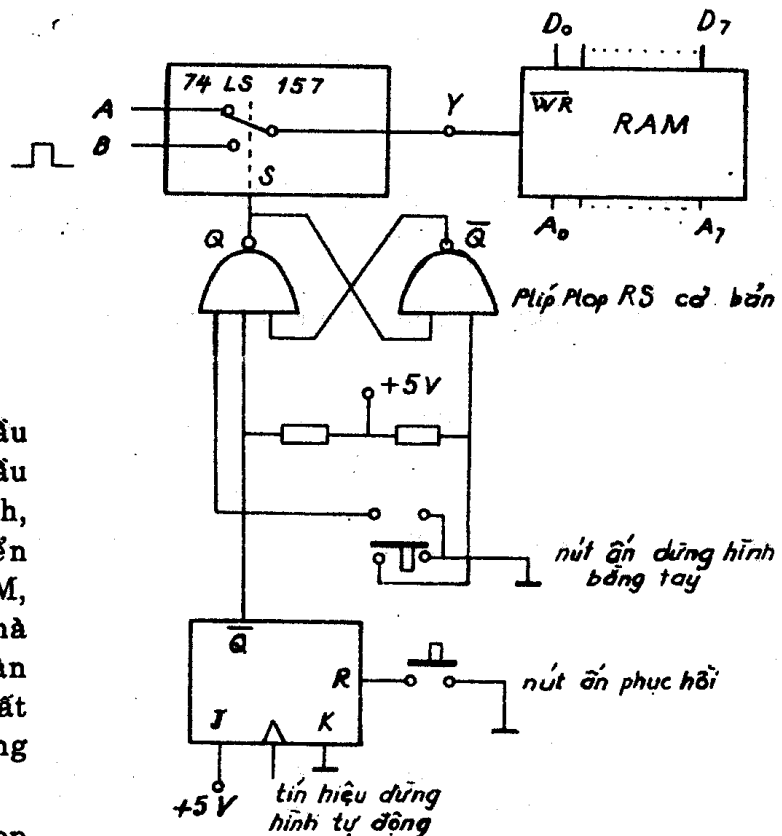
Logic điều khiển dừng hình

Flip Flop RS cơ bản :

Nút ấn dừng hình bằng tay ;

Nút ấn phục hồi ;

Tín hiệu dừng hình tự động.



Bình thường xung ADC từ đầu A qua chuyển mạch đưa đến đầu WR của RAM. Ở chế độ dừng hình, mức logic cao từ đầu B qua chuyển mạch đưa đến đầu WR của RAM, do đó RAM không được viết mà chỉ đọc liên tục. Kết quả trên màn hình hiện lên 8s điện tâm đồ bất thường của bệnh nhân dưới dạng ổn định của hình ảnh bị dừng.

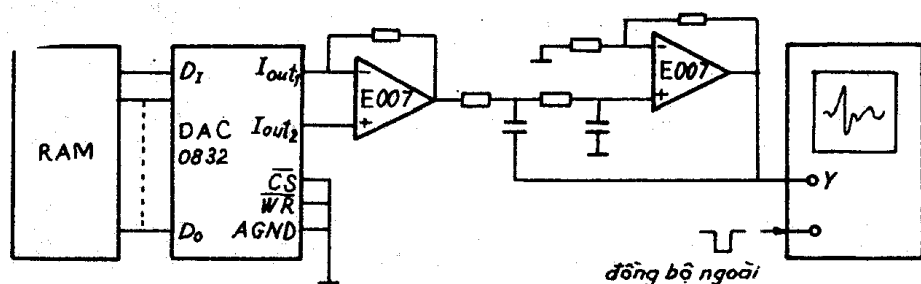
Tín hiệu dừng hình do Flip Flop RS cơ bản tạo ra. Đầu ra của nó điều khiển bộ chọn 1 trong 2 74LS 157, nếu $S = 1$ thì $\overline{WR} = Y = B = 1$ (nếu $S = 0$ thì $\overline{WR} = Y = A =$ xung ADC ở chế độ bình thường).

Khi tự động dừng hình, Flip Flop JK lập 1, mức logic 0 của đầu ra $\overline{Q}$ (của FEJK) làm Flip Flop RS cơ bản lập 1, $S = 1$, $Y = B = 1$, RAM chỉ đọc ra mà không viết vào. Khi dừng hình bằng tay, mức 0 qua nút ấn dừng hình vào đầu vào Flip Flop RS cơ bản khiến nó lập 1, kết quả $S = 1$, $Y = B = 1$. (Tay ấn liên tục trong thời gian dừng hình) để chuyển từ chế độ dừng hình về chế độ bình thường thì phải thả tay ấn nút ấn dừng hình nếu dừng hình bằng tay, hay phải ấn vào nút phục hồi nếu dừng hình tự động.

c) Mạch điện hiển thị

Hình 8-4-6.

Mạch điện hiển thị.

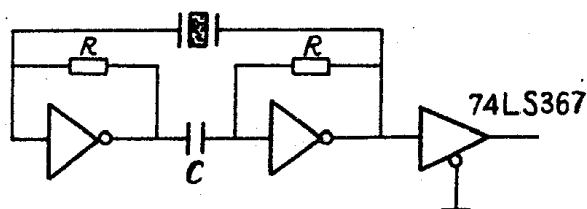


Xem hình 8-4-6, trong đó có DAC 0832, khuếch đại thuật toán F007, máy xem sóng. Số liệu điện tim được đọc từ bộ nhớ RAM ra, được biến đổi thành tín hiệu tương tự ở DAC, sau đó được khuếch đại bởi tầng đầu F007, tiếp theo được lọc thông thấp bởi bộ lọc tích cực bậc 2 (cấu trúc từ F007 tầng sau và RC), cuối cùng tín hiệu đưa tới máy xem sóng.

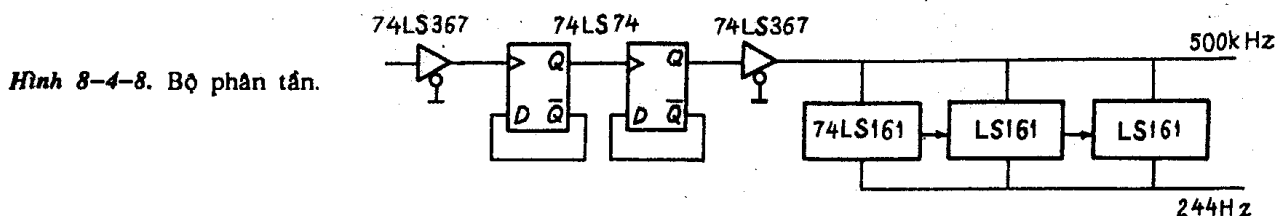
Quá trình đọc số liệu ra rất nhanh, trên màn hiện sóng có thể quan sát hình sóng điện tim hoàn chỉnh. Ở chế độ bình thường (toàn bộ nội dung RAM đọc ra 1 lần kèm đối mới 1 byte), hình sóng hiển thị di động chậm chạp. Ở chế độ dừng hình (không có viết, chỉ đọc) hình sóng hiển thị ổn định bất động.

d) Mạch xung đồng hồ

Xem hình 8-4-7 : mạch dao động đa hài thạch anh, ở đầu ra là mạch đếm 3 trạng thái. Tần số đồng hồ do bộ dao động tạo ra $f = 2\text{MHz}$ làm tín hiệu định thời cơ bản cho toàn hệ thống. Mạch 3 trạng thái 74LS367 bảo đảm tải cho bộ dao động, biên độ CP do đó đủ lớn, sườn xung đủ dốc. Các tần số chuẩn khác là do chia tần từ CP. Xem hình 8-4-8



Hình 8-4-7. Bộ dao động đồng hồ.



Hình 8-4-8. Bộ phân tần.

Tín hiệu đồng hồ $f = 2\text{MHz}$ được chia 4 nhờ cấp Flip Flop T' (cấu trúc từ Flip Flop D 74LS74). Tín hiệu điều khiển $f = 500\text{kHz}$ được khuếch đại bởi 74LS367 trở thành xung đếm đầu vào bộ đếm địa chỉ của bộ nhớ RAM. Xung tần số 500kHz còn được chia tần 2049 lần nhờ bộ đếm chia tần. (3IC bộ đếm 4 bit 74LS161), kết quả là xung tần số : $f = \frac{500.000}{2049} \approx 244\text{Hz}$

Xung điều khiển tần số 244Hz có 3 công dụng sau :

- Đưa vào mạch lấy mẫu và chuyển đổi AD (gọi là xung ADC)
- Đưa vào đầu $\overline{\text{WR}}$ của RAM (gọi là tín hiệu đọc viết)
- Đưa vào đầu đồng bộ ngoài của máy xem sóng để kích mạch ở đó.

Tóm tắt toàn bộ quá trình thu thập tín hiệu điện tim đã trình bày trên đây như sau :

Tín hiệu điện tim của bệnh nhân đi qua bộ khuếch đại cách li đầu vào, qua chuyển mạch tương tự nhiều kênh, qua mạch lấy và giữ mẫu để đến ADC. Số liệu đầu ra ADC được lưu giữ trong bộ nhớ RAM. Số liệu về điện tim cất giữ trong RAM lại được đọc ra, lại chuyển đổi DA, đưa đến hiện hình trên màn hình hiện

sóng. Đồng thời với việc thu thập điện tim bệnh nhân trong thời gian thực, thì điện tâm đồ của bệnh nhân cũng hiển thị trên màn hiển sóng. Chỉ trong chế độ dừng hình, RAM không được nạp vào số liệu điện tim mới, mà được đọc ra số liệu điện tim đã lưu giữ, tạo thành hình sóng điện tim đứng im trên màn hiển sóng. Ngoài ứng dụng ADC, DAC ra, hệ thống trên đây còn là ví dụ về ứng dụng tổng hợp các mạch số khác. Từ ví dụ này, chúng ta bước đầu làm quen với việc sử dụng các phần tử mạch số khác nhau để cấu trúc nên một hệ thống số thực dụng.

TÓM TẮT

Đã và đang xuất hiện thêm nhiều chủng loại ADC, DAC. Chúng ta đã nghiên cứu chủ yếu những vấn đề chung về chuyển đổi AD, chuyển đổi DA mà không thể giới thiệu tỉ mỉ tất cả các chủng loại ADC, DAC.

Đối với DAC, chúng ta chỉ nghiên cứu loại sử dụng rộng rãi nhất hiện nay là DAC điện trở hình T. Đối với ADC, chúng ta chỉ xem xét loại sử dụng nhiều nhất hiện nay là ADC xấp xỉ tiệm cận.

Để giúp cho độc giả làm quen với các IC đơn chip ADC, DAC và biết chọn dùng chúng hợp lí, chương này đã giới thiệu một số IC quan trọng. Đối với các ví dụ đó, chúng ta cần chú ý tìm hiểu đặc tính, cách dùng và chỉ tiêu kĩ thuật của các IC.

Độ chính xác và tốc độ chuyển đổi là chỉ tiêu chủ yếu của ADC, DAC ; Đó cũng là căn cứ để chọn dùng chúng. Thông thường, muốn có độ chính xác và tốc độ chuyển đổi cao, không những cần IC chất lượng cao tương ứng mà còn phải chọn mạch điện phức tạp. Điều này dẫn tới giá thành cao, độ tin cậy thấp. Cho nên cần suy nghĩ tổng hợp khi chọn phương án, không nên chỉ đơn thuần mong muốn độ chính xác và tốc độ cao quá mức cần thiết.

BÀI TẬP

- 8-1. Trong mạch điện hình 8-2-1, cho $d_3d_2d_1d_0 = 0110$, $V_{ref} = 10V$. Hãy tính điện áp ra V_o .
- 8-2. Nếu số bit tín hiệu số đầu vào mạch DAC điện trở hình T (hình 8-2-1) tăng đến 10bit, để bảo đảm sai số đầu ra nhỏ hơn $\frac{1}{2}$ LSB, hãy tính :
 - 1- Điện áp rơi cực đại cho phép trên chuyển mạch tương tự tương ứng MSB.
 - 2- Sai số tương đối cực đại cho phép của điện trở $2R$ tương ứng MSB.
 Cho $V_{ref} = 10V$.
- 8-3. Bạn có thể phán đoán nguyên nhân sai số căn cứ vào tính chất biến đổi của đường cong đặc tính đầu vào - đầu ra của DAC.
- 8-4. Đặc điểm nổi bật của DAC hình T đảo là gì ? Tại sao ? Nếu giả thiết trong hình 8-2-6, $d_3d_2d_1d_0 = 1010$, hãy tính giá trị điện áp ra V_o tương ứng. Cho $V_{ref} = 10V$.
- 8-5. Hãy nói rõ nguyên nhân và cách giảm nhỏ sai số lượng tử của ADC.

- 8-6. Khi chọn tụ điện nối ngoài C_h trong mạch lấy - giữ mẫu hình 8-3-4, cần suy nghĩ đến nhân tố nào.
- 8-7. Trên cơ sở ADC xấp xỉ tiệm cận hình 8-3-7, nếu bây giờ làm việc với độ phân giải 10 bit, tần số đồng hồ 1MHz. Hãy tính thời gian cần thiết để hoàn thành một lần chuyển đổi.
- 8-8. Trong hệ thống thu thập số liệu hình 8 - 4 - 1, nếu yêu cầu lưu giữ 16s số liệu điện tim vào bộ nhớ thì cần phải bao nhiêu chip RAM2114 (tham khảo mạch hình 8-4-3).

PHỤ LỤC I

Tiêu chuẩn quốc gia nước Cộng hòa nhân dân Trung Hoa

UDC 621.3.049

. 75-181.4

: 001.4

GB 3430-82

PHƯƠNG PHÁP ĐẶT TÊN, KÍ HIỆU MẠCH ĐIỆN TÍCH HỢP BÁN DẪN

(The rule of type designation for semiconductor integrated circuits)

có hiệu lực từ ngày 01 tháng 10 năm 1983.

1) Cấu trúc của kí hiệu

Kí hiệu của IC có 5 phần

Phần 0		Phần 1		Phần 2	Phần 3		Phần 4	
Dùng chữ cái biểu thị tiêu chuẩn quốc gia		Dùng chữ cái biểu thị loại hình của IC		Dùng chữ số biểu thị chủng loại sản xuất	Dùng chữ cái biểu thị phạm vi nhiệt độ công tác		Dùng chữ cái biểu thị đóng gói	
Kí hiệu	Ý nghĩa	Kí hiệu	Ý nghĩa		Kí hiệu	Ý nghĩa	Kí hiệu	Ý nghĩa
C	Trung Quốc chế tạo	T	TTL		C	0 + 70°C	W	Vỏ sứ phẳng
		H	HTL		E	-40 + 85°C	B	Vỏ nhựa phẳng
		E	ECL		R	-55 + 85°C	F	Vỏ phẳng bọc kín
		C	CMOS		M	-55 + 125°C	D	Vỏ sứ đứng
		F	Bộ khuếch đại tuyến tính		:		P	Vỏ nhựa đứng
		D	Mạch điện nghe nhìn				J	Vỏ sứ đen đứng
		W	Ổn áp				K	Vỏ kim loại hình thoi
		J	Mạch đầu vào				T	Vỏ kim loại hình tròn
		B	Mạch phi tuyến					
		M	Bộ nhớ					
		μ	Mạch điện máy siêu nhỏ					
		:						

2) Ví dụ :

2-1. Cổng NAND kép 4 đầu vào TTL schottky

C T 3020 E D
 Vỏ sứ đứng 2 hàng chân
 $-40 + 85^{\circ}\text{C}$
 Cổng NAND kép 4 đầu vào Schottky
 TTL
 Phù hợp tiêu chuẩn Trung Quốc

2-2. Bộ chọn kênh 1 từ 8 CMOS

C C 14512 M F
 Vỏ phẳng bọc kín toàn bộ
 $-55 + 125^{\circ}\text{C}$
 Bộ chọn kênh 1 từ 8
 CMOS
 Phù hợp tiêu chuẩn Trung Quốc

2-3. Bộ khuếch đại thuật toán thông dụng

C F 0741 C T
 Vỏ kim loại hình tròn
 $0 + 70^{\circ}\text{C}$
 Bộ khuếch đại thuật toán loại III
 Bộ khuếch đại tuyến tính
 Phù hợp tiêu chuẩn Trung Quốc

Đối chiếu kí hiệu của Trung Quốc và Quốc tế về ICTTL.

Các ICTTL của Trung Quốc và Quốc tế sản xuất là có thể thay thế lẫn nhau được. Hai hệ thống kí hiệu có sự tương ứng :

CT 4010 CJ và SN 74LS10J
 CT 4010 MF và SN 54LS10W

SN 74 LS 10 J

bao gói : J - Vỏ sứ đứng 2 hàng chân
 (W - Vỏ sứ phẳng
 N - Vỏ nhựa đứng 2 hàng chân)
 Chủng loại theo chức năng
 Chủng loại theo đặc tính
 để trống : tiêu chuẩn thường
 H : Tốc độ cao
 S : Schottky
 LS : Schottky công suất bé
 $0 + 70^{\circ}\text{C}$
 (54 : $-55^{\circ} + 125^{\circ}\text{C}$)
 Texas MI

CT	4	010	C	J	J : Vỏ sứ đen đứng $\approx$ J Texas
					Bao gói F : vỏ phẳng bọc kín $\approx$ W Texas
					D : Vỏ sứ đứng $\approx$ J Texas
					P : Vỏ nhựa đứng $\approx$ N Texas
					C : $0^{\circ} \div 70^{\circ}\text{C} \approx 74$ Texas
					(M : $-55^{\circ} \div 125^{\circ}\text{C} \approx 54$ Texas)
					Chủng loại theo chức năng
					Chủng loại theo đặc tính
					4 : Schottky công suất bé
					1 : Tốc độ trung bình
					2 : Tốc độ cao
					3 : Schottky
					ICTTL phù hợp tiêu chuẩn Trung Quốc

PHỤ LỤC II

HỆ ĐẾM VÀ CHUYỂN ĐỔI

I - CÁC HỆ ĐẾM THƯỜNG DÙNG

1 - Hệ thập phân

Hệ thập phân là hệ đếm thường dùng nhất trong sinh hoạt và công tác của chúng ta. Trong hệ này, có 10 chữ số $0 \div 9$ để mã hóa số 0 và 9 số tự nhiên đầu tiên. Vậy cơ số hệ thập phân là 10. Từ số lớn hơn 9, nhờ cách ghi số theo vị trí, trong đó số có vị trí bất kì có trọng số gấp mười lần số có vị trí bên phải kế nó ; ta có thể dùng 10 chữ số để biểu diễn mọi con số. Ví dụ :

$$143,75 = 1 \times 10^2 + 4 \times 10^1 + 3 \times 10^0 + 7 \times 10^{-1} + 5 \times 10^{-2}$$

Một số dương S bất kì trong hệ thập phân có thể khai triển thành

$$S = \sum k_i 10^i \quad (\text{II} - 1)$$

i là thứ tự vị trí của số tính từ dấu phân cách nguyên - phân ($i = 0$) k_i là hệ số của số có vị số (thứ tự vị trí của số) i , $k_0 = 0 \div 9$, nếu phần nguyên có n chữ số thì tương ứng $i = n - 1 \div 0$. Nếu phần phân có m chữ số thì tương ứng $i = -1 \div -m$. Dùng N thay cho cơ số 10, biểu thức (II - 1) có dạng tổng quát cho mọi hệ đếm

$$S = \sum k_i N^i \quad (\text{II} - 2)$$

2 - Hệ nhị phân

Hệ nhị phân được dùng rộng rãi nhất trong mạch số. Trong hệ nhị phân, mỗi vị số (bit) chỉ có hai khả năng lấy giá trị : 1 và 0. Có số đếm của hệ nhị phân $N = 2$.

Triển khai số nhị phân bất kì theo dạng (II - 2), ta có :

$$S = \sum k_i 2^i \quad (\text{II} - 3)$$

với $k_i = 0, 1$

Ví dụ :

$$101,11 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2}$$

3 - Hệ đếm cơ số 8

Trong hệ này, mỗi vị số có 8 mã số là $0 \div 7$, cơ số là 8.

Dạng tổng quát của số đếm hệ cơ số 8 là :

$$S = \sum k_i 8^i \quad (\text{II} - 4)$$

với $k_i = 0, 1, 2, 3, 4, 5, 6, 7$

Ví dụ :

$$37,41 = 3 \times 8^1 + 7 \times 8^0 + 4 \times 8^{-1} + 1 \times 8^{-2}$$

Cùng một con số, dạng biểu thị trong hệ đếm cơ số 8 gọn hơn dạng biểu thị trong hệ đếm nhị phân. Như sau này sẽ rõ, sự chuyển đổi lẫn nhau của hai hệ này lại cực dễ dàng, nên trong các sách viết về trình tự máy tính hay dùng hệ đếm cơ số 8.

4 - Hệ đếm cơ số 16

Trong hệ này, mỗi vị số có 16 mã số. Đó là 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A(10), B(11), C(12), D(13), E(14), F(15).

Dạng tổng quát của số đếm hệ cơ số 16 là :

$$S = \sum k_i 16^i$$

với $k_i = 0 \div F$

Ví dụ :

$$\begin{aligned} 2A, 7F &= 2 \times 16^1 + A \times 16^0 + 7 \times 16^{-1} + F \times 16^{-2} \\ &= 2 \times 16 + 10 \times 1 + \frac{7}{16} + \frac{15}{16^2} \\ &= 42,4961 \end{aligned}$$

Hiện nay trong máy vi tính, đa số dùng từ mã nhị phân 8 bit, 16 bit. Những từ mã này có thể biểu thị gọn rõ bằng số trong hệ đếm 16 với 2, 4 vị số tương ứng. Vậy trong các sách viết về trình tự máy tính càng hay dùng hệ đếm cơ số 16. Sự chuyển đổi lẫn nhau của hệ nhị phân và hệ đếm cơ số 16 cũng cực kì dễ dàng. Nên ứng dụng hệ đếm cơ số 16 còn rộng rãi hơn hệ đếm cơ số 8.

II - CHUYỂN ĐỔI LẦN NHAU GIỮA CÁC HỆ ĐẾM

1 - Hệ nhị phân và hệ thập phân

Từ nhị phân sang thập phân : viết số nhị phân dưới dạng (II - 3) triển khai ; cộng tất cả các số hạng theo giá trị số thập phân, tổng số là dạng thập phân của số nhị phân đã cho. Ví dụ :

$$\begin{aligned} 1011,01_{(2)} &= 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} \\ &= 8 + 0 + 2 + 1 + 0 + 0,25 \\ &= 11,25_{(10)} \end{aligned}$$

Lưu ý : chúng ta dùng chữ số trong ngoặc viết thấp để chỉ cơ số hệ đếm của con số xét.

Từ thập phân sang nhị phân :

a - Phần nguyên :

Trong các đẳng thức dưới đây, vế phải là số nhị phân, vế trái là số thập phân :

$$\begin{aligned} S_{(10)} &= k_n 2^n + k_{n-1} 2^{n-1} + \dots + k_1 2^1 + k_0 \\ &= 2(k_n 2^{n-1} + k_{n-1} 2^{n-2} + \dots + k_1) + k_0 \end{aligned}$$

vì $k_i = 0, 1$ đồng phân với số 0, 1 trong hệ thập phân, nên ta có :

$$\begin{aligned}\frac{S_{(10)} - k_0}{2} &= k_n 2^{n-1} + k_{n-1} 2^{n-2} + \dots + k_1 \\ &= 2(k_n 2^{n-2} + k_{n-1} 2^{n-3} + \dots + k_2) + k_1\end{aligned}$$

Nhận xét các biểu thức trên, ta thấy :

bit đầu tiên của số nhị phân là k_0 bằng số dư khi chia $S_{(10)}$ cho 2.

bit tiếp theo của số nhị phân là k_1 bằng số dư khi chia thương số của phép chia trước cho 2.

Tương tự như vậy để tìm toàn bộ các bit của số nhị phân. Ví dụ :

173	2	dư 1	k_0	Vậy $173_{(10)} = 10101101_{(2)}$
86	2	dư 0	k_1	
43	2	dư 1	k_2	
21	2	dư 1	k_3	
10	2	dư 0	k_4	
5	2	dư 1	k_5	
2	2	dư 0	k_6	
1	2	dư 1	k_7	
0				

b - Phần phân :

Trong các đẳng thức dưới đây, vế phải là số nhị phân, vế trái là số thập phân :

$$S_{(10)} = k_{-1} 2^{-1} + k_{-2} 2^{-2} + k_{-3} 2^{-3} + \dots + k_{-m} 2^{-m}$$

Nhân 2 vế với 2, ta có :

$$2S_{(10)} = k_{-1} + (k_{-2} 2^{-1} + k_{-3} 2^{-2} + \dots + k_{-m} 2^{-m+1})$$

k_{-1} trở thành phần nguyên của vế phải. Phần phân còn lại là :

$$2S_{(10)} - k_{-1} = k_{-2} 2^{-1} + k_{-3} 2^{-2} + \dots + k_{-m} 2^{-m+1}$$

Nếu tiếp tục nhân 2 vế với 2, ta lại được k_{-2} là phần nguyên của vế phải (của tích số lần thứ 2) :

$$2[2S_{(10)} - k_{-1}] = k_{-2} + (k_{-3} 2^{-1} + \dots + k_{-m} 2^{-m+2})$$

Tương tự như vậy, ta tìm được toàn bộ các bit của số nhị phân. Ví dụ :

Quá trình chuyển đổi từ $0,8128_{(10)}$ sang $0,1101_{(2)}$ như sau :

$$0,8128 \times 2 = 1,6256 = 0,6256 + 1 \quad (k_{-1})$$

$$0,6256 \times 2 = 1,2512 = 0,2512 + 1 \quad (k_{-2})$$

$$0,2512 \times 2 = 0,5024 = 0,5024 + 0 \quad (k_{-3})$$

$$0,5024 \times 2 = 1,0048 = 0 + 1 \quad (k_{-4})$$

Quá trình kết thúc khi phần phân của tích số bằng 0.

2 - Hệ nhị phân và hệ đếm cơ số 8

Từ nhị phân sang hệ 8

Vì $2^3 = 8$, mỗi vị số của hệ 8 tương ứng với một nhóm 3 bit của số nhị phân, bắt đầu từ bit 2^0 . Muốn chuyển đổi từ nhị phân sang hệ 8, đầu tiên ta phân nhóm 3 bit, sau đó dùng 8 chữ số của hệ 8 thay cho 8 mã số tương ứng của 3 bit.

Đối với phần phân, chia nhóm 3 bit bắt đầu từ 2^{-1} .

Ví dụ : 10110101, 00111101₍₂₎ = 265,172₍₈₎

Quá trình như sau :

Chia nhóm 010 110 101, 001 111 010

Chuyển mã 2 6 5, 1 7 2

Từ hệ 8 sang nhị phân :

Thay một chữ số trong số hệ 8 bằng nhóm 3 bit nhị phân

Ví dụ :

$$\begin{array}{ccccccc} 5 & 1 & 2 & , & 3 & 0 & 4_{(8)} \\ = & 101 & 001 & 010 & , & 011 & 000 & 100_{(2)} \end{array}$$

3 - Hệ nhị phân và hệ đếm cơ số 16

Từ nhị phân sang hệ 16.

Vì $2^4 = 16$, mỗi vị số của số hệ 16 tương ứng với một nhóm 4 bit của số nhị phân, bắt đầu từ bit 2^0 . Muốn chuyển đổi từ nhị phân sang hệ 16, đầu tiên ta phân nhóm 4 bit, sau đó dùng 16 chữ số của hệ 16 thay cho 16 mã số tương ứng của 4 bit.

Đối với phần phân, chia nhóm 4 bit bắt đầu từ 2^{-1} .

Ví dụ : 0101 1110, 1011 0010₍₂₎ = 5E, B2₍₁₆₎

Quá trình như sau :

Chia nhóm 0101 1110 , 1011 0010

Chuyển mã 5 E , B 2

Từ hệ 16 sang nhị phân :

Thay một chữ số trong số hệ 16 bằng nhóm 4 bit nhị phân.

Ví dụ :

$$\begin{array}{ccccccc} 8 & F & A & , & C & & 6_{(16)} \\ = & 1000 & 1111 & 1010 & , & 1100 & 0110 \end{array}$$

PHỤ LỤC III

PHƯƠNG PHÁP BIỂU THỊ SỐ NHỊ PHÂN TRONG MÁY TÍNH

1 - Số trong máy tính và giá trị thực

Trong mạch số, giá trị 0 và 1 của 1 bit đều biểu thị bằng 2 trạng thái của một phần tử logic cơ bản (mức điện cao, thấp của cổng hay của Flip Flop). Vậy dấu âm, dương của số được biểu thị bằng cách nào. Rõ ràng, dấu cũng chỉ biểu thị bằng hai trạng thái logic, tức là dùng 0 hay 1 biểu thị. Phương pháp đơn giản nhất là, cho thêm 1 bit dấu đằng trước : giá trị 0 của bit dấu biểu thị số dương, giá trị 1 của bit dấu biểu thị số âm. Ví dụ, đối với số nhỏ hơn 1 về giá trị tuyệt đối, số +0,1011 trong máy tính được biểu thị là 0,1011, và số -0,1011 trong máy tính được biểu thị là 1,1011. Tức là dùng giá trị 0 và 1 của phần nguyên biểu thị dấu dương và âm của số nhị phân nhỏ hơn 1 về giá trị tuyệt đối. Trong ví dụ trên, +0,1011 và -0,1011 là giá trị thực của số 0,1011 và 1,1011 tương ứng trong máy tính.

Dưới đây giới thiệu 3 dạng thường gặp của số trong máy tính : mã gốc, mã bù và mã đảo.

Trong máy tính nhỏ và thiết bị điều khiển số nói chung đều áp dụng phép toán dấu phẩy cố định. Mã gốc, mã bù và mã đảo được giới thiệu tiếp theo đây là tương ứng với phép toán dấu phẩy cố định. Khi đó, giả định rằng trong toàn bộ phép toán, giá trị tuyệt đối của mọi số đều nhỏ hơn 1. Dấu phẩy đặt trước bit cao nhất. (2^{-1}) Nếu như giá trị tuyệt đối của số thực tế lớn hơn 1 thì phép toán vẫn tiến hành như quy ước trên nhờ quá trình chuyển đổi thuận nghịch tỉ lệ giá trị.

2 - Mã gốc

Trong mã gốc, bit dấu đặt trước dấu phẩy của phân số (số có giá trị tuyệt đối nhỏ hơn 1). Số dương tương ứng giá trị 0 của bit dấu. Số âm tương ứng giá trị 1 của bit dấu. Vậy số dương có mã gốc trùng với giá trị thực, số âm có mã gốc bằng giá trị thực cộng 1, tức là :

$$[x]_{\text{mã gốc}} = \begin{cases} x & x \geq 0 \\ 1 + |x| & x \leq 0 \end{cases}$$

Vậy số 0 có hai hình thức mã gốc :

$$[0]_{\text{mã gốc}} = \begin{cases} 0,0000 \\ 1,0000 \end{cases}$$

Mã gốc có ưu điểm là trực quan, đơn giản, rất tiện trong phép nhân. Tích số có phần giá trị tuyệt đối và phần dấu. Giá trị tuyệt đối của tích số bằng tích các giá trị tuyệt đối của thừa số. Dấu của tích theo quy tắc logic : các thừa số cùng dấu thì tích số dương, các thừa số khác dấu thì tích số âm. Quy tắc logic này rất dễ thực hiện.

Nhưng chúng ta sẽ gặp khó khăn nếu làm phép cộng trừ với số mã gốc. Ví dụ, khi cộng đại số, đầu tiên phải xét dấu các số hạng, sau đó mới quyết định về cộng trừ các giá trị tuyệt đối. Khi trừ, còn phải so sánh giá trị tuyệt đối, từ đó mới định hướng lấy gì trừ cho gì, cuối cùng xác định dấu của hiệu số. Mỗi một bước

như vậy đều bắt máy tính phải thao tác, vậy tất sẽ làm cho máy tính phức tạp lên và thời gian làm tính kéo dài.

Để tránh khó khăn trên trong phép cộng trừ, hiện nay máy tính dùng rộng rãi mã bù trong phép cộng trừ.

3 - Mã bù

Để dễ dàng hiểu về mã bù, xin độc giả hãy xét một ví dụ liên quan trong cuộc sống đời thường sau đây. Giả sử lúc 06h00 sáng bạn phát hiện đồng hồ bị chết với kim đồng hồ ở vị trí 11h00. Bạn có 2 cách để chỉnh kim đồng hồ từ vị trí 11h00 đến vị trí 06h00 : cách thứ nhất đưa kim ngược chiều 5 khoảng giờ ($11-5 = 6$), cách thứ hai đưa kim thuận chiều 7 khoảng giờ ($11 + 7 = 18$) ; vì mặt đồng hồ có 12 khoảng giờ thôi, cứ vượt quá 12 thì lại bắt đầu từ 0, nên đưa kim thuận chiều 7 khoảng giờ thì kim cũng đến vị trí 06h00. Điều đó chứng tỏ rằng, nếu xét riêng một vị số (mà không chuyển vị từ vị số bên phải liền kề sang) thì $11-5$ và $11 + 7$ trong hệ đếm cơ số 12 có cùng một kết quả là 6. Tổng của $5 + 7 = 12$. Ta gọi 7 là mã bù của 5 trong hệ 12. $7 = 12 - 5$.

Tương tự, trong phép trừ nhị phân, việc trừ đi một số nhị phân trở thành việc cộng mã bù trong hệ nhị phân của số đó.

Ví dụ : $a = 0,1011$; $b = -0,1001$ thì

$$\begin{array}{r} 0,1011 \\ -0,1001 \\ \hline \end{array}$$

$$a + b = 0,0010$$

Chúng ta đi đến cùng kết quả trên bằng cách : tìm mã bù trong hệ nhị phân (cơ số 2) của b là :

$$[b]_{\text{mã bù}} = 10 - 0,1001 = 1,0111$$

Thực hiện cộng với mã bù, bỏ chuyển vị :

$$\begin{array}{r} 0,1011 \\ 1,0111 \\ \hline \end{array}$$

Bỏ chuyển vị

$$a + [b]_{\text{mã bù}} = 10,0010$$

$$\xrightarrow{\hspace{1cm}} 0,0010$$

↑

Chúng ta viết biểu thức tổng quát mã bù 2 của số x nhị phân :

$$[x]_{\text{mã bù}} = \begin{cases} x & \text{nếu } x \geq 0 \\ 2 + x & \text{nếu } x \leq 0 \end{cases}$$

$$\text{Ví dụ : } x = -0,1011 \quad [x]_{\text{mã bù}} = 10 - 0,1011 = 1,0101$$

$$x = -0,0001 \quad [x]_{\text{mã bù}} = 10 - 0,0001 = 1,1111$$

$$x = -0,0000 \quad [x]_{\text{mã bù}} = 10 - 0,0000 = 0,0000$$

4 - Mã đảo

Mã đảo của số nhị phân x là chính nó khi $x \geq 0$:

$$[x]_{\text{mã đảo}} = x$$

Còn khi $x \leq 0$ thì giá trị của mỗi bit phải đảo từ 0 sang 1 và từ 1 sang 0.
Ví dụ :

$$x = -0,0110 \quad [x]_{\text{mã đảo}} = 1,1001$$

$$x = -0,0001 \quad [x]_{\text{mã đảo}} = 1,1110$$

Xét đặc tính mã đảo qua ví dụ sau :

$$x = -0,0110 \quad [x]_{\text{mã đảo}} = 1,1001$$

$$-x + [x]_{\text{mã đảo}} = 0,0110 + 1,1001 = 1,1111$$

$$-x + [x]_{\text{mã đảo}} + 0,0001 = 10,0000$$

$$10 + x = [x]_{\text{mã đảo}} + 0,0001.$$

Vậy, một số nhị phân âm bất kì, nếu lấy giá trị tuyệt đối của nó cộng với mã đảo của chính nó, ta luôn được 1,1111.

Nếu đem tổng số đó (giá trị tất cả các bit đều là 1) cộng với 1 ở bit cuối (tức cộng thêm 2^{-n}) thì kết quả luôn bằng 2.

Do đặc tính này, chúng ta ứng dụng mã đảo để tìm mã bù của một số nhị phân. Dưới dạng số thập phân, ta có :

$$2 + x = [x]_{\text{mã đảo}} + 2^{-n}$$

$$\text{mà} \quad 2 + x = [x]_{\text{mã bù}} \quad (\text{theo định nghĩa, khi } x \leq 0)$$

Vậy :

$$[x]_{\text{mã bù}} = [x]_{\text{mã đảo}} + 2^{-n}$$

với n là số bit sau dấu phẩy của số nhị phân

Ví dụ :

$$x = -0,1011 \quad [x]_{\text{mã bù}} = 1,0100 + 0,0001 = 1,0101$$

$$x = -0,0001 \quad [x]_{\text{mã bù}} = 1,1110 + 0,0001 = 1,1111$$

$$x = -0,0000 \quad [x]_{\text{mã bù}} = 1,1111 + 0,0001 = 0,0000$$

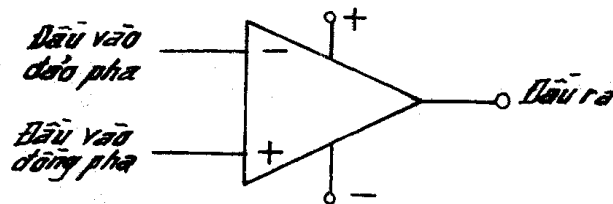
Vậy áp dụng phương pháp này, khi tìm mã bù của số nhị phân âm, ta không phải làm phép trừ như trên (theo định nghĩa).

PHỤ LỤC IV

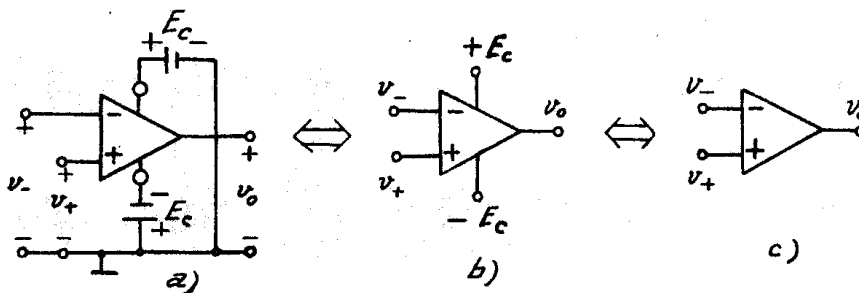
BỘ KHUẾCH ĐẠI THUẬT TOÁN

Bộ khuếch đại thuật toán là phần quan trọng trong DAC và ADC. Với điện trở đầu vào vô cùng lớn, điện trở đầu ra vô cùng bé, hệ số khuếch đại điện áp cực lớn, kèm theo mạch phản hồi thích hợp thì bộ khuếch đại thuật toán dùng để xử lý tín hiệu vừa chính xác, lại tin cậy.

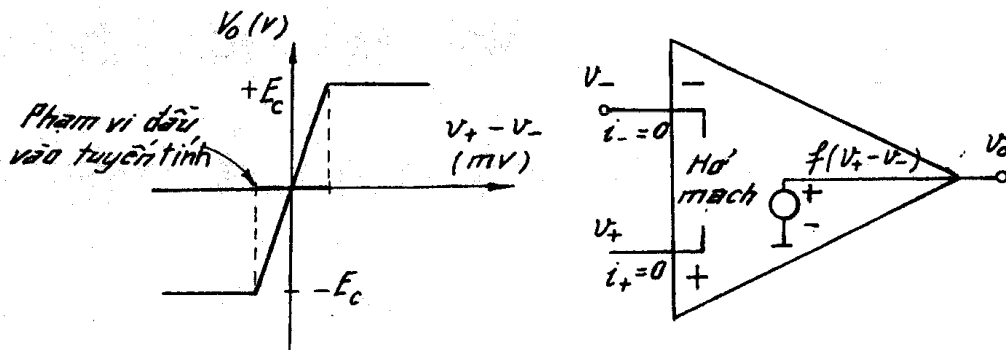
8.1.1. Kí hiệu và đặc tính của bộ khuếch đại thuật toán



Trên kí hiệu bộ khuếch đại thuật toán, dấu - kí hiệu đầu vào đảo pha (gọi tắt là đầu đảo), dấu + kí hiệu đầu vào đồng pha (gọi tắt là đầu thuận). Ngoài ra còn có đầu ra và các đầu nối với nguồn một chiều.



Tuy sự cần thiết, chúng ta sẽ vẽ đầy đủ như sơ đồ a) hay đơn giản như sơ đồ b), hoặc chỉ lưu ý đến tín hiệu như sơ đồ c).



Để xét đặc tính của bộ khuếch đại thuật toán, chúng ta hãy giả thiết lí tưởng hóa nó (thực tế giả thiết này không đưa tới sai số đáng kể nào). Bộ khuếch đại thuật toán lí tưởng có điện trở đầu vào vô cùng lớn, điện trở đầu ra bằng 0.

Trong phạm vi tuyến tính

$$|v_o| < |E_c| \quad (\text{IV} - 1)$$

$$v_o = A_o (v_+ - v_-) \quad (\text{IV} - 2)$$

$$|v_+ - v_-| = \left| \frac{v_o}{A_o} \right| < \left| \frac{E_c}{A_o} \right| \quad (\text{IV} - 3)$$

A_o là hệ số khuếch đại điện áp trong khu vực tuyến tính, số trị điển hình của $A_o = 10^4 \div 10^6$. Giả sử $E_c = 10 \div 15\text{V}$, $A_o = 10^6$. Ta thấy điện áp đầu vào trong khu vực tuyến tính chỉ cỡ vài μV . Một cách gần đúng, đặc tính truyền đạt điện áp lí tưởng hóa của bộ khuếch đại thuật toán $A_o = \infty$ như sau :

Kết luận về đặc tính bộ khuếch đại thuật toán như sau :

1 - Dòng điện đầu vào bằng 0

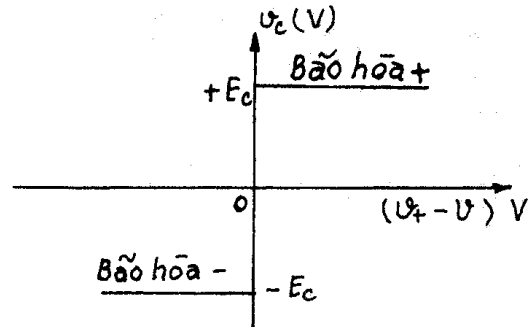
$$i_+ = i_- = 0$$

2 - $v_+ = v_-$

$$|v_+ - v_-| = \left| \frac{v_o}{\infty} \right| = 0$$

Nếu bộ khuếch đại thuật toán công tác trong khu vực bão hòa thì $v_+ \neq v_-$. Khi $v_+ > v_-$, ta có bão hòa +, $v_o = +E_c$ khi $v_+ < v_-$, ta có bão hòa -, $v_o = -E_c$. Dòng điện đầu vào khi này cũng vẫn bằng 0.

Trở lại đặc tính truyền đạt với phạm vi đầu vào tuyến tính hữu hạn, ta thấy : v_o tăng theo v_+ , v_o đồng pha với v_+ . v_o giảm khi v_- tăng, v_o ngược pha với v_- .



8.1.2. Các sơ đồ bộ khuếch đại thuật toán

1 - Bộ khuếch đại đảo

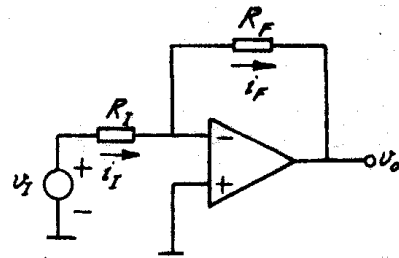
Bộ khuếch đại thuật toán mắc thành bộ khuếch đại đảo như sau : đầu thuận nối đất. Điện áp đầu vào v_I đưa vào đầu đảo qua R_I , điện áp ra v_o phản hồi đến đầu đảo qua R_F .

Vì $v_+ = v_- = 0$, nên

$$i_I = \frac{v_I}{R_I} \quad (\text{IV} - 4)$$

$$i_F = i_I \quad (\text{IV} - 5)$$

$$v_o = -i_F R_F = -i_I R_F = -\frac{R_F}{R_I} v_I \quad (\text{IV} - 6)$$



Biểu thức (IV - 6) chứng tỏ khi v_I tăng thì v_o giảm, v_I giảm thì v_o tăng. Hệ số khuếch đại của bộ khuếch đại đảo bằng $A_v = -\frac{R_F}{R_I}$ không phụ thuộc bản thân bộ khuếch đại thuật toán, A_v chỉ phụ thuộc thông số R_F , R_I của mạch ngoài.

2 - Bộ khuếch đại thuận

Bộ khuếch đại thuật toán mắc thành bộ khuếch đại thuận như sau : điện áp đầu vào v_I đưa tới đầu thuận qua R_1 , điện áp đầu ra v_o qua phân áp R_1, R_2 đưa tới đầu đảo.

$$\text{vì } v_+ = v_-$$

(IV - 7)

$$\text{và } i_+ = i_- = 0, \text{ nên}$$

$$v_- = \frac{v_o}{R_1 + R_2} R_2 = v_I$$

từ đó, ta có

$$v_o = \frac{R_1 + R_2}{R_2} v_I = A_v v_I \quad (\text{IV - 9})$$

Biểu thức (IV-9) chứng tỏ khi v_I tăng thì v_o cũng tăng, v_I giảm thì v_o giảm theo. Hệ số khuếch đại của bộ khuếch đại thuận là :

$$A_v = \frac{R_1 + R_2}{R_2}$$

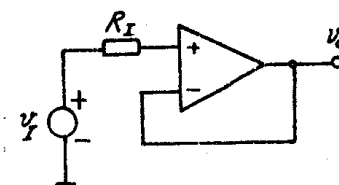
(IV - 10)

A_v cũng chỉ phụ thuộc thông số mạch ngoài (R_1, R_2).

3 - Bộ khuếch đại lặp

Bộ khuếch đại lặp là bộ khuếch đại thuận đặc biệt : đầu ra nối vào đầu đảo. Vậy $v_o = v_I$.

Bộ khuếch đại lặp thường dùng để kích tải (yêu cầu dòng đáng kể).

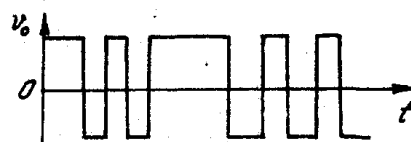
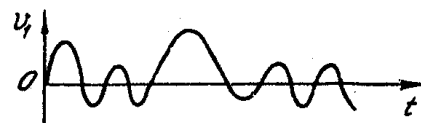
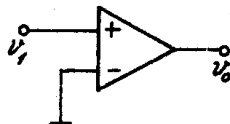


(IV - 11)

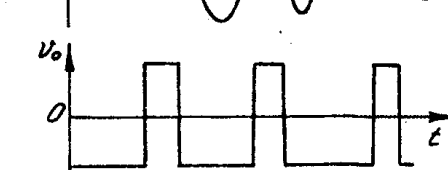
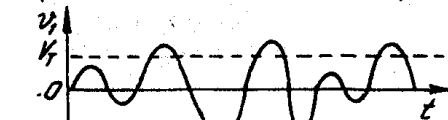
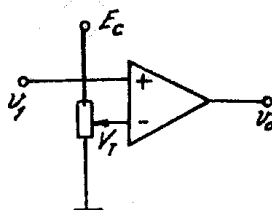
8.1.3. Bộ so sánh và Trigon Smit

1 - Bộ so sánh

Hình bên là bộ so sánh 0. Vì $A_o = \infty$ nên khi $v_+ = v_I > v_- = 0$ thì $v_o = +E_c$. Khi $v_+ = v_I < v_- = 0$ thì $v_o = -E_c$. Bộ so sánh có thể làm nhiệm vụ giám sát 0.



Hình bên là bộ so sánh ngưỡng V_T . Vì $A_o = \infty$ nên khi $v_I > V_T$ thì $v_o = +E_c$, khi $v_I < V_T$ thì $v_o = -E_c$. Điều chỉnh chiết áp làm thay đổi ngưỡng V_T .



2 - Trigo Smit

Hình bên là sơ đồ Trigo Smit dùng bộ khuếch đại thuật toán.

Vì $i_+ = i_- = 0$
nên

$$v_+ = \frac{R_2}{R_1 + R_2} v_o \quad (\text{IV-12})$$

Khi v_1 tương đối âm, bộ khuếch đại công tác ở vùng bão hòa +,

$$v_o = +E_c$$

Vậy mức ngưỡng trên là :

$$V_{T+} = +\frac{R_2}{R_1 + R_2} E_c, \quad v_o = +E_c \text{ khi } v_1 < v_{T+}.$$

Khi v_1 tăng đến ngưỡng v_{T+} thì v_o đột biến từ $+E_c$ sang $-E_c$, bộ khuếch đại làm việc ở vùng bão hòa -, tương ứng với mức ngưỡng dưới $V_{T-} = -\frac{R_2}{R_1 + R_2} E_c$, tiếp theo nếu $v_1 > v_{T-}$ thì $v_o = -E_c$.

Đến khi nào v_1 giảm đến ngưỡng dưới v_{T-} thì lại có đột biến mới. Hiệu các điện áp ngưỡng

$$\Delta V = V_{T+} - V_{T-} = \frac{R_2}{R_1 + R_2} E_c - \left(-\frac{R_2}{R_1 + R_2} E_c \right) = \frac{2R_2}{R_1 + R_2} E_c \quad (\text{IV - 13})$$

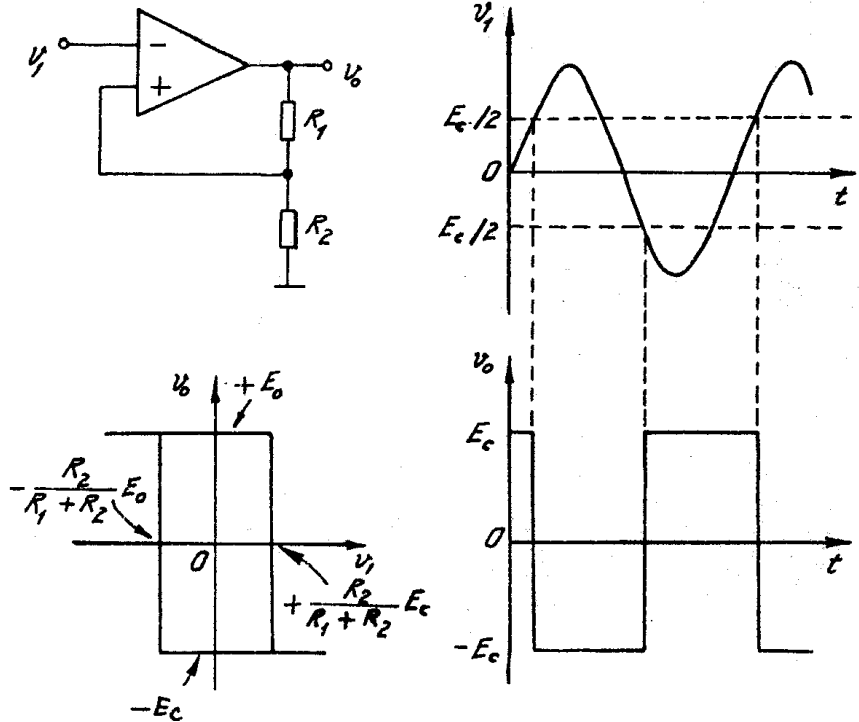
Thay đổi giá trị R_1, R_2 thì điều chỉnh được ΔV .

$$\text{Nếu } R_1 = R_2 \text{ thì } \Delta V = E_c \quad (\text{IV - 14})$$

Sự phân tích phạm vi công tác của Trigo Smit, tóm lại như sau :

Trạng thái v_o	Phạm vi v_1
$+E_c$	$v_1 < \frac{R_2}{R_1 + R_2} E_c$
$-E_c$	$v_1 > -\frac{R_2}{R_1 + R_2} E_c$

So với Trigo Smit đã giới thiệu ở chương 7, Trigo Smit cấu trúc từ khuếch đại thuật toán càng ưu việt, vì vậy nó được ứng dụng rất rộng rãi.



MỤC LỤC

	Trang
Lời giới thiệu	3
Chương 1 : NHỮNG KIẾN THỨC CƠ BẢN VỀ CẤU KIỆN BÁN DẪN	
1.1. Các kiến thức cơ bản về vật liệu bán dẫn	5
1.1.1. Vật liệu dẫn điện, cách điện và bán dẫn	5
1.1.2. Hiện tượng dẫn điện trong vật liệu bán dẫn sạch	5
1.1.3. Hiện tượng dẫn điện trong bán dẫn pha tạp	7
1.2. Điốt bán dẫn	8
1.2.1. Đặc tính của chuyển tiếp PN	8
1.2.2. Cấu trúc điốt và đặc tuyến Von-ampe	10
1.2.3. Hiệu ứng điện dung của điốt bán dẫn	12
1.2.4. Đặc tính đóng mở (chuyển mạch) của điốt bán dẫn	13
1.2.5. Các tham số cơ bản của điốt bán dẫn	15
1.2.6. Điốt ổn áp	15
1.3. Tranzito	17
1.3.1. Tắc dụng khuếch đại và sự phân phối dòng điện trong tranzito	18
1.3.2. Đặc tính đầu vào và đặc tính đầu ra của tranzito	19
1.3.3. Đặc tính chuyển mạch của tranzito	20
1.3.4. Các tham số cơ bản của tranzito	22
1.3.5. Ảnh hưởng của nhiệt độ đến các tham số của tranzito	24
1.4. Bóng bán dẫn trường (FET – Field Effect Transistor)	26
1.4.1. IGFET	26
1.4.2. Tranzito hiệu ứng trường chuyển tiếp PN (JFET)	31
1.4.3. So sánh FET và tranzito lưỡng cực	33
Tóm tắt	35
Bài tập	35
Chương 2 : MẠCH ĐIỆN CỐNG	
2.1. Mạch điện các cổng riêng rẽ	38
2.1.1. Ba loại quan hệ logic cơ bản nhất	38
2.1.2. Mạch AND và mạch OR dùng điốt bán dẫn	39
2.1.3. Cổng NOT	43
2.1.4. Cổng NAND và cổng NOR (cổng VÀ-ĐẢO, cổng HOẶC ĐẢO)	48
2.2. Mạch điện cổng TTL	49
2.2.1. Cổng NAND TTL	50
2.2.2. Các loại mạch cổng TTL khác	65
2.2.3. Các mạch cổng tranzito khác	69
2.3. Mạch cổng MOS	69
2.3.1. Cổng NOT họ MOS	70

2.3.2. Cổng NAND và NOR họ MOS	76
2.3.3. Cổng tuyến dẫn và chuyển mạch tương tự họ CMOS	78
Tóm tắt	79
Bài tập	79
Chương 3 : CƠ SỞ ĐẠI SỐ LOGIC	
3.1. Khái niệm cơ bản, công thức và định lý	89
3.1.1. Phép toán logic và hàm logic cơ bản	89
3.1.2. Công thức và định lý	90
3.2. Các phương pháp biểu thị hàm logic	98
3.2.1. Bảng chân lý	98
3.2.2. Biểu thức hàm số	99
3.2.3. Bảng Karnaugh	104
3.2.4. Sơ đồ logic	108
3.3. Phương pháp tối thiểu hóa hàm logic	109
3.3.1. Khái niệm về tối thiểu hóa	109
3.3.2. Phương pháp tối thiểu hóa bằng công thức	111
3.3.3. Phương pháp tối thiểu hóa bằng hình vẽ	112
3.3.4. Chuyển đổi biểu thức OR – AND tối thiểu thành biểu thức tối thiểu các dạng NAND – NAND, NORAND, NOR-NOR	117
3.4. Sự tối thiểu hóa hàm logic ràng buộc	119
3.4.1. Khái niệm ràng buộc, điều kiện ràng buộc.	119
3.4.2. Tối thiểu hóa hàm logic ràng buộc	120
Tóm tắt	124
Bài tập	125
Chương 4 : MẠCH LOGIC TỔ HỢP	
4.1. Đặc điểm cơ bản và phương pháp thiết kế của mạch logic tổng hợp	133
4.1.1. Phương pháp biểu thị và phân tích đặc điểm cơ bản và chức năng logic của mạch logic tổ hợp	133
4.1.2. Phương pháp thiết kế logic mạch tổ hợp	134
4.2. Bộ mã hóa	136
4.2.1. Khái niệm mã hóa	136
4.2.2. Bộ mã hóa nhị phân	137
4.2.3. Bộ mã hóa nhị – thập phân	139
4.2.4. Bộ mã hóa ưu tiên	140
4.2.5. Vi mạch cỡ vừa (MSI) bộ mã hóa ưu tiên	142
4.2.6. Một số mã thông dụng	143
4.3. Bộ giải mã	147
4.3.1. Bộ giải mã nhị phân	147
4.3.2. Bộ giải mã (BCD) – thập phân	149
4.3.3. Bộ giải mã của hiển thị kí tự	152
4.4. Bộ so sánh	156
4.4.1. Bộ so sánh bằng nhau	156
4.4.2. Bộ so sánh	158
4.4.3. ICMSI bộ so sánh 4 bit	160
4.5. Bộ cộng	162
4.5.1. Bộ cộng nửa	162
4.5.2. Bộ cộng đủ	163
4.5.3. Bộ cộng có nhớ nối tiếp	164

4.6. Bộ chọn kênh	165
4.7. ROM (Bộ nhớ chỉ đọc – Read Only Memory)	166
4.7.1. Bộ nhớ cố định chỉ đọc (ROM)	166
4.7.2. Bộ nhớ chỉ đọc có thể ghi trình tự (PROM)	168
4.7.3. Bộ nhớ chỉ đọc có thể viết lại (EPROM)	168
4.8. Mạng logic lập trình (PLA)	169
4.9. Nguy hiểm chạy đua trong các mạch tổ hợp	171
4.9.1. Nguyên nhân sinh ra hiện tượng nguy hiểm chạy đua	172
4.9.2. Phương pháp trừ bỏ nguy hiểm chạy đua	173
Tóm tắt	175
Bài tập	176
Chương 5 : MẠCH FLIP – FLOP	
5.1. Một số cấu trúc mạch thường gặp của Flip Flop	180
5.1.1. Flip Flop RS cơ bản	180
5.1.2. Flip Flop RS đồng bộ	183
5.1.3. Flip Flop RS master slave	184
5.1.4. Flip Flop JK master slave	186
5.1.5. Flip Flop JK kích bằng sườn xung (Edge triggered FF)	189
5.1.6. Flip Flop D (mạch chốt D cải tiến để giải quyết vấn đề điều khiển trực tiếp)	190
5.1.7. Flip Flop CMOS	192
5.2. Phân loại Flip Flop theo chức năng, sự chuyển đổi lẫn nhau	194
5.2.1. Phân loại Flip Flop theo chức năng	195
5.2.2. Sự chuyển đổi lẫn nhau của các loại Flip Flop định thời theo CP	200
5.3. Đặc tính công tác xung và chỉ tiêu chủ yếu của Flip Flop	205
5.3.1. Đặc tính công tác xung của Flip Flop	205
5.3.2. Các chỉ tiêu chủ yếu của vi mạch (IC) Flip Flop	207
Tóm tắt	210
Bài tập	210
Chương 6 : MẠCH DÂY	
6.1. Đại cương về mạch dây	216
6.1.1. Đặc điểm và phương pháp miêu tả chức năng	216
6.1.2. Phương pháp cơ bản phân tích chức năng logic mạch dây	217
6.2. Bộ đếm	218
6.2.1. Đặc điểm và phân loại bộ đếm	218
6.2.2. Bộ đếm đồng bộ	219
6.2.3. Bộ đếm dị bộ	231
6.2.4. Bộ đếm IC cố trung (MSI)	238
6.3. Bộ nhớ	244
6.3.1. Bộ nhớ cơ bản	244
6.3.2. Bộ ghi dịch	246
6.3.3. Ví dụ về ứng dụng bộ nhớ	249
6.4. Bộ tạo xung tuần tự	255
6.5. Bộ nhớ RAM và dụng cụ ghép điện tích CCD	257
6.5.1. Bộ nhớ RAM (Random Access Memory – bộ nhớ đọc / viết)	257
6.5.2. Dụng cụ ghép điện tích CCD (Charge Coupled Device)	264

6.6. Thiết kế mạch dây	267
6.6.1. Thiết kế bộ đếm đồng bộ	267
6.6.2. Thiết kế bộ đếm dị bộ	276
6.6.3. Thiết kế mạch dây	284
Tóm tắt	287
Bài tập	288
Chương 7 : PHÁT XUNG VÀ TẠO DẠNG XUNG	
7.1. Bộ phát xung	292
7.1.1. Bộ dao động đa hài cơ bản cổng NAND TTL	292
7.1.2. Bộ dao động đa hài vòng RC	294
7.1.3. Bộ dao động đa hài thạch anh	297
7.1.4. Bộ dao động đa hài CMOS	298
7.2. Trigon Smit	300
7.2.1. Trigon Smit IC TTL	300
7.2.2. Trigon Smit CMOS	304
7.3. Mạch đa hài dợt	304
7.3.1. Mạch đa hài dợt CMOS	305
7.3.2. Đa hài dợt họ TTL	307
7.4. IC định thời	309
7.4.1. IC định thời họ CMOS	309
7.4.2. Ví dụ ứng dụng IC định thời	311
Tóm tắt	313
Bài tập	314
Chương 8 : BIẾN ĐỔI SỐ – TƯƠNG TỰ VÀ BIẾN ĐỔI TƯƠNG TỰ – SỐ	
8.1. Giới thiệu chung	316
8.2. Bộ biến đổi DAC	316
8.2.1. Bộ biến đổi DAC điện trở hình T	316
8.2.2. Các chỉ tiêu kĩ thuật chủ yếu của bộ biến đổi DAC	321
8.2.3. Ví dụ IC 1 chip DAC	322
8.3. Bộ biến đổi ADC	324
8.3.1. Các bước chuyển đổi AD và định lí lấy mẫu	324
8.3.2. Mạch điện lấy mẫu – nhớ mẫu	327
8.3.3. Bộ biến đổi ADC xấp xỉ tiệm cận (Successive – approximation ADC)	328
8.3.4. Các chỉ tiêu kĩ thuật chủ yếu của ADC	330
8.3.5. Ví dụ IC 1 chip ADC	330
8.4. Ví dụ ứng dụng ADC và DAC	333
8.4.1. Tính năng kĩ thuật chủ yếu của hệ thống thu thập số liệu	333
8.4.2. Cấu trúc mạch điện và nguyên lí làm việc	333
Tóm tắt	340
Bài tập	340
Phụ lục I : Phương pháp đặt tên, kí hiệu mạch điện tích hợp bán dẫn	342
Phụ lục II : Hệ đếm và chuyển đổi	345
Phụ lục III : Phương pháp biểu thị số nhị phân trong máy tính	349
Phụ lục IV : Bộ khuếch đại thuật toán	352
Mục lục	356